

# Corso di Calcolatori Elettronici I

## A.A. 2011-2012

---

# Flip flop e Flip Flop RS fondamentale

Lezione 16

Prof. Antonio Pescapè

Università degli Studi di Napoli Federico II  
Facoltà di Ingegneria  
Corso di Laurea in Ingegneria Informatica

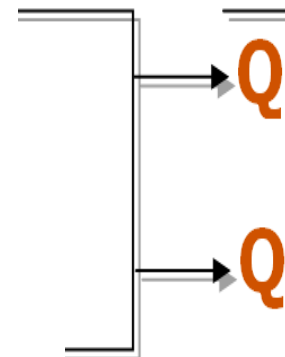


# I flip flop - 1

---

## Generalità

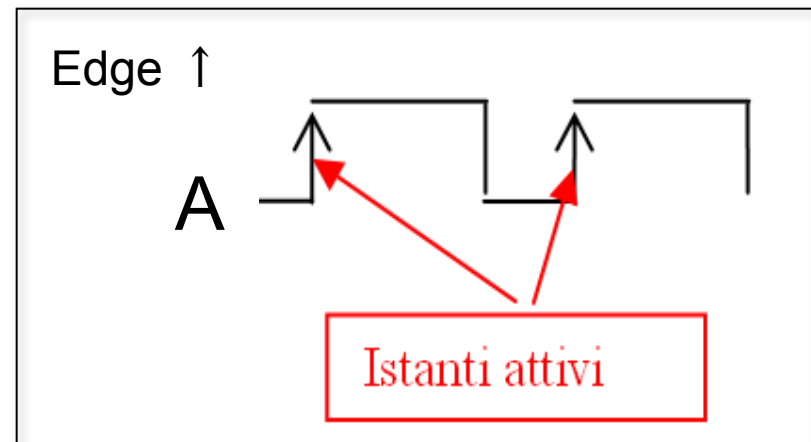
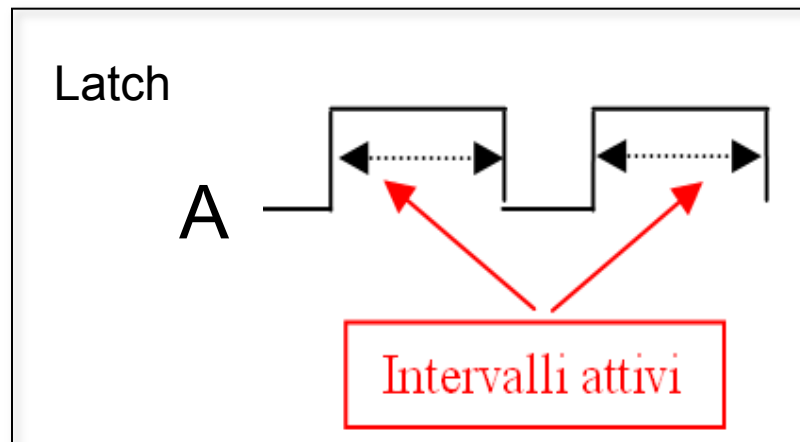
- Elementi fondamentali (semplici reti sequenziali)
  - per la memorizzazione
  - per la costituzione di registri
  - per la costruzione di reti sequenziali
- Memorizzano un bit avendo in uscita 2 stati stabili
  - *stato di SET*, o alto, o stato "1":  $Q=1$ ,  $Q'=0$ ;
  - *stato di RESET*, o basso, o stato "0":  $Q=0$ ,  $Q'=1$
- Hanno in ingresso diversi segnali da cui traggono il nome, p.e.
  - R,S; flip-flop RS
  - D; flip-flop D
  - T; J,K: flip-flop T, flip flop JK



# I flip flop - 2

## Tempificazione

- Flip-flop abilitato (o sincronizzato): possiede un segnale di ingresso, A, che ne abilita il funzionamento
- Un flip-flop abilitato può essere:
  - **Latch**: cattura gli ingressi sempre che sia A=attivo (p.e. A=1)
  - **Edge triggered**: cattura gli ingressi in corrispondenza di una variazione di A (fronte di salita:  $0 \rightarrow 1$ , o di disceso  $1 \rightarrow 0$ )



# I flip flop - 3

---

## Struttura

- Un Flip-flop è caratterizzato da
    - **Struttura interna**, che può essere di una rete asincrona (vedi esempio di RS) o sincrona (vedi in seguito).
    - Una **Equazione di Stato**, che (al di là della struttura) indica l'uscita seguente in funzione dell'uscita precedente e degli ingressi.
-

# I flip flop - 4

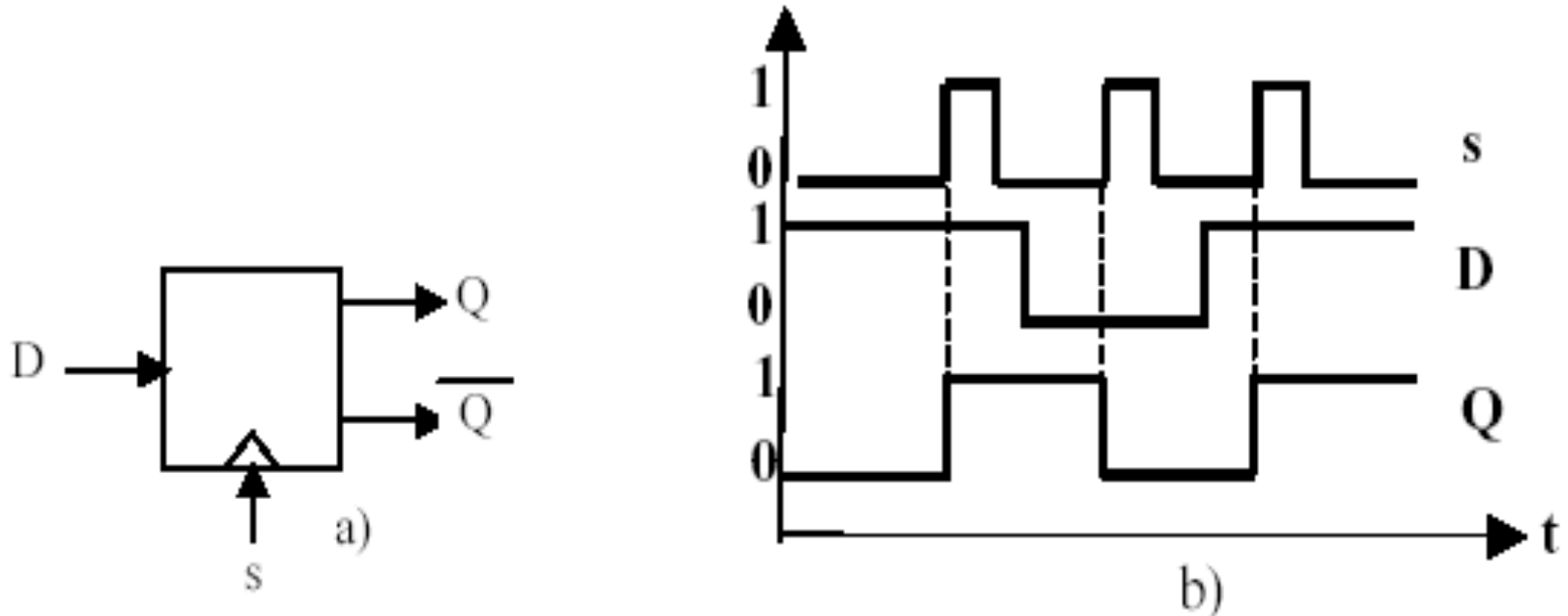
---

---

- Flip-flop
  - **A memorizzazione dell' ingresso (RS, D)**
  - **A commutazione (T, JK)**
  - **Misti**

# Registro fondamentale D

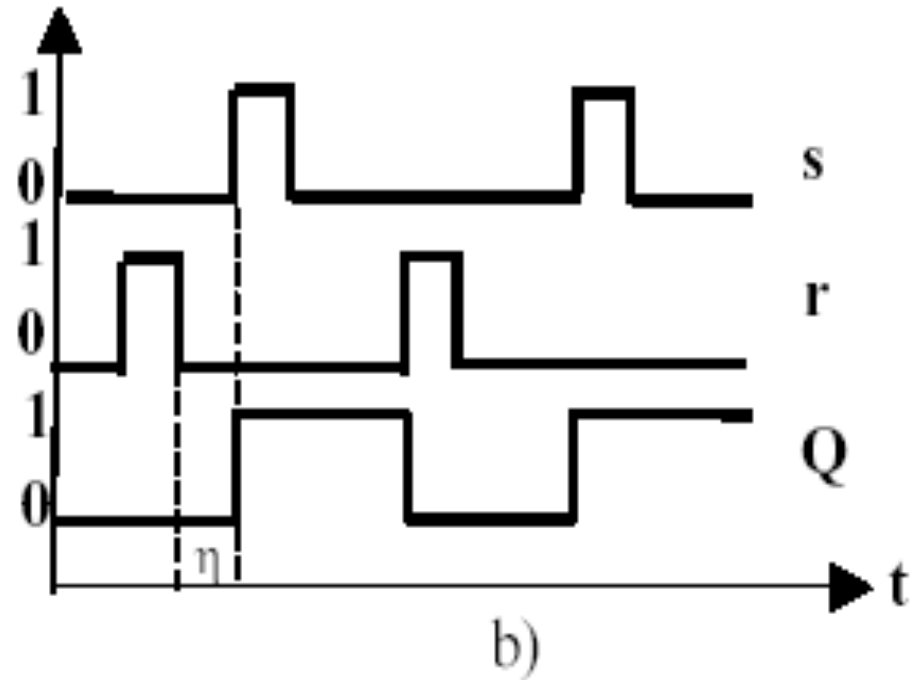
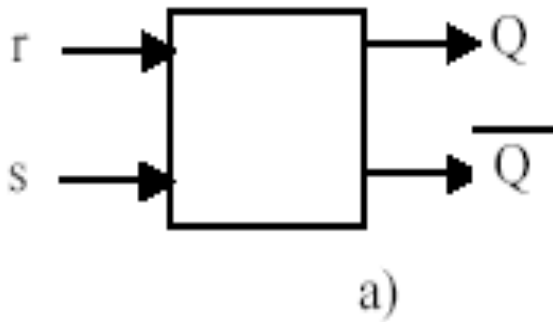
---



- Ipotesi di natura impulsiva degli ingressi
  - Rimuovendo l'ipotesi di natura impulsiva... (segnale abilitante – vedi dopo)
-

# Registro fondamentale RS

---

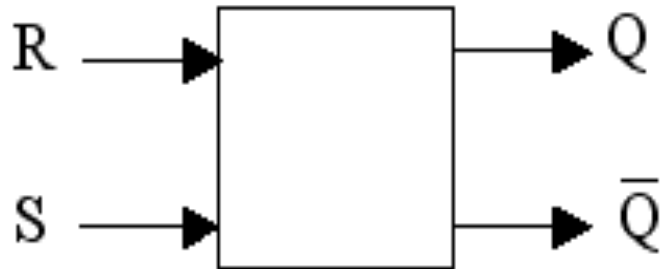


- La natura impulsiva dell'ingresso impedisce  $RS=1$  e garantisce la distanza di sicurezza tra i due impulsi.
-

# Esempio: Flip-flop RS

---

- Memorizza un bit di informazione
- Ingressi impulsivi  $\rightarrow$  mai alti contemporaneamente
  - **Vincolo  $RS=0$** 
    - Impulso su S (set)  $\rightarrow Q=1, !Q=0$
    - Impulso su R (reset)  $\rightarrow Q=0, !Q=1$
    - Per  $R=S=0$  mantiene l'uscita precedente
- Escluse transizioni  $RS = \dots \rightarrow 00 \rightarrow \mathbf{01} \rightarrow \mathbf{10} \rightarrow 00 \dots$  (alce multiple)



# Il flip flop RS: eq. di stato

---

Tabella

R	S	Q <sub>p</sub>	Q
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	-
1	1	1	-

Equazione di Stato:  $Q = S + Q_p \bar{R}$

---

# Flip flop RS fondamentale

Descrizione comportamento

SR stati		SR				uscita Q
		00	01	11	10	
Q <sub>0</sub>	Q <sub>0</sub>	Q <sub>0</sub>	--	Q <sub>1</sub>	0	
Q <sub>1</sub>	Q <sub>1</sub>	Q <sub>0</sub>	--	Q <sub>1</sub>	1	

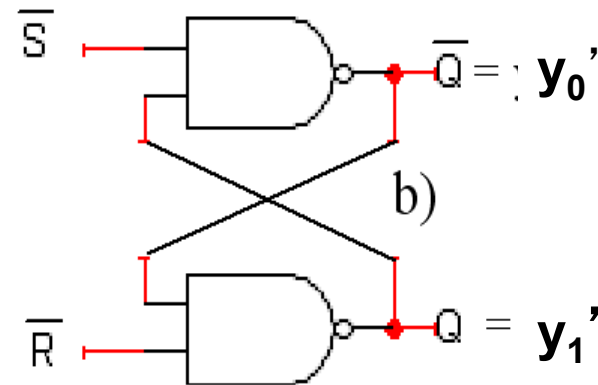
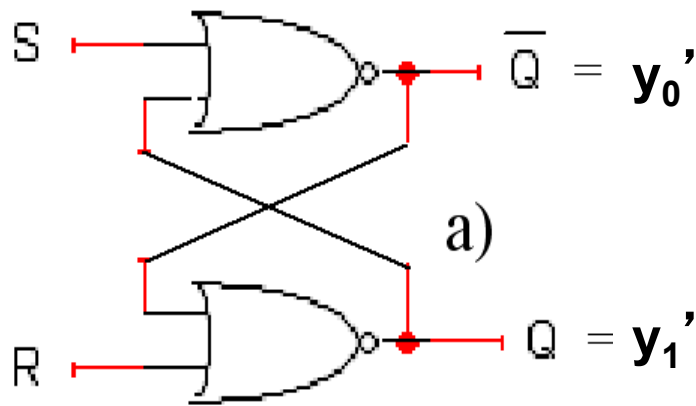
Dati tre ingressi R,S e Q<sub>p</sub>

RS Q <sub>p</sub>		RS			
		00	01	11	10
0		1	--		
1	1	1	--		

Equazione di stato

$$Q = S + Q_p \bar{R}$$

# Flip-flop RS: analisi del funzionamento



La fig. mostra la rete che realizza il flip-flop fondamentale RS in logica NOR (a) e NAND (b). Si noti preliminarmente che la rete è realizzata con 2 variabili di stato invece dell'unica che sarebbe possibile realizzando direttamente la equazione di stato. La realizzazione del flip flop in logica NOR (NAND) può facilmente ottenersi progettandolo come rete sequenziale asincrona in cui il passaggio dallo stato stabile 01 (10) allo stato stabile 10 (01) avviene attraverso lo stato instabile 00 (11).

# Flip-flop RS: stati stabili e transizioni

---

**RS**

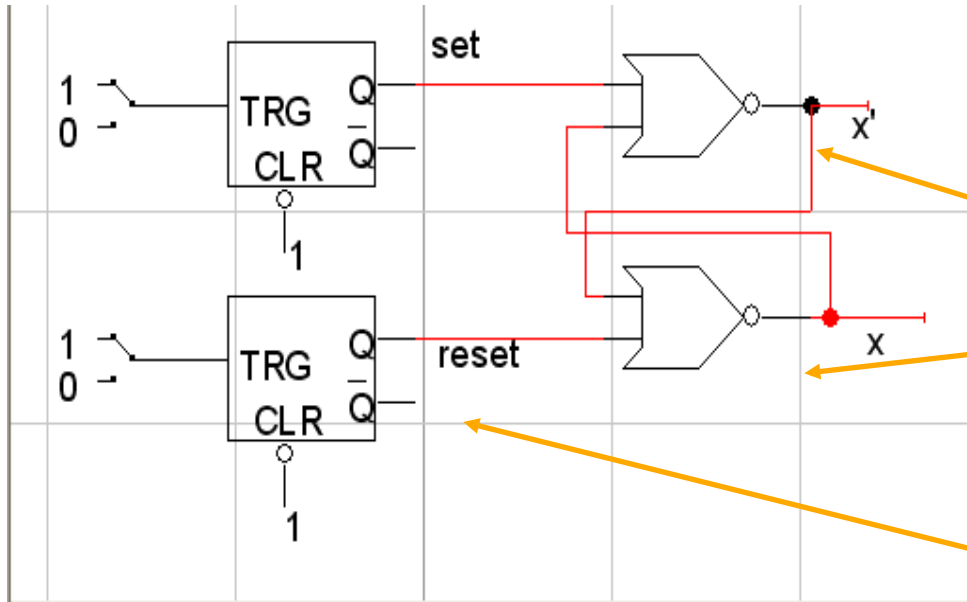
$y_0' y_1'$

	<b>00</b>	<b>01</b>	<b>11</b>	<b>10</b>
<b>10</b>	10	00	00	10
<b>00</b>	11	01	00	10
<b>01</b>	01	01	00	00
<b>11</b>	00	00	00	00

Tabella di Analisi

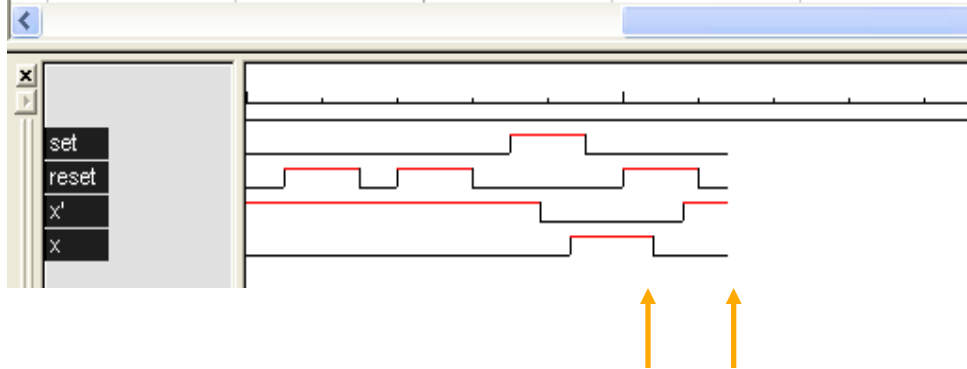
---

# Flip-flop RS: tempificare durata dell' input



Le NOR hanno un ritardo di 4 unità di tempo

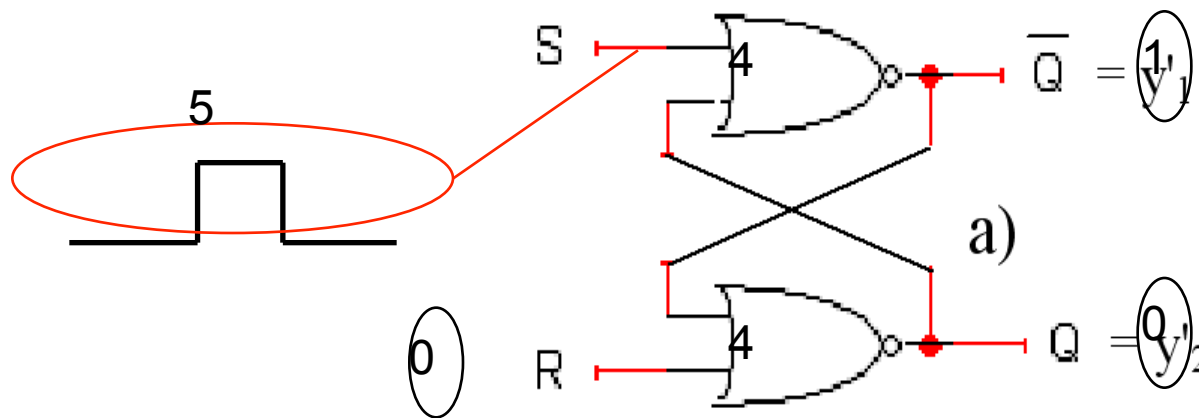
Gli impulsi in ingresso hanno durata **10** unità di tempo



# Che succede per tempificazione errata?

---

- o Si parte da stato **10** sotto ingressi **RS=00**
- o Ritardo di porte = 4 unità di tempo  $\tau$
- o Input  $d=5\tau$  (errore di progetto)



Tra **5 $\tau$**  e **8 $\tau$**  lo stato è **00**, sotto l'ingresso **RS=00**

La macchina comincia ad oscillare tra gli stati **00** e **11** sotto l'ingresso **RS=00**

---

# Flip-flop RS: tempificare durata dell' input

---

RS = ...00 → 01 → 00...

Stato = ...10 → 00 → .. → 11 → 00 → 11 → .....

La macchina non ha il tempo di spostarsi sul nuovo stato stabile

$y_0' y_1'$

	RS			
	00	01	11	10
10	10	00	00	10
00	11	01	00	10
01	01	01	00	00
11	00	00	00	00