

# Corso di Calcolatori Elettronici I

## A.A. 2011-2012

---

# Il sistema delle interruzioni nel processore MC68000 (cenni)

Lezione 33

Prof. Antonio Pescapè

Università degli Studi di Napoli Federico II  
Facoltà di Ingegneria  
Corso di Laurea in Ingegneria Informatica



# Agenda

---

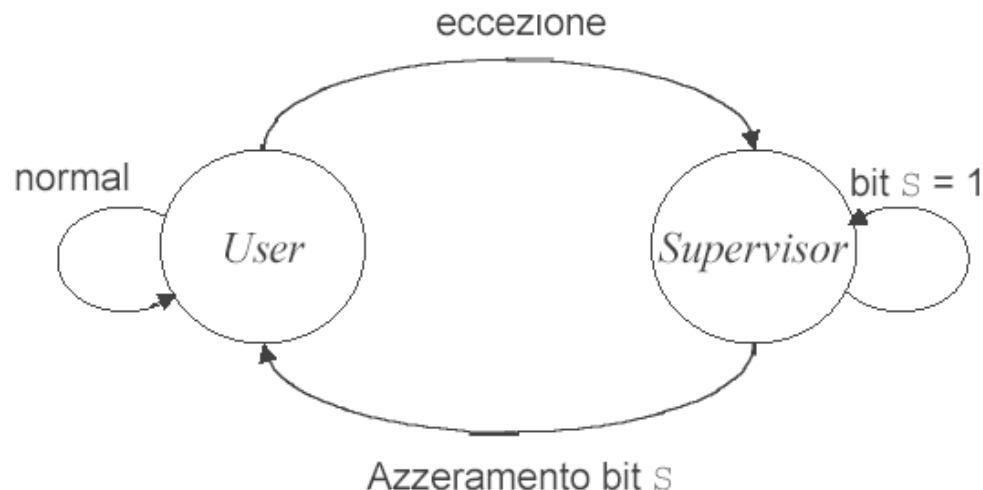
- Stati di Privilegio: Stato Utente e Stato Supervisore
  - Cambiamento di stato di privilegio
  - Interruzioni nel 68000
    - Gruppi di Eccezioni
    - Interruzioni Vettorizzate/Autorizzate
    - Gestione dell'interruzione
-

# Stati di privilegio del 68000

---

Il processore può lavorare in due stati di privilegio:

- **utente (user)**: livello di privilegio più basso (non è possibile accedere alle istruzioni privilegiate);
- **supervisore (supervisor)**: livello di privilegio più alto (si può accedere a tutte le istruzioni e a tutte le risorse del sistema)
  - tipico della gestione delle eccezioni.



# Cambiamento dello stato di privilegio (1/3)

---

- Le istruzioni per il cambiamento dello stato di privilegio (bit S) sono istruzioni privilegiate.
  - Il passaggio dal livello utente a quello supervisore può avvenire solo in modalità “controllate”:
    - una richiesta di interruzione da periferica (interrupt) – evento asincrono
    - un evento di errore nella esecuzione di una istruzione (eccezione)
    - una richiesta di interrupt software (istruzione TRAP)
  - Le tre cause sopra elencate sono talvolta genericamente dette **cause di eccezione**.
-

# Cambiamento dello stato di privilegio (2/3)

---

Una transizione dallo stato utente allo stato supervisore comporta che il processore:

- salvi il contenuto del registro di stato e del PC;
  - setti il bit S (transizione da stato utente a stato supervisore);
  - carichi nel PC il valore dell' entry point della ISR associata alla causa.
-

# Cambiamento dello stato di privilegio (3/3)

---

La transizione da stato supervisore a stato utente può avvenire in diversi modi:

- attraverso l'esecuzione di un'istruzione RTE - l'eccezione termina ed il processore torna allo stato utente;
  - azzerando il bit S attraverso un'esplicita istruzione di MOVE to SR o attraverso una delle istruzioni logiche ANDI to SR e EORI to SR.
-

# Gruppi di Eccezioni del 68000

---

Il 68000 fornisce una divisione delle eccezioni in gruppi.

Viene stabilita una relazione di priorità anche tra le eccezioni di uno stesso gruppo (eccetto che per il gruppo 2).

Il gruppo 0 provoca un' interruzione immediata dell' istruzione corrente.

<i>Gruppo</i>	<i>Tipo di eccezione</i>
0	Reset
	Errore sul Bus
	Errore di indirizzo
1	Trace
	Interrupt
	Istruzione illegale
	Violazione di privilegio
2	TRAP
	TRAPV
	CHK
	Divisione per zero

Nel caso di eccezioni multiple, il processore valuta i livelli di priorità, salva internamente la richiesta di interruzione avente priorità più bassa (*eccezione pendente*), esegue la procedura di gestione dell' eccezione avente priorità più alta.

# Interruzioni nel 68000

---

Il 68000 presenta un bus per la richiesta degli interrupt a 3 bit, composto dalle linee IPL2, IPL1 e IPL0, ai quali un dispositivo esterno può applicare un numero di 3 bit che codifichi il proprio *interrupt-request priority level* (IPL).

Sono disponibili sette livelli di priorità (da 1 a 7).

IPL=0 → non è presente alcuna richiesta di interruzione

IPL=7 → interruzione non mascherabile

Le richieste di interruzione in arrivo al processore non forzano immediatamente il passaggio alla gestione dell'eccezione, ma restano pendenti e vengono rilevate alla fine del ciclo di esecuzione dell'istruzione corrente.

Il processore accetta di servire le richieste con priorità maggiore della maschera delle interruzioni (PPL, *processor priority level*) o con IPL=7.

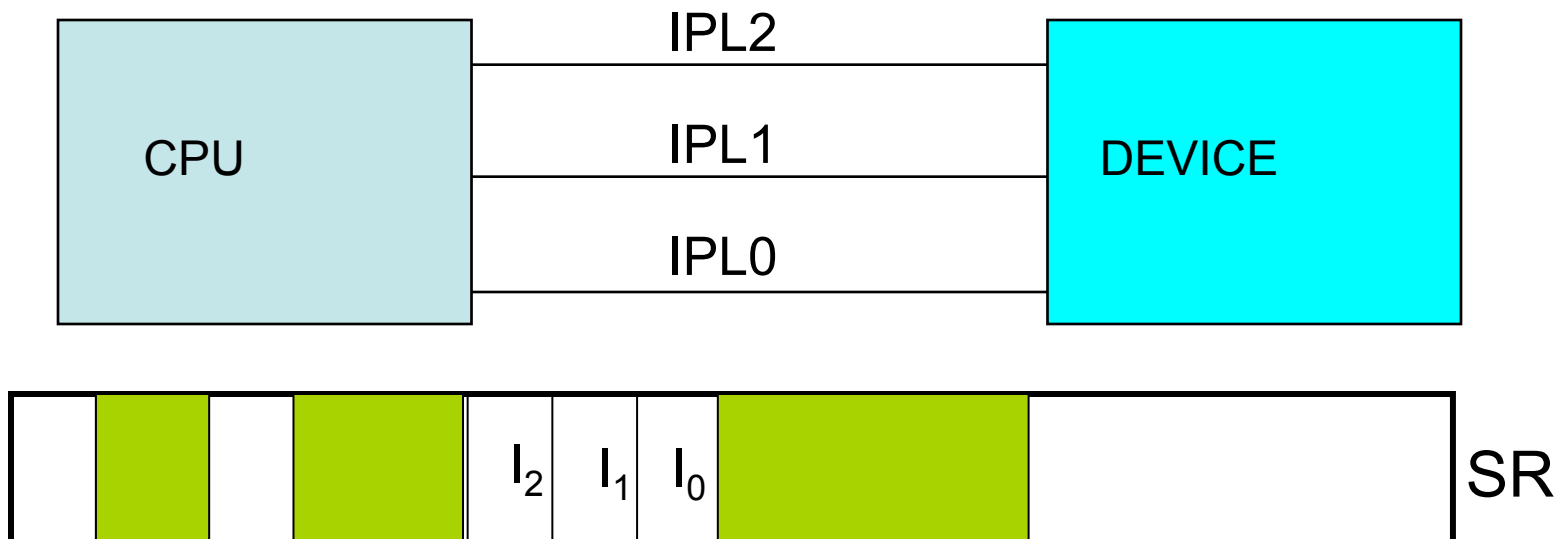
Nel momento in cui viene accettata un' interruzione, viene posto PPL=IPL

---

# La Soluzione del 68000

---

- Tre linee di interruzione sul processore:
  - Interrupt Priority Level
- Tre bit di priorità nello Status Register:
  - Processor Priority Level



# La Soluzione del 68000

---

- Segnali:
    - Tre segnali INTL0, INTL1, INTL2
    - 8 Livelli di Priorità
    - 0: nessun Interrupt
    - 1-6: Interrupt Mascherabili
    - 7: Interrupt non mascherabile
  - Dispositivi Esterni gestiscono soluzioni come la Daisy Chain (es. il PIC).
-

# Interrupt vettorizzato

---

- Si manda il segnale di Interrupt
  - Il processore risponde con un ack
  - Il dispositivo manda un codice di interruzione
  - Il codice è un indice nel “Vettore delle Interruzioni”
  - Il contenuto del “vettore delle interruzioni” è l’indirizzo di memoria dove si trova la procedura che gestisce l’ interruzione al codice fornito.
-

# Interrupt autovettorizzato

---

- Si manda il segnale di Interrupt
  - In base alla priorità del segnale di interruzione si accede ad una locazione di memoria prefissata contenente l'indirizzo della ISR
  - Dal vettore delle interruzioni si ricava quindi l'indirizzo di memoria della corretta ISR da eseguire
-

# Interruzioni vettorizzate e autovettorizzate nel 68000

---

Il 68000 supporta due modalità di riconoscimento dell' interruzione.

## Interruzione vettorizzata

- Il dispositivo che invia la richiesta di interruzione si identifica fornendo un codice (*vector number*) a partire dal quale è possibile risalire all' indirizzo di partenza della ISR in grado di servirlo.

## Interruzione autovettorizzata

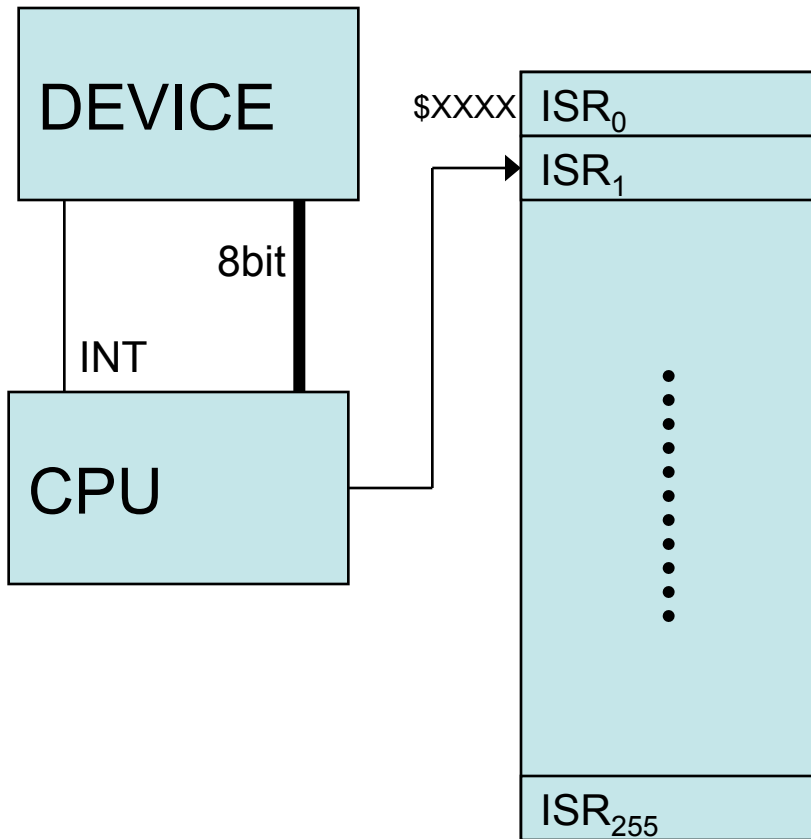
- Il dispositivo che interrompe richiede una gestione automatica dell' interruzione e non fornisce alcun codice.
- La periferica emette un segnale sul bus oltre a quella di interrupt per segnalare l' utilizzo dell' interrupt autovettorizzato.
- Il vector number è pari a  $24 + IPL$ .

In ogni caso, l' indirizzo del vettore è pari a  $4 * n$  (dove  $n$  è il vector number): il vector number è lungo 8 bit e moltiplicato per 4 fornisce l' indirizzo del vettore di eccezione (si vedano tabelle seguenti).

---

# La Soluzione del 68000

---



- Il processore M68000 utilizza il meccanismo degli interrupt vettorizzati.
  - In memoria sono presenti 256 locazioni consecutive dette *vettori di interrupt*.
  - Ciascuna di queste locazioni contiene l'indirizzo di una ISR.
  - Quando un dispositivo richiede un interrupt, invia al processore un numero di 8 bit che rappresenta il *vettore di interrupt* da utilizzare ().
-

# Vettore delle eccezioni

---

I vettori delle eccezioni sono locazioni di memoria da cui il processore preleva l'indirizzo di una routine che si occupa della gestione di un'eccezione

Tutti i vettori delle eccezioni sono situati nello spazio dati del Supervisore (tabella dei vettori delle eccezioni, dall'indirizzo 0 all'indirizzo 1023)

Tutti i vettori delle eccezioni sono lunghi 2 word, eccetto il vettore di reset che è lungo 4 word:

- la prima long word contiene il nuovo valore dello Stack Pointer Supervisore;
  - la seconda contiene l'indirizzo della routine di inizializzazione del sistema.
-

# Exception Vector Table del 68000

---

0	RESET (SSP)
1	RESET (PC)
16-23	UNASSIGNED, RESERVED
25	LEVEL 1 AUTOVECTOR
31	LEVEL 7 AUTOVECTOR
32-47	TRAP #0-15 INSTRUCTIONS
64-255	USER DEVICE INTERRUPTS

---

# Vector Number

Vectors Numbers		Address		Space <sup>6</sup>	Assignment
Hex	Decimal	Dec	Hex		
0	0	0	000	SP	Reset: Initial SSP <sup>2</sup>
1	1	4	004	SP	Reset: Initial PC <sup>2</sup>
2	2	8	008	SD	Bus Error
3	3	12	00C	SD	Address Error
4	4	16	010	SD	Illegal Instruction
5	5	20	014	SD	Zero Divide
6	6	24	018	SD	CHK Instruction
7	7	28	01C	SD	TRAPV Instruction
8	8	32	020	SD	Privilege Violation
9	9	36	024	SD	Trace
A	10	40	028	SD	Line 1010 Emulator
B	11	44	02C	SD	Line 1111 Emulator
C	12 <sup>1</sup>	48	030	SD	(Unassigned, Reserved)
D	13 <sup>1</sup>	52	034	SD	(Unassigned, Reserved)
E	14	56	038	SD	Format Error <sup>5</sup>
F	15	60	03C	SD	Uninitialized Interrupt Vector
10–17	16–23 <sup>1</sup>	64	040	SD	(Unassigned, Reserved)
		92	05C		—
18	24	96	060	SD	Spurious Interrupt <sup>3</sup>
19	25	100	064	SD	Level 1 Interrupt Autovector
1A	26	104	068	SD	Level 2 Interrupt Autovector
1B	27	108	06C	SD	Level 3 Interrupt Autovector
1C	28	112	070	SD	Level 4 Interrupt Autovector
1D	29	116	074	SD	Level 5 Interrupt Autovector
1E	30	120	078	SD	Level 6 Interrupt Autovector
1F	31	124	07C	SD	Level 7 Interrupt Autovector
20–2F	32–47	128	080	SD	TRAP Instruction Vectors <sup>4</sup>
		188	0BC		—
30–3F	48–63 <sup>1</sup>	192	0C0	SD	(Unassigned, Reserved)
		255	0FF		—
40–FF	64–255	256	100	SD	User Interrupt Vectors
		1020	3FC		—

- Il vector number è lungo 8 bit e moltiplicato per 4 fornisce l'indirizzo del vettore di eccezione.
- Il vector number può essere generato internamente o esternamente dipende dal tipo di eccezione.
- Per gli interrupt, durante il ciclo di bus di interrupt acknowledge un dispositivo periferico fornisce il numero vettore sulle linee D0-D7 del data bus e il processore lo traduce in indirizzo da 24 bit.

# Servizio mediante autovettore

$64_{\text{HEX}} = 100_{\text{DEC}} \rightarrow 25$

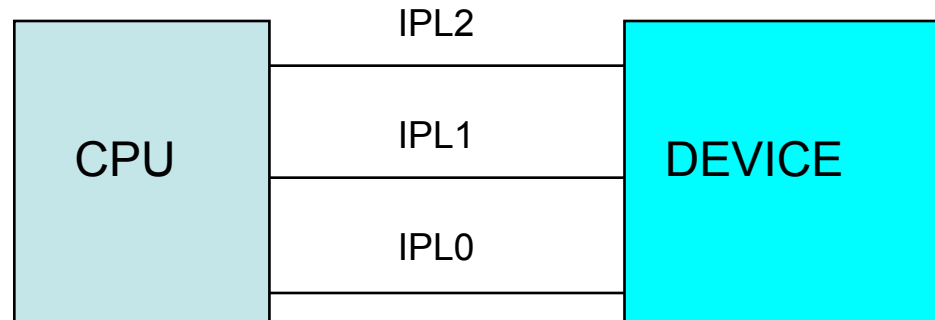
LEVEL 1 AUTOVECTOR

$7C_{\text{HEX}} = 124_{\text{DEC}} \rightarrow 31$

LEVEL 7 AUTOVECTOR



$(60 + 4 * n)_{\text{HEX}}$



# Gestione delle eccezioni

---

La gestione delle eccezioni da parte del 68000 può essere suddivisa in quattro fasi distinte:

1. **Aggiornamento del registro di stato**: il processore esegue una copia temporanea interna del registro di stato e ne modifica il valore per la gestione dell'eccezione, ponendo  $S=1$  e  $T=0$ .

2. **Caricamento del vector number**: viene determinato il numero di vettore corrispondente all'eccezione da servire. Dato il numero del vettore, il processore calcola l'indirizzo della procedura di gestione dell'eccezione.

3. **Salvataggio del contesto\***: viene salvato nello stack il contesto corrente, costituito dalle informazioni necessarie per ritornare alla normale elaborazione al termine dell'eccezione. Il contesto è salvato in una struttura dati (*exception stack frame*) in cima allo stack supervisore.

Le informazioni salvate cambiano a seconda del tipo di eccezione considerato

\* L'eccezione di reset non salva lo stato del processore

---

# Gestione delle eccezioni

---

4. **Caricamento del nuovo *program counter***: l'ultima fase consiste nel caricamento del nuovo valore del program counter, che è prelevato dal vettore delle eccezioni.

Terminata tale operazione, il processore riprende l'esecuzione a partire dalla routine di gestione dell'eccezione.

- Tale routine dovrà salvare esplicitamente i registri general-purpose che userà per le variabili locali

Il ripristino dello stato del processore e la riattivazione del programma interrotto avviene attraverso l'istruzione RTE (ultima istruzione della routine di servizio dell'eccezione)

---

---

---

**The End**

---

---

---

---

# Approfondimenti

---

---

# Gestione delle eccezioni

---

La gestione delle eccezioni da parte del 68000 può essere suddivisa in quattro fasi distinte:

1. Aggiornamento del registro di stato: il processore esegue una copia temporanea interna del registro di stato e ne modifica il valore per la gestione dell'eccezione, ponendo  $S=1$  e  $T=0$ .
  2. Caricamento del vector number: viene determinato il numero di vettore corrispondente all'eccezione da servire. Dato il numero del vettore, il processore calcola l'indirizzo della procedura di gestione dell'eccezione.
-

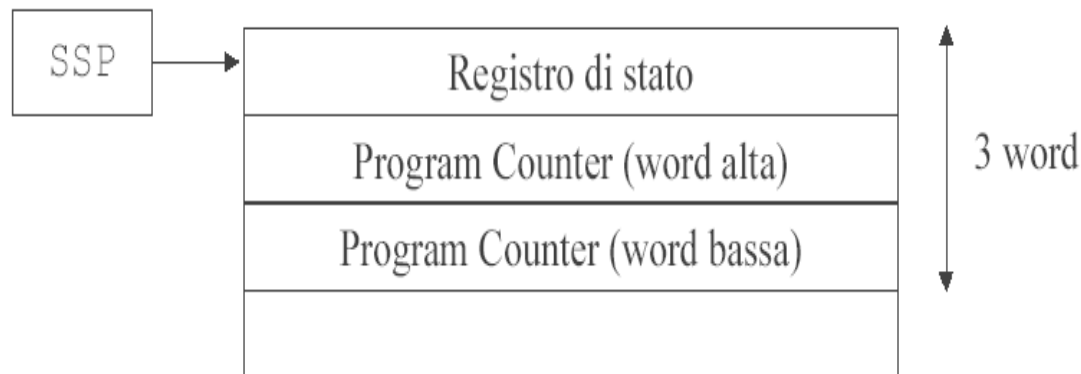
# Gestione delle eccezioni

---

3. Salvataggio del contesto: viene salvato nello stack il contesto corrente, costituito dalle informazioni necessarie per ritornare alla normale elaborazione al termine dell'eccezione. Il contesto è salvato in una struttura dati (*exception stack frame*) in cima allo stack supervisore.

Le informazioni salvate cambiano a seconda del tipo di eccezione considerato

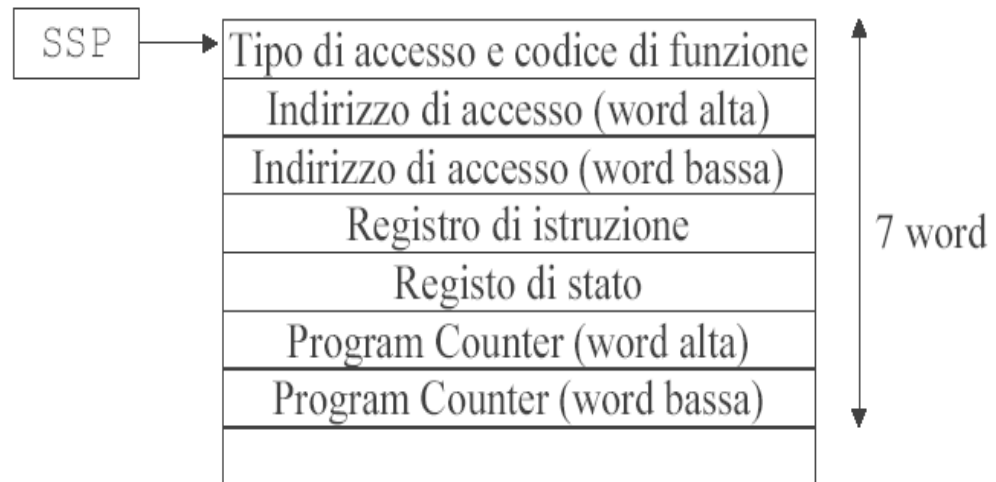
Le eccezioni appartenenti al gruppo 1 e 2 salvano nell'*exception stack frame* il *program counter* (due word) E il *registro di stato* (una word) memorizzato temporaneamente durante la fase 1.



# Gestione delle eccezioni

Le informazioni aggiuntive salvate nello stack per le eccezioni di *errore sul bus* e di *errore di indirizzo* sono:

- una copia della prima word dell'istruzione eseguita al momento dell'eccezione,
- l'indirizzo del ciclo di memoria abortito
- una parola di 5 bit contenente il codice di funzione del processore (FC0, FC1, FC2), l'indicazione sul tipo di ciclo in esecuzione (*lettura* o *scrittura*) e l'indicazione se un'istruzione era in corso di esecuzione oppure no.



L'eccezione di reset non salva lo stato del processore

# Gestione delle eccezioni

---

4. Caricamento del nuovo *program counter*: l'ultima fase consiste nel caricamento del nuovo valore del program counter, che è prelevato dal vettore delle eccezioni.

Terminata tale operazione, il processore riprende l'esecuzione a partire dalla routine di gestione dell'eccezione.

Tale routine dovrà salvare esplicitamente i registri general-purpose che userà per le variabili locali

Il ripristino dello stato del processore e la riattivazione del programma interrotto avviene attraverso l'istruzione RTE (ultima istruzione della routine di servizio dell'eccezione)

---

# Istruzioni privilegiate del 68000

---

Le istruzioni privilegiate che possono essere eseguite solo nel modo *supervisor* sono:

- STOP
- RESET
- RTE
- MOVE to SR
- ANDI to SR
- EORI to SR
- ORI to SR
- MOVE to USP.

Porta il processore nello stato *halted*; non può essere concessa ad un utente perchè ciò potrebbe bloccare i processi di altri utenti.

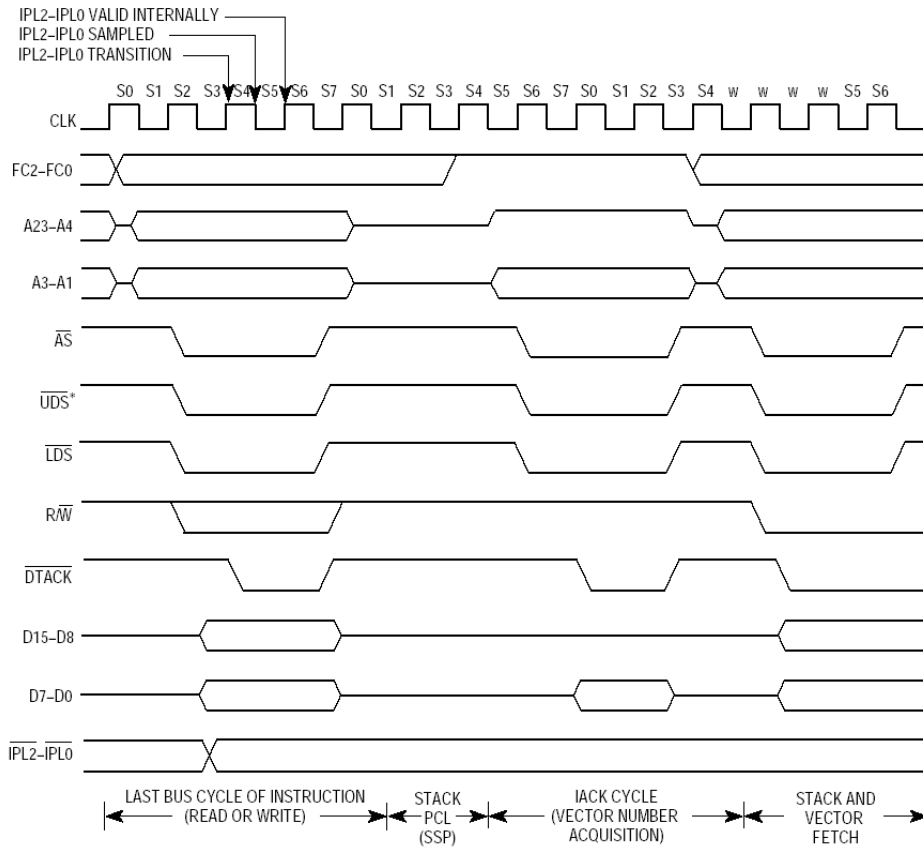
Invia un segnale di reset a tutti i periferici connessi all' esterno. In un ambiente multi-utente tali dispositivi possono essere usati anche da altri utenti e dunque occorre impedire che un utente possa eseguire questa operazione.

Esegue il ritorno da una procedura di gestione delle eccezioni. Tutte le procedure di gestione delle eccezioni hanno il privilegio di *supervisor*.

---

# Ciclo di ack delle interruzioni

Viene identificato asserendo tutti i codici di funzione: ad esempio per un' interruzione vettorizzata si ha



Se l' interruzione è vettorizzata, il dispositivo fornisce il proprio vector number sul data bus e asserisce DTACK. Se è autovettorizzata, non fornisce alcun valore sul data bus e asserisce VPA

\* Although a vector number is one byte, both data strobes are asserted due to the microcode used for exception processing. The processor does not recognize anything on data lines D8 through D15 at this time.

# Interruzioni non Mascherabili

---

Il 68000 non presenta ingressi espliciti per le interruzioni non mascherabili. Se  $IPL=7$ , l'interruzione è sempre servita (anche se  $PPL=7$ ).

Le interruzioni non mascherabili sono edge-triggered: gli ingressi relativi sono sensibili sul fronte.

Per evitare che la stessa richiesta reinterrompa, nelle normali interruzioni è sufficiente porre  $PPL=IPL$ .

Ciò non vale, invece, nel caso in cui  $IPL=7$ . Allora, è richiesto un comportamento sensibile sul fronte di modo che venga riconosciuta una sola transizione dallo stato  $IPL<7$  allo stato  $IPL=7$ .

---