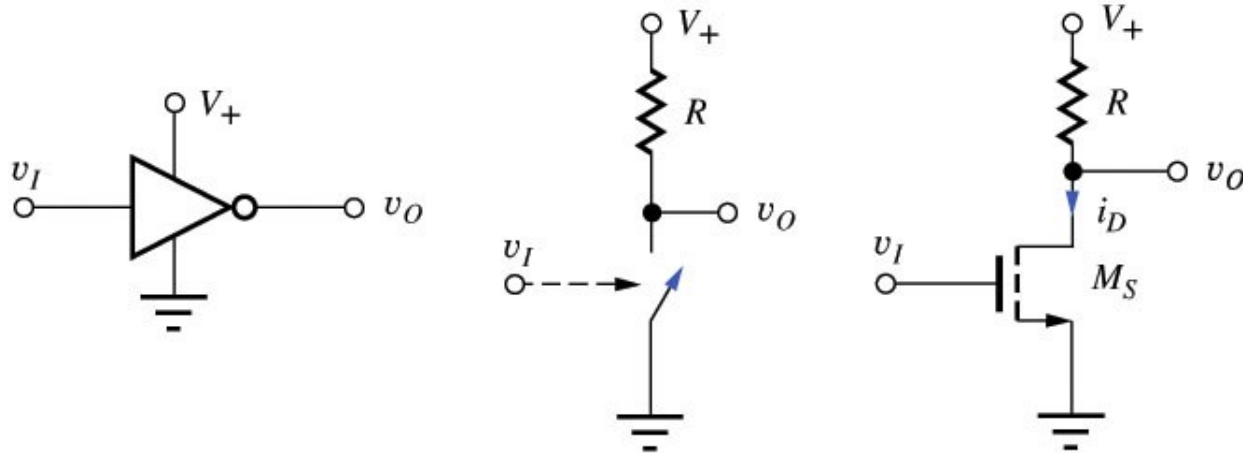


---

# Circuiti logici NMOS

# Possibili realizzazioni circuitali

---



Un inverter può essere realizzato con un interruttore comandato dall'ingresso ed un carico resistivo.

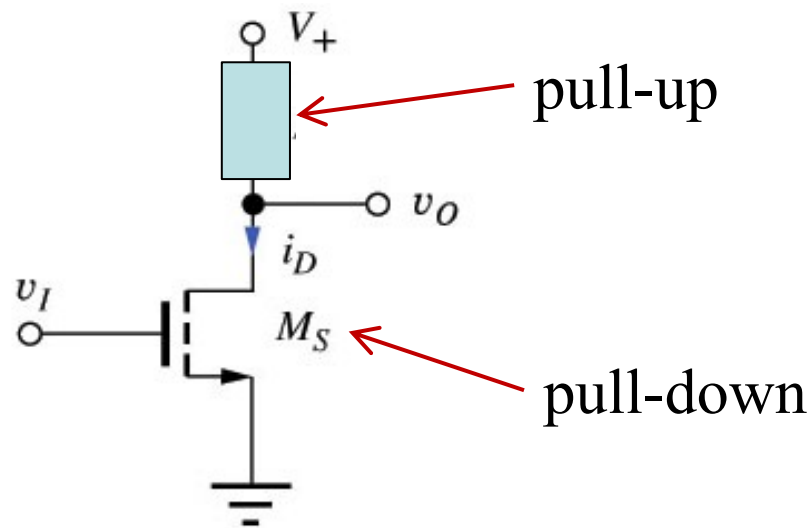
L'interruttore è realizzato con un NMOS

# Logica NMOS

---

Si utilizza un dispositivo NMOS pilotato dall'ingresso, con il compito di portare l'uscita a '0' (rete di pull-down).

La rete di pull-up ha il compito di portare l'uscita ad '1' e **non è pilotata dall'ingresso**.

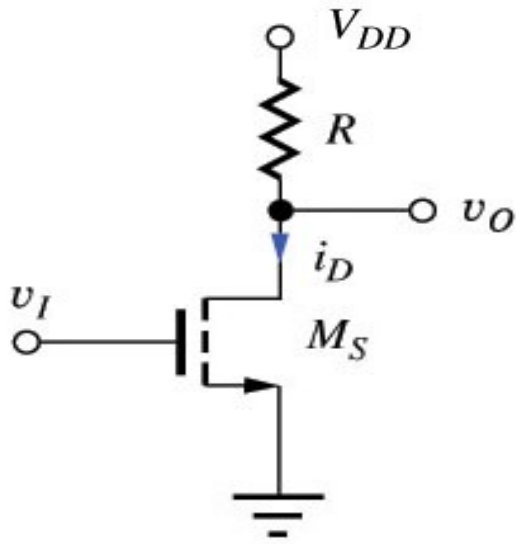


---

# Logica NMOS con carico Resistivo

# Invertitore NMOS con carico resistivo

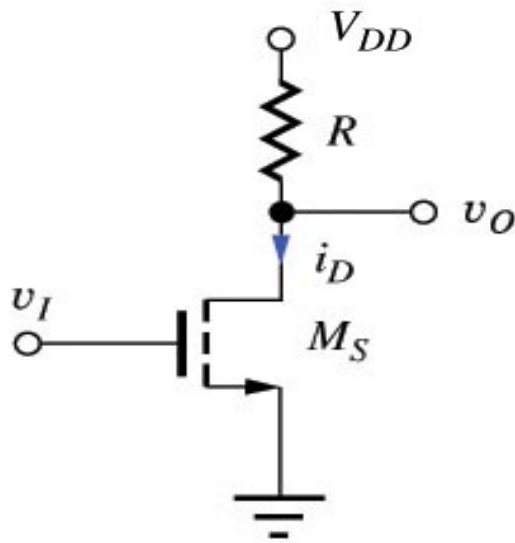
---



- Il resistore  $R$  rappresenta la rete di "pull-up", che ha il compito di portare l'uscita al livello alto
- $M_S$  è la rete di "pull-down"
- I gradi di libertà del circuito sono il valore della resistenza  $R$  ed il rapporto  $W/L$  di  $M_S$

# Invertitore NMOS con carico resistivo

---



Per studiare il circuito, osserviamo che  $v_{DS}$  ed  $i_D$  sono legate da due relazioni. La prima è l'equazione alla maglia:

$$v_{DS} = V_{DD} - R i_D$$

ovvero:

$$i_D = V_{DD}/R - v_{DS}/R$$

La seconda relazione è data dalle caratteristiche del MOS:

$$i_D = f(v_{DS}, v_{GS})$$

# Analisi grafica

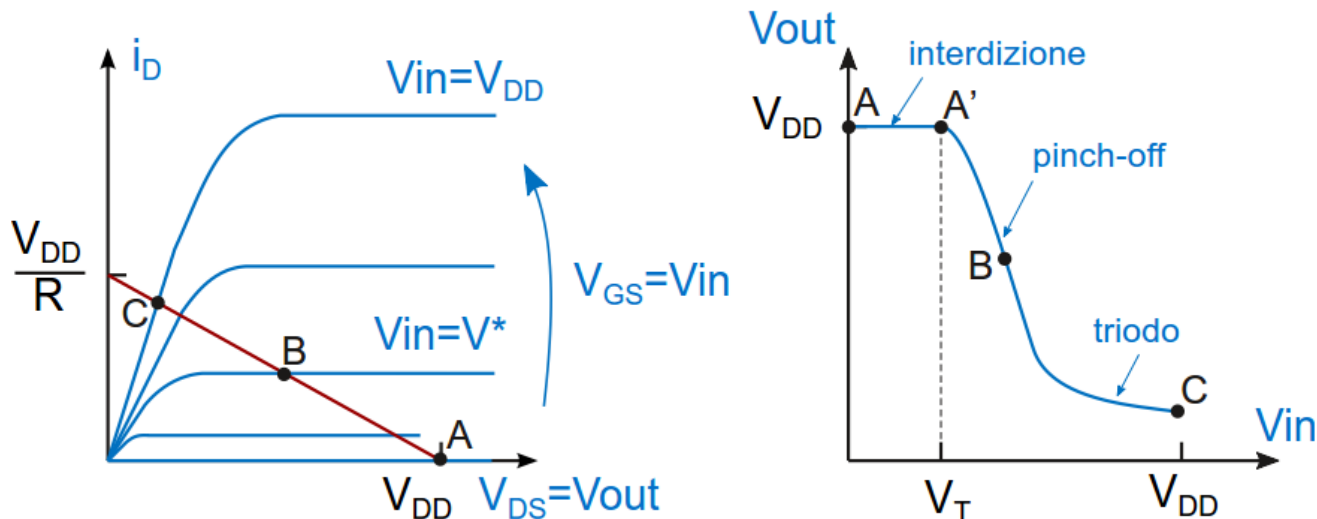
Ci poniamo nel piano  $i_D - v_{DS}$

L'equazione:  $i_D = V_{DD}/R - v_{DS}/R$  è una retta (la **retta di carico**)

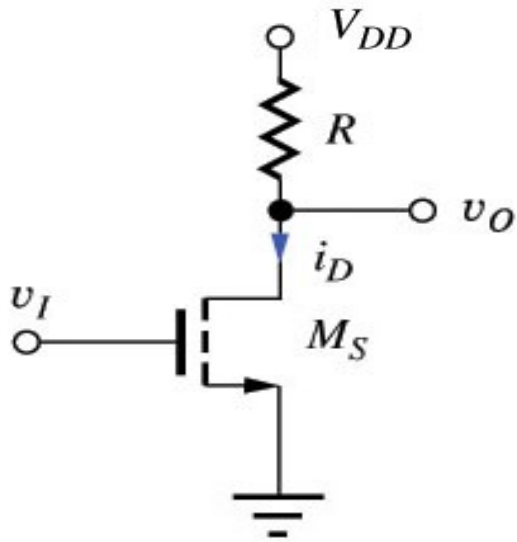
La relazione  $i_D = f(v_{DS}, v_{GS})$  corrisponde alle caratteristiche del MOS

Per ogni valore di  $v_{GS}$ , l'intersezione fra la caratteristica del MOS e la retta di carico fornisce i valori di  $i_D$  e  $v_{DS}$

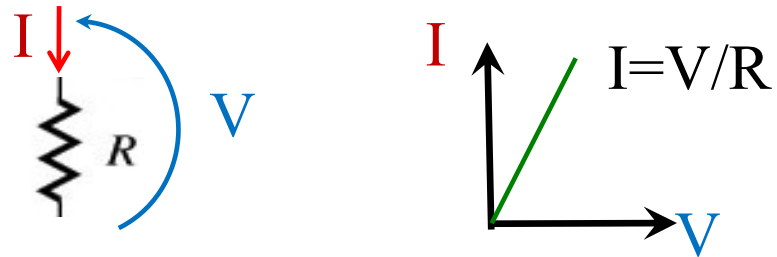
Notare che  $v_{GS} = V_{in}$  e  $v_{DS} = V_{out}$



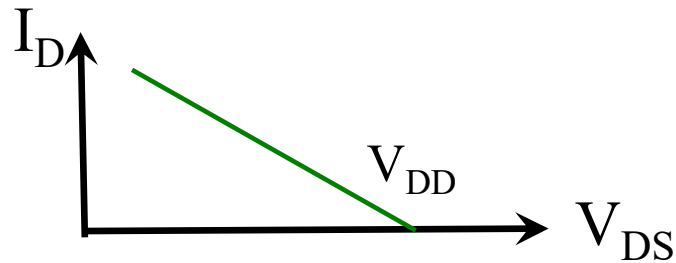
# Retta di carico



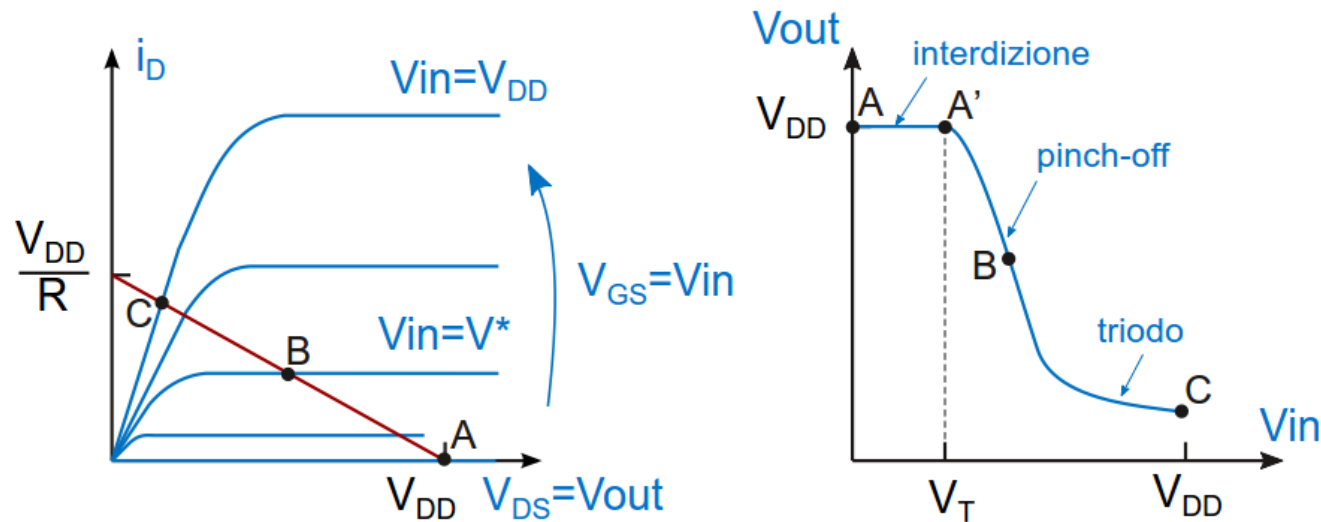
Da notare che per ottenere la retta di carico partiamo dalla caratteristica I-V del carico stesso:



Per poi traslare la caratteristica di  $V_{DD}$  e ribaltarla rispetto all'asse verticale:



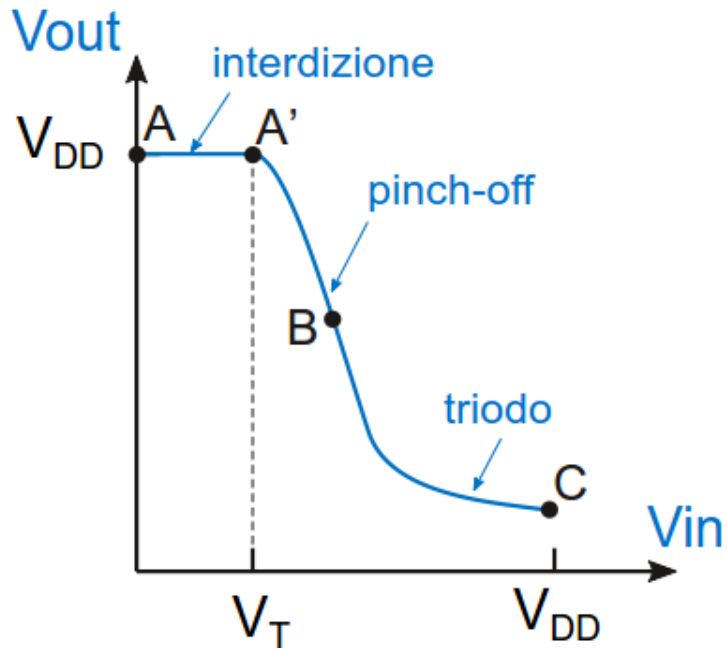
# Caratteristica di trasferimento



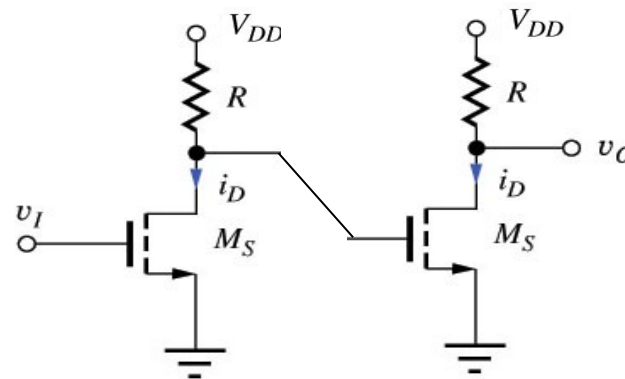
La caratteristica di trasferimento è il grafico di destra! Il grafico di sinistra ci serve per ottenere (per punti) la caratteristica di trasferimento.

Es: se  $V_{in} < V_T$  la caratteristica del NMOS coincide con l'asse  $x$ , il punto di intersezione con la retta di carico è **A** e la corrispondente tensione di uscita è  $V_{DD}$

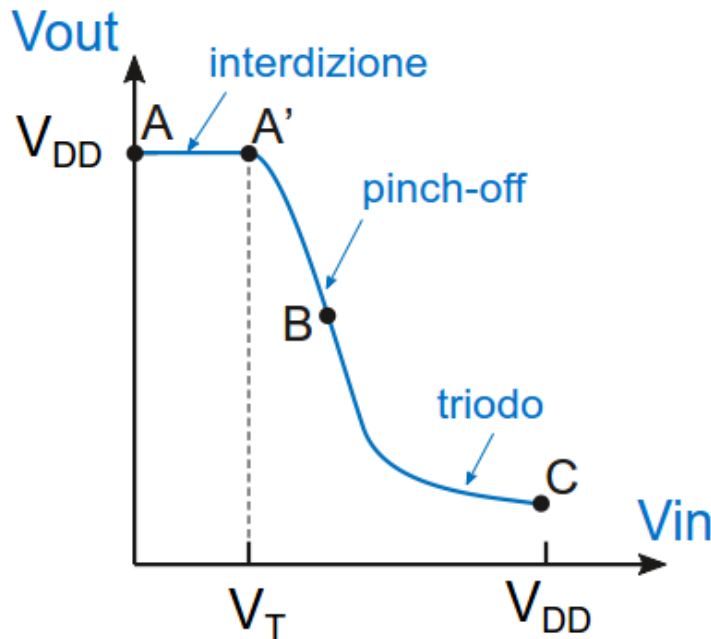
# Analisi grafica



Il circuito è in grado di garantire un'uscita alta  $V_{OH} = V_{DD}$ . E' però necessario che l'uscita bassa,  $V_{OL}$ , sia inferiore alla tensione di soglia del MOS (altrimenti nello stadio successivo il dispositivo è in conduzione anche con ingresso basso)



# Calcolo $V_{OL}$



Siamo nel punto **C**

Lo NMOS è in regione di triodo:

$$I_D = K'_n \left( \frac{W}{L} \right) \left[ (V_{GS} - V_T) V_{DS} - \frac{1}{2} V_{DS}^2 \right]$$

Retta di carico:

$$V_{DS} = V_{DD} - I_D R$$

$V_{DS}$  è piccola rispetto a  $V_{DD}$ :

$$I_D \approx V_{DD} / R$$

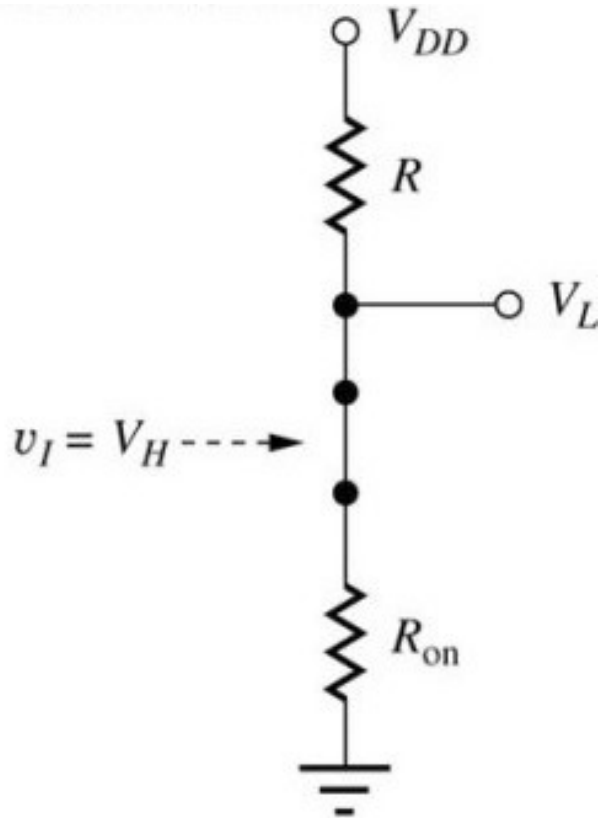
Sostituiamo nell'eq. del MOS, trascurando il termine quadratico e

ricordando che:  $V_{GS} = V_{DD}$ ;  $V_{DS} = V_{OL}$

$$V_{DD} / R = K'_n \left( \frac{W}{L} \right) \left[ (V_{DD} - V_T) V_{OL} \right] \Rightarrow$$

$$V_{OL} = \frac{V_{DD}}{R K'_n \left( \frac{W}{L} \right) \left[ (V_{DD} - V_T) \right]}$$

# Resistenza ON di $M_S$



Allo stesso risultato per  $V_{OL}$  si perviene vedendo il circuito come un partitore resistivo, in cui il dispositivo NMOS è rappresentato dalla sua resistenza ON:

$$V_{OL} = V_{DD} \frac{R_{on}}{R_{on} + R} \approx V_{DD} \frac{R_{on}}{R}$$

# Resistenza ON di $M_S$ (cont.)

---

La resistenza ON del NMOS è data dall'espressione seguente (ricordiamo che il dispositivo opera in questo caso in regione lineare)

$$R_{on} = \frac{v_{DS}}{i_D} \simeq \frac{1}{K'_n \left(\frac{W}{L}\right) (V_{DD} - V_T)}$$

$$V_{OL} \simeq V_{DD} \frac{R_{on}}{R} \simeq \frac{V_{DD}}{RK'_n \left(\frac{W}{L}\right) (V_{DD} - V_T)}$$

Da notare che  $R_{on}$  deve essere mantenuta piccola rispetto ad  $R$ , per avere un valore di  $V_{OL}$  sufficientemente basso.

# Il problema del resistore di carico

---

In un circuito integrato, anche la resistenza di carico  $R$  deve essere realizzata su chip.

Sfortunatamente, l'area di silicio necessaria per realizzare un resistore è molto grande, specialmente se il resistore ha un valore elevato.

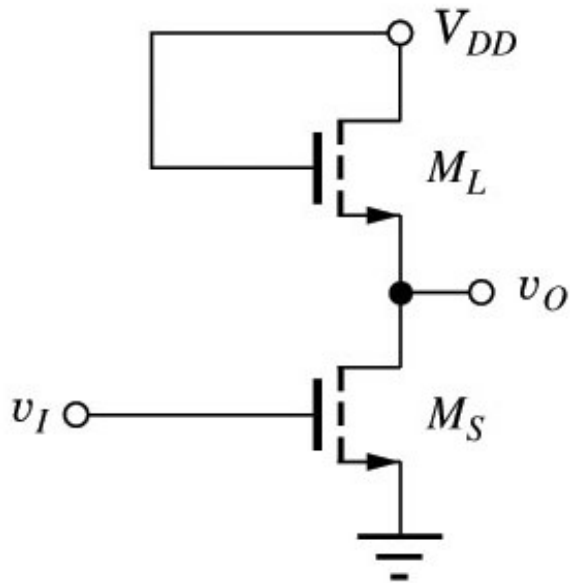
Pertanto sono state sviluppate logiche che utilizzano anche l'elemento di carico mediante MOS.

---

# Logica NMOS con carico NMOS

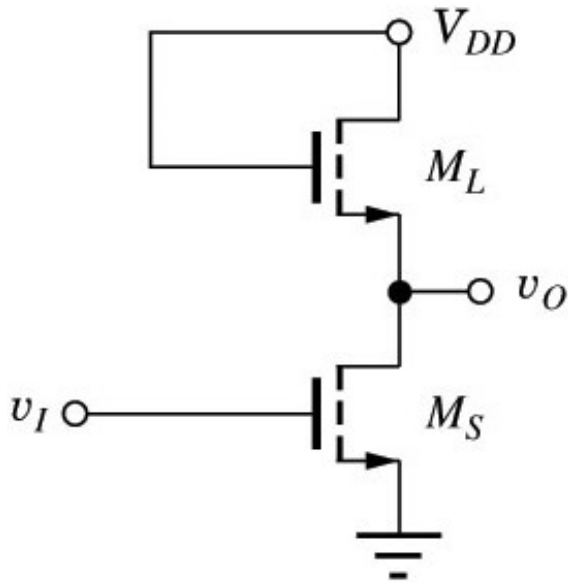
# Utilizzo di un NMOS come elemento di carico

---

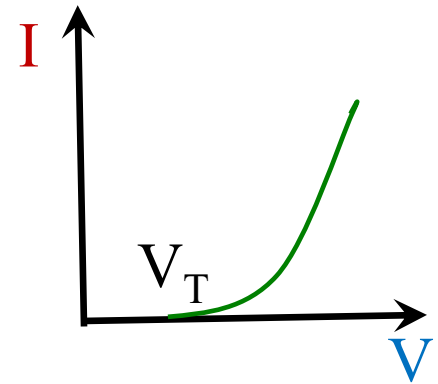
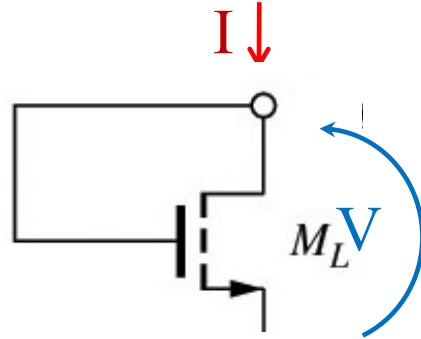


Una prima possibilità prevede l'utilizzo di un NMOS di carico, con la gate collegata alla  $V_{DD}$

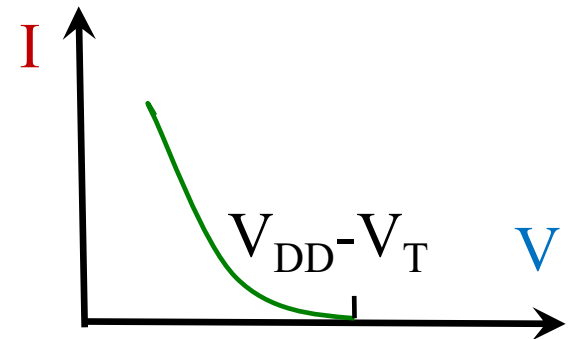
# Curva di carico



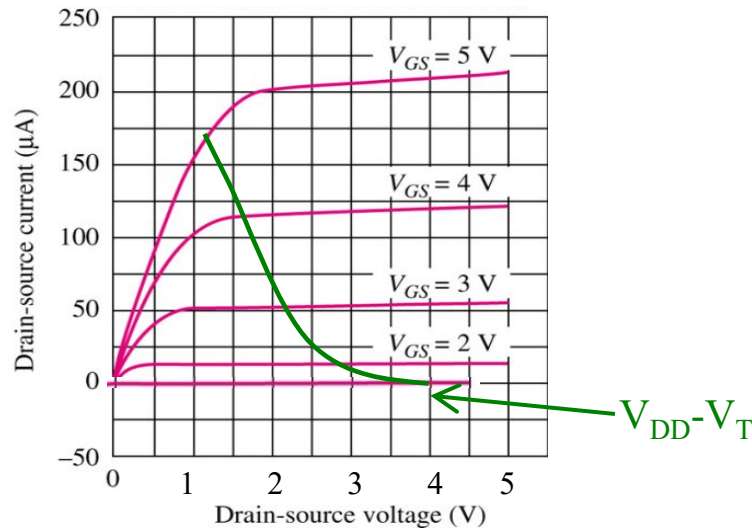
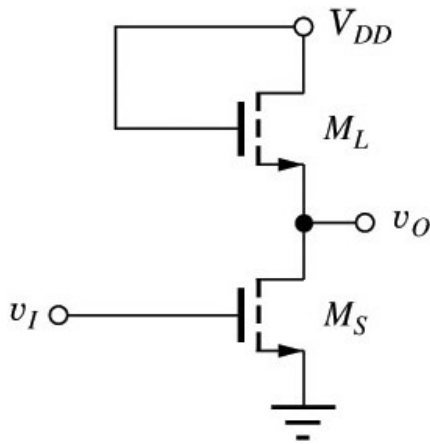
Caratteristica I-V del carico:



Caratteristica traslata di  $V_{DD}$  e ribaltata rispetto all'asse verticale:



# Curva di carico

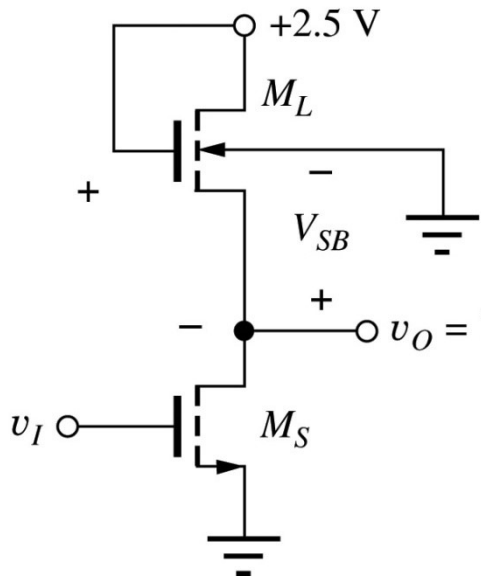


Per  $v_I < V_T$ , il dispositivo  $M_S$  è interdetto e la tensione di uscita è portata al livello logico alto grazie ad  $M_L$  (che è in conduzione). Come si evince dal grafico, la tensione di uscita non raggiunge  $V_{DD}$ , ma è invece limitata al valore  $V_{DD} - V_T$ .

$$V_{OH} = V_{DD} - V_T$$

# $V_{OH}$ dell'invertitore NMOS

---



$$V_{OH} = V_{DD} - V_T$$

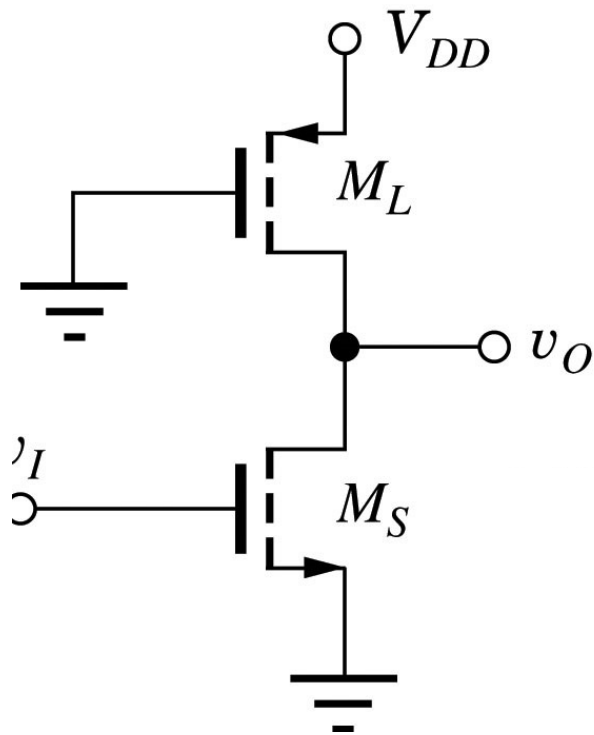
Poiché  $V_{OH} < V_{DD}$ , i margini di rumore di questo circuito sono molto limitati.

---

# Logica NMOS con carico PMOS (pseudo-NMOS)

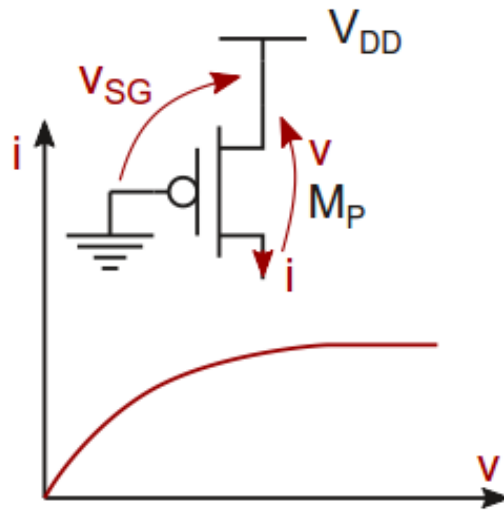
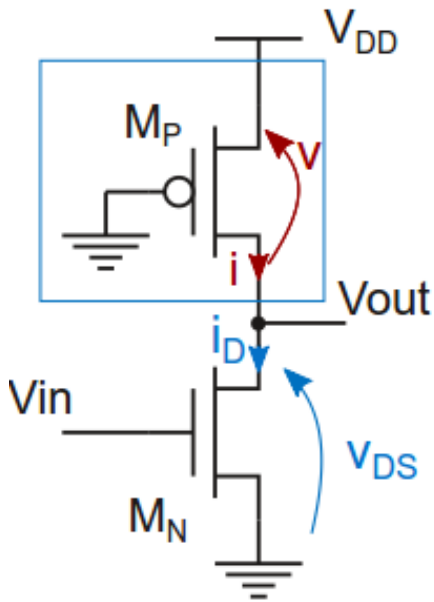
# Pseudo NMOS Inverter

---

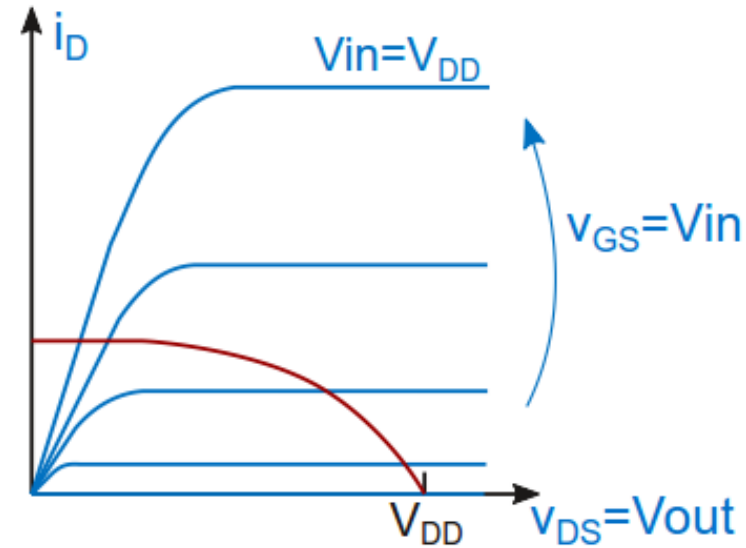


Si utilizza come carico un PMOS con la gate collegata a massa

# Curva di carico

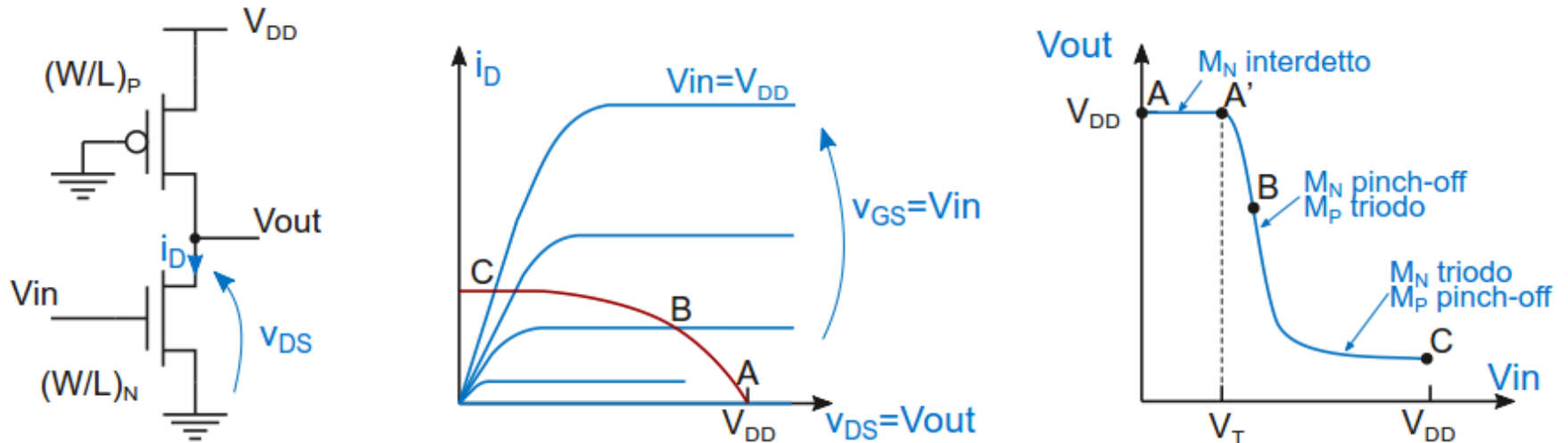


Caratteristica I-V del PMOS di carico



La caratteristica del carico è traslata di  $V_{DD}$  e ribaltata rispetto all'asse verticale per ottenere la **curva di carico**

# Caratteristica di trasferimento

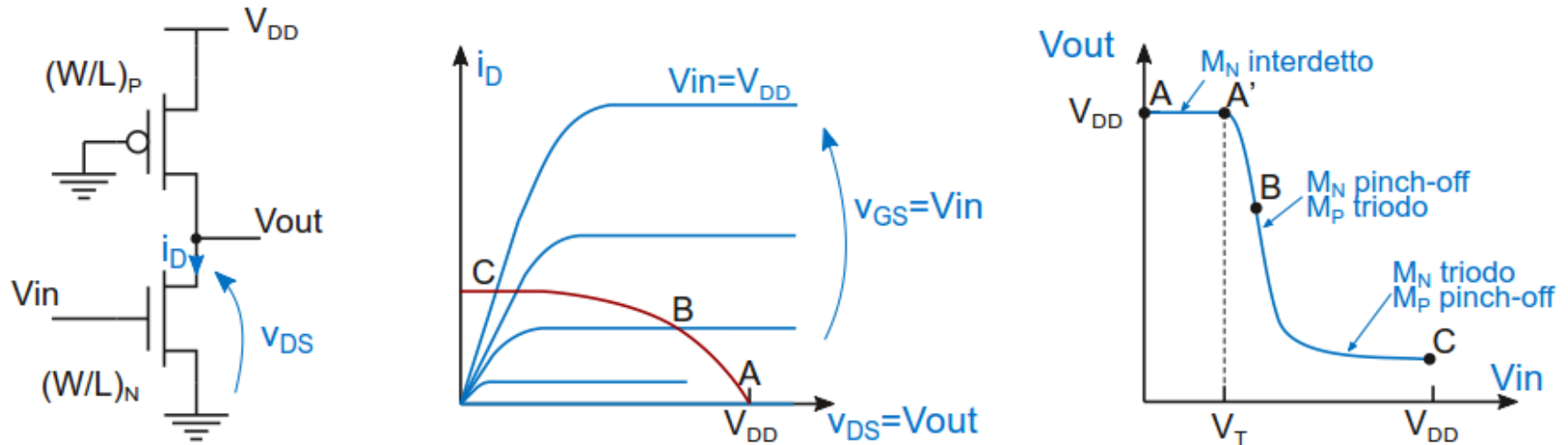


Per  $v_I < V_T$ , il dispositivo NMOS è interdetto e l'intersezione con la curva di carico è il punto **A**.

Come si evince dal grafico al centro, la tensione di uscita raggiunge  $V_{DD}$ .

$$V_{OH} = V_{DD}$$

# Calcolo $V_{OL}$



Per  $V_{in}=V_{DD}$  siamo nel punto **C**. Lo NMOS è in triodo:

$$I_D = K'_n \left( \frac{W}{L} \right)_p \left[ (V_{GS} - V_{TN}) V_{DS} - \frac{1}{2} V_{DS}^2 \right]$$

Nel punto **C** il PMOS è in pinch-off, con  $V_{SG}=V_{DD}$ :

$$I_D \approx \frac{1}{2} K'_p \left( \frac{W}{L} \right)_p (V_{DD} - |V_{TP}|)^2$$

# Calcolo $V_{OL}$

---

$$I_D = K'_n \left( \frac{W}{L} \right)_p \left[ (V_{GS} - V_{TN}) V_{DS} - \frac{1}{2} V_{DS}^2 \right] \quad (\text{NMOS})$$

$$I_D \approx \frac{1}{2} K'_p \left( \frac{W}{L} \right)_p (V_{DD} - |V_{TP}|)^2 \quad (\text{PMOS})$$

Eguagliamo le due relazioni. Trascuriamo il termine quadratico nella equazione del NMOS, poiché:  $V_{DS} \ll V_{GS} - V_T$  (ricordiamo che:  $V_{GS} = V_{DD}$   $V_{DS} = V_{OL}$ )

$$\frac{1}{2} K'_p \left( \frac{W}{L} \right)_p (V_{DD} - |V_{TP}|)^2 = K'_n \left( \frac{W}{L} \right)_n [(V_{DD} - V_{TN}) V_{OL}]$$

# Calcolo $V_{OL}$

---

$$\frac{1}{2} K'_p \left( \frac{W}{L} \right)_p (V_{DD} - |V_{TP}|)^2 = K'_n \left( \frac{W}{L} \right)_n [(V_{DD} - V_{TN}) V_{OL}]$$

$$V_{OL} = \frac{K'_p \left( \frac{W}{L} \right)_p (V_{DD} - |V_{TP}|)^2}{2K'_n \left( \frac{W}{L} \right)_n (V_{DD} - V_{TN})}$$

Poiché  $K'_n = 2.5K'_p$  si ha:

$$V_{OL} = \frac{\left( \frac{W}{L} \right)_p (V_{DD} - |V_{TP}|)^2}{5 \left( \frac{W}{L} \right)_n (V_{DD} - V_{TN})}$$

Nel caso in cui le tensioni di soglia siano uguali ( $V_{TN} = |V_{TP}| = V_T$ ):

$$V_{OL} = \frac{\left( \frac{W}{L} \right)_p (V_{DD} - V_T)}{5 \left( \frac{W}{L} \right)_n}$$

# Calcolo di $V_{OL}$

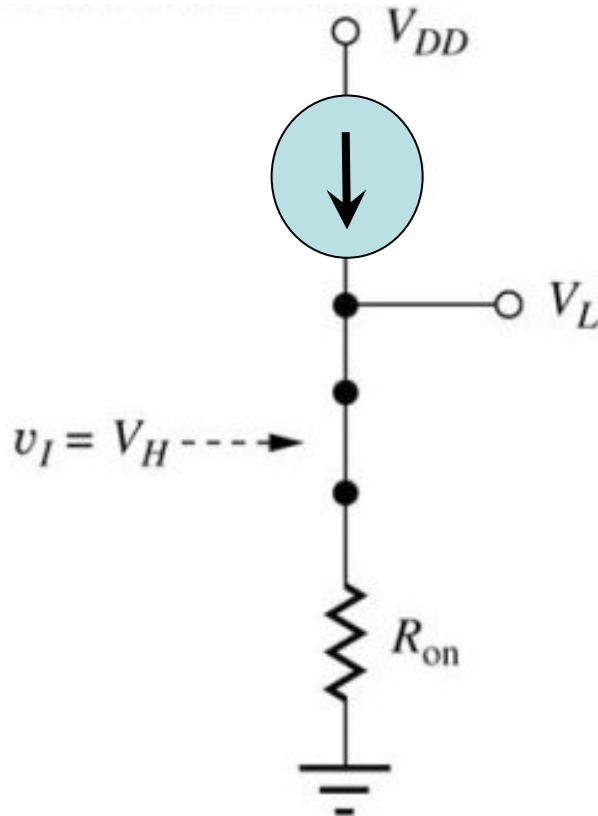
Possiamo ottenere lo stesso risultato osservando che il PMOS si comporta come un generatore di corrente:

$$I_D \approx \frac{1}{2} K'_p \left( \frac{W}{L} \right)_p (V_{DD} - |V_{TP}|)^2$$

Lo NMOS come una resistenza  $R_{on}$

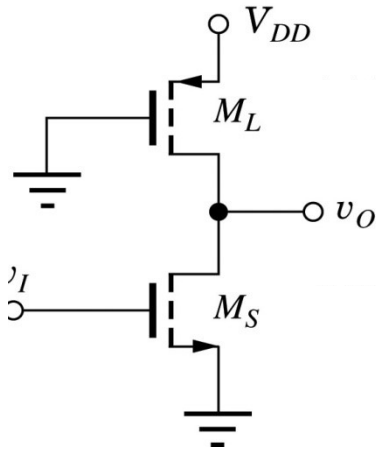
$$R_{on} \approx 1 / \left[ K'_n \left( \frac{W}{L} \right)_n (V_{DD} - V_{TN}) \right]$$

$$V_{OL} = I_D R_{on} = \frac{\left( \frac{W}{L} \right)_p (V_{DD} - |V_{TP}|)^2}{5 \left( \frac{W}{L} \right)_n (V_{DD} - V_{TN})}$$



# Calcolo $V_{OL}$

---



$$V_{OL} = \frac{\left(\frac{W}{L}\right)_p (V_{DD} - V_T)}{5 \left(\frac{W}{L}\right)_n}$$

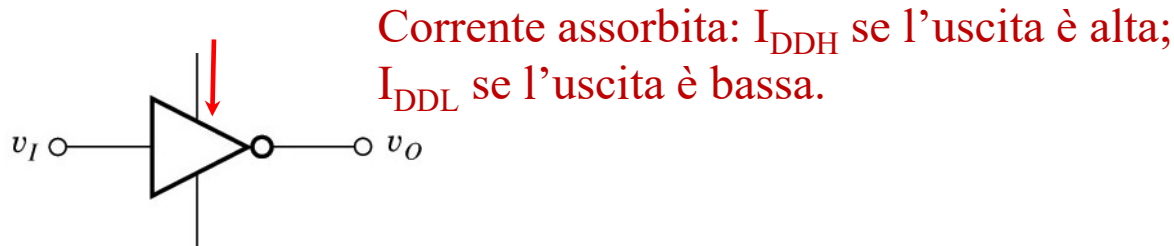
Il valore della  $V_{OL}$  dipende esclusivamente dal rapporto dei fattori  $W/L$  dei due dispositivi

---

# Dissipazione di Potenza

# Dissipazione di potenza statica

---



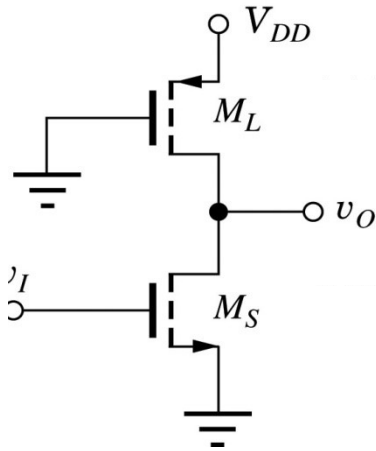
- La dissipazione di potenza statica è la media della potenza dissipata dalla gate nei due casi: uscita alta ed uscita bassa:

$$P_{av} = \frac{V_{DD}I_{DDH} + V_{DD}I_{DDL}}{2}$$

- $I_{DDH}$  = corrente nel circuito per  $v_O = V_{OH}$
- $I_{DDL}$  = corrente nel circuito per  $v_O = V_{OL}$

# Dissipazione di potenza statica

---



- Poiché (per  $v_O = V_{OH}$ )  $I_{DDH} = 0$

$$P_{av} = \frac{V_{DD} I_{DDL}}{2}$$

$$I_{DDL} = \frac{K'_p}{2} \left( \frac{W}{L} \right)_P (V_{DD} - |V_{TP}|)^2$$

$$P_{av} = \frac{1}{2} V_{DD} \frac{K'_p}{2} \left( \frac{W}{L} \right)_P (V_{DD} - |V_{TP}|)^2$$

# Dissipazione totale di Potenza

---

In generale, la dissipazione di potenza complessiva è la somma dei due contributi:

$$P_{TOT} = P_{STATICA} + P_{DINAMICA}$$

Nel caso delle logiche NMOS si puo' dimostrare che il contributo della potenza statica è predominante:

$$P_{TOT} \approx \frac{V_{DD} I_{DDL}}{2}$$

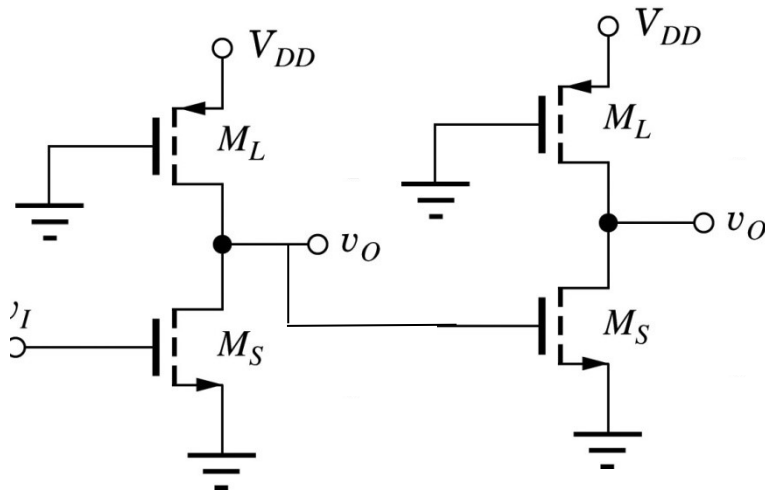
$$P_{TOT} \approx \frac{1}{2} V_{DD} \frac{K'_p}{2} \left( \frac{W}{L} \right)_P (V_{DD} - |V_{TP}|)^2$$

---

# Ritardo di Propagazione

# Capacità di carico

---



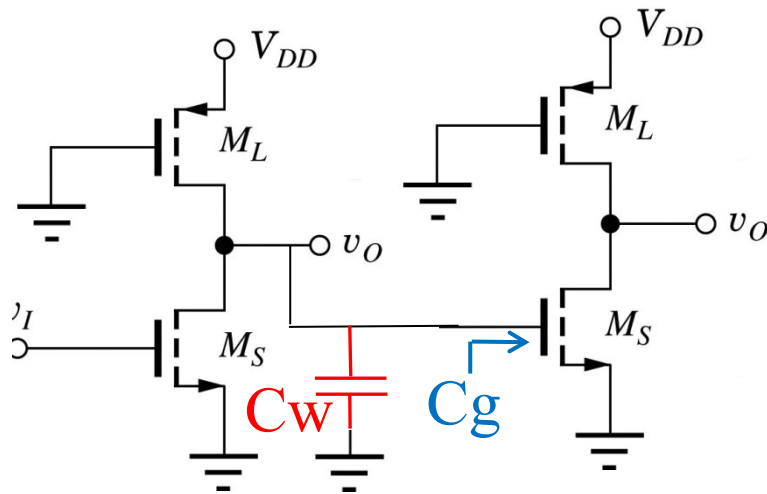
Consideriamo la cascata di due invertitori. Focalizziamo la nostra attenzione sul primo inverter.

Per valutare il ritardo del primo invertitore dobbiamo considerarne **la capacità di carico**, costituita da diverse componenti.

Le principali sono:

- La capacità della linea di interconnessione,  $C_w$
- La capacità del carico (fanout),  $C_g$

# Capacità di carico



$$C_{TOT} = C_g + C_w$$

- La capacità della linea di interconnessione,  $C_w$
- La capacità del carico (fanout),  $C_g$

$$C_g = W L C_{ox}$$

W: larghezza di canale di  $M_S$

L: lunghezza di canale di  $M_S$

$C_{ox}$ : Cap. di gate per unità di area

# Fan-out

---

- Il **fan-out** di una porta logica è costituito dalle gates che la porta in esame pilota.
- Il valore dei livelli logici non è influenzato dal fan-out; il carico è infatti schematizzabile con una capacità e pertanto non assorbe corrente in regime stazionario
- Aumentando il fan-out si ha un aumento della capacità di carico cui corrisponde un degrado dei tempi di propagazione.

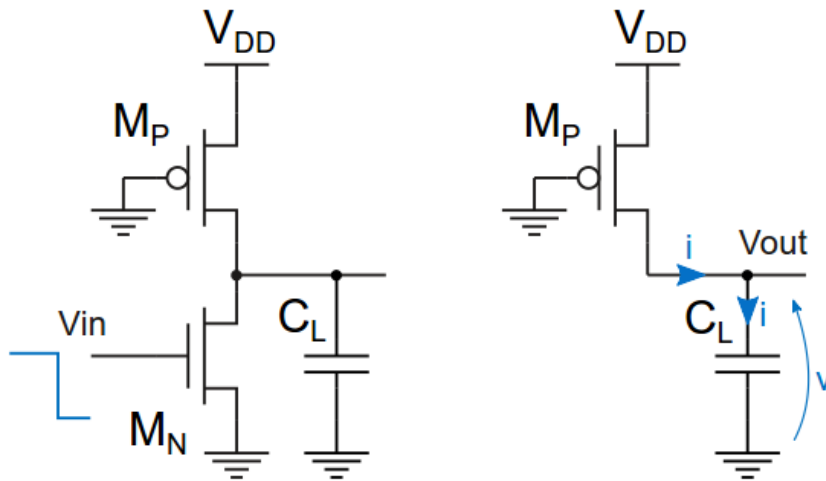
---

# Ritardo di propagazione

# Pseudo NMOS Inverter

## Transizione basso → alto dell'uscita

---

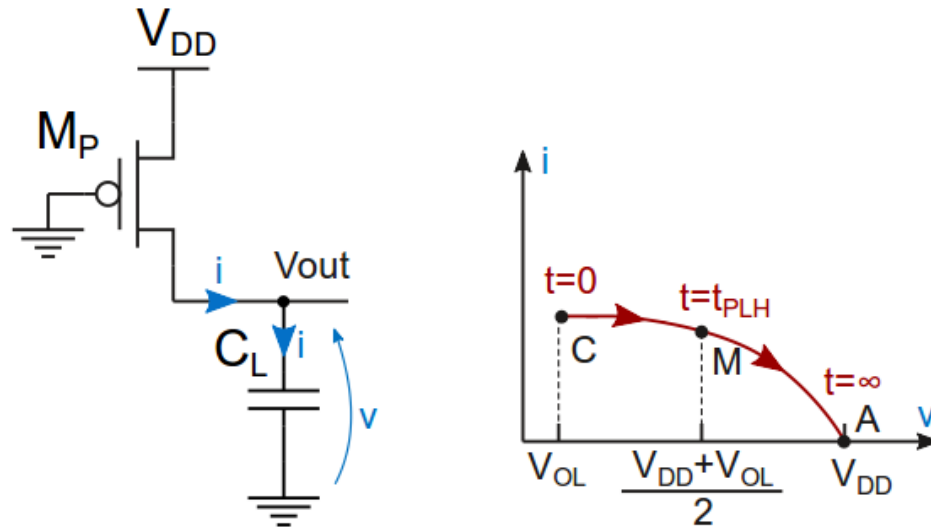


Il segnale d'ingresso si abbassa ed  $M_N$  si interdice. La capacità si carica attraverso  $M_P$ , passando dal valore iniziale  $V_{OL}$  al valore finale  $V_{OH} = V_{DD}$

Il tempo di propagazione basso-alto è legato **alla carica della capacità attraverso il PMOS.**

# Transizione basso $\rightarrow$ alto dell'uscita

---

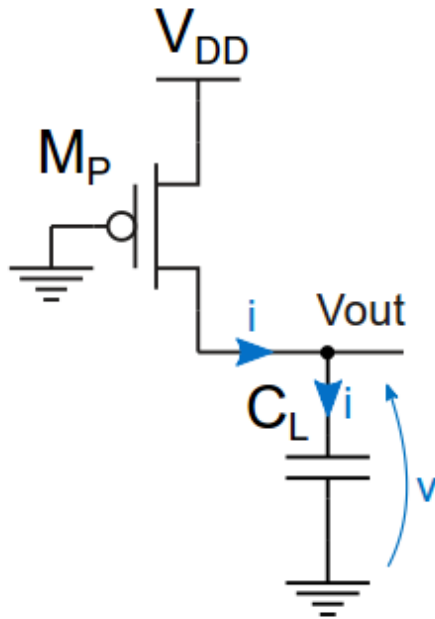


Durante la carica della capacità, il PMOS opera dapprima in regione di pinch-off e poi di triodo.

Calcoliamo il tempo di carica fra  $V_{DD}$  e  $V_{DD}/2$  **assumendo per semplicità che la corrente di carica sia costante**, e pari a quella in pinch-off.

# Transizione basso → alto dell'uscita

---



$$I \approx \frac{K'_P}{2} \left( \frac{W}{L} \right)_P (V_{DD} - |V_{TP}|)^2$$

$$I = C \frac{\Delta V}{\Delta t} \quad (\text{I è costante})$$

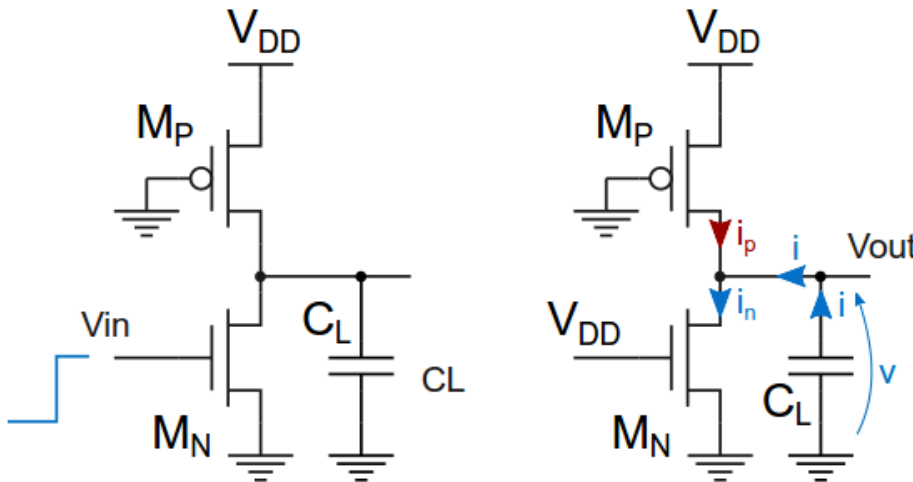
$$\Delta t = C \frac{\Delta V}{I} \Rightarrow t_{plh} = C \frac{V_{DD} / 2}{I}$$

$$t_{plh} = C \frac{V_{DD} / 2}{\frac{K'_P}{2} \left( \frac{W}{L} \right)_P (V_{DD} - |V_{TP}|)^2}$$

# Pseudo NMOS Inverter

## Transizione alto $\rightarrow$ basso dell'uscita

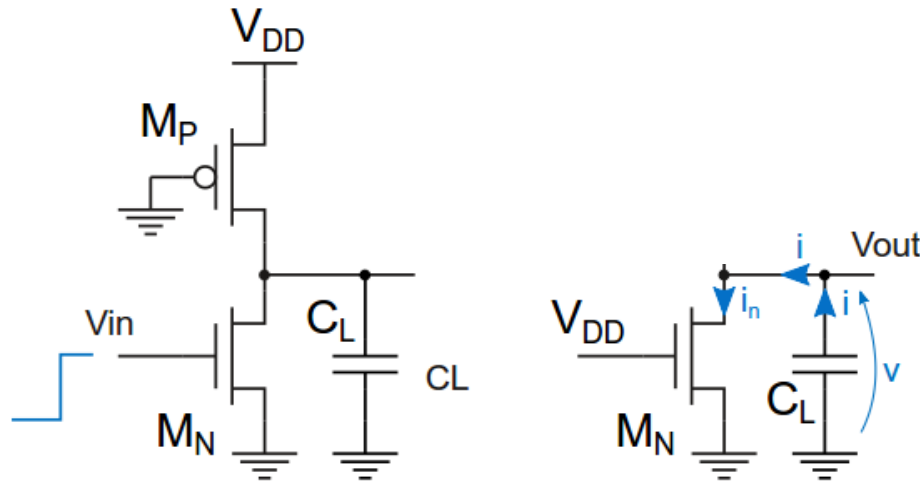
---



Il segnale d'ingresso si alza ed  $M_N$  entra in conduzione. La capacità si scarica attraverso  $M_N$ , passando dal valore iniziale  $V_{DD}$  al valore finale  $V_{OL}$

Trascuriamo la corrente che circola nel PMOS  $M_P$  (sappiamo che questa corrente deve essere piccola per garantire una ridotta  $V_{OL}$ )

# Transizione alto $\rightarrow$ basso dell'uscita



In quest'analisi semplificata, la capacità si scarica attraverso M<sub>s</sub>, fino a raggiungere 0V.

Seguendo gli stessi passaggi visti per il calcolo di  $t_{p\text{lh}}$  abbiamo:

$$t_{p\text{hl}} = C \frac{V_{DD} / 2}{\frac{K'_N}{2} \left( \frac{W}{L} \right)_N (V_{DD} - V_T)^2}$$

# Confronto tempi di propagazione (1)

---

$$\frac{tp_{LH}}{tp_{HL}} = \frac{\frac{K'_n}{2} \left(\frac{W}{L}\right)_N (V_{DD} - V_T)^2}{\frac{K'_p}{2} \left(\frac{W}{L}\right)_P (V_{DD} - |V_{TP}|)^2}$$

se  $V_T = |V_{TP}|$  e  $K'_n = 2.5 K'_p$ :

$$\frac{tp_{LH}}{tp_{HL}} = 2.5 \frac{(W/L)_N}{(W/L)_P} \gg 1$$

Si noti che i tempi di propagazione **sono asimmetrici**, deve infatti essere al fine di garantire un ridotto valore di  $V_{OL}$

# Confronto tempi di propagazione (2)

---

$$\frac{tp_{LH}}{tp_{HL}} = 2.5 \frac{(W/L)_N}{(W/L)_P} \gg 1$$

Si noti che i tempi di propagazione **sono asimmetrici**.  
Se scegliessimo  $(W/L)_P = 2.5 (W/L)_N$  per rendere uguali i ritardi di propagazione, avremmo un valore di  $V_{OL}$  inaccettabile (troppo grande)

$$V_{OL} = \frac{(W/L)_P (V_{DD} - V_T)}{5(W/L)_N}$$

Con  $(W/L)_P = 2.5 (W/L)_N$  si avrebbe:  $V_{OL} = V_{DD}/2$

# Confronto tempi di propagazione (3)

---

Poiché  $tp_{LH} \gg tp_{HL}$  si ha:

$$tp = (tp_{LH} + tp_{HL})/2 \approx tp_{LH}/2$$

$$tp \approx \frac{1}{2} C \frac{V_{DD} / 2}{\frac{K'_P}{2} \left( \frac{W}{L} \right)_P (V_{DD} - |V_{TP}|)^2}$$

# Prodotto ritardo-potenza dissipata

---

In logica pseudo-NMOS la potenza dissipata è essenzialmente statica:

$$P_{TOT} \approx \frac{1}{2} V_{DD} \frac{K'_p}{2} \left( \frac{W}{L} \right)_P (V_{DD} - |V_{TP}|)^2$$

$$tp \approx \frac{1}{2} C \frac{V_{DD} / 2}{\frac{K'_p}{2} \left( \frac{W}{L} \right)_P (V_{DD} - |V_{TP}|)^2}$$

$$P_{TOT} \cdot tp \approx \frac{1}{8} \cdot C \cdot V_{DD}^2$$

# Prodotto ritardo-potenza dissipata

---

$$P_{TOT} \cdot tp \approx \frac{1}{8} \cdot C \cdot V_{DD}^2$$

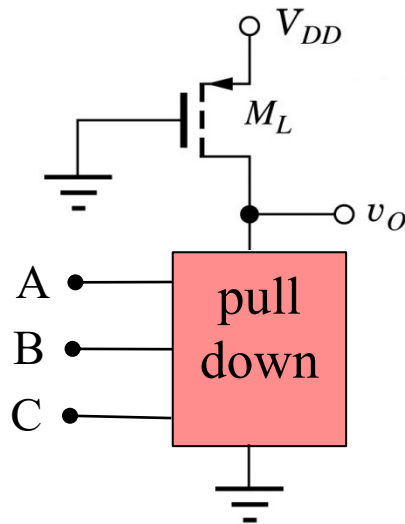
Il prodotto  $P_{TOT} \cdot tp$  non dipende dal dimensionamento del circuito. Si può agire sulle dimensioni dei dispositivi per rendere il circuito più veloce, ma in questo modo la porta dissiperà una potenza maggiore e viceversa

---

# Porte NAND-NOR

# Porte pseudo-NMOS

In tecnologia pseudo-NMOS è molto semplice realizzare funzioni NAND, NOR o altre funzioni più complesse, utilizzando la topologia in figura:

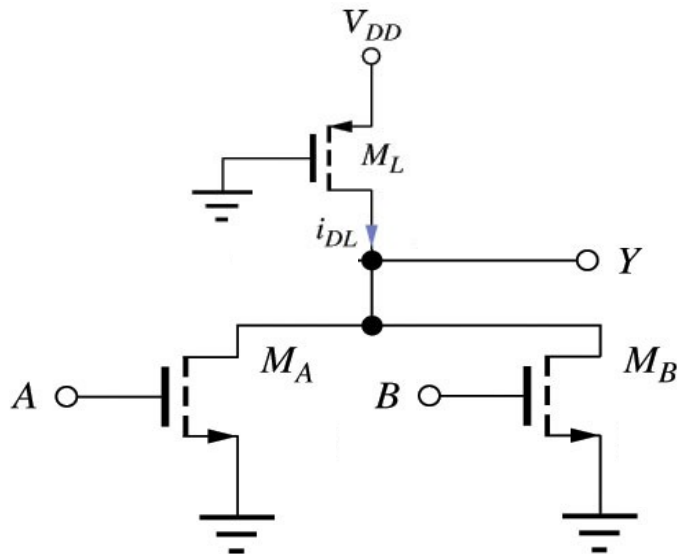


Il pull-up è costituito da un singolo PMOS, sempre in conduzione.

La rete di pull-down (che ha il compito di portare l'uscita a '0') è costituita da NMOS, la cui gate è pilotata dagli ingressi A, B, C ecc.

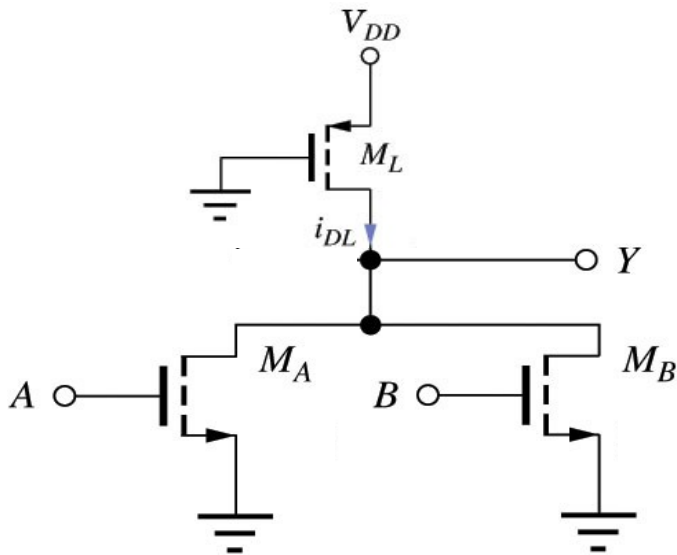
# Porte NOR

Nel caso di una porta NOR, la rete di pull-down è costituita da più NMOS **in parallelo**. La figura mostra il caso di una NOR a due ingressi



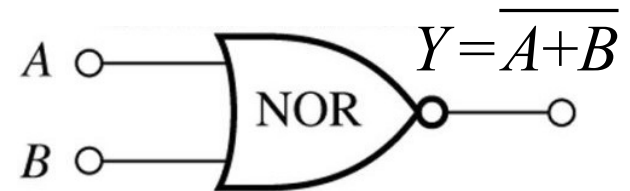
E' sufficiente che almeno uno dei due MOS ( $M_A$  oppure  $M_B$ ) sia in conduzione per portare l'uscita a zero. L'uscita è '1' solo se entrambi i dispositivi sono interdetti

# NOR Gates



NOR Truth Table

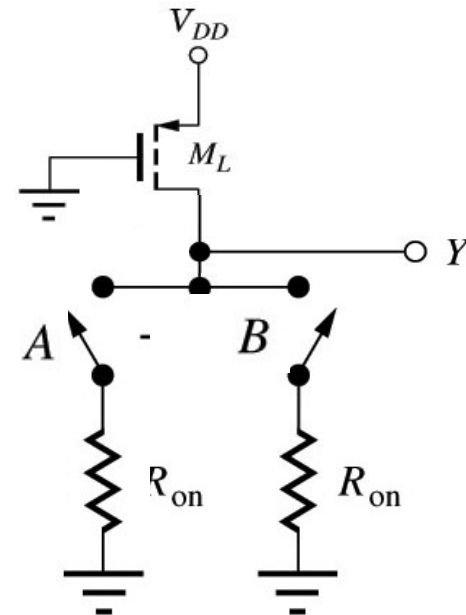
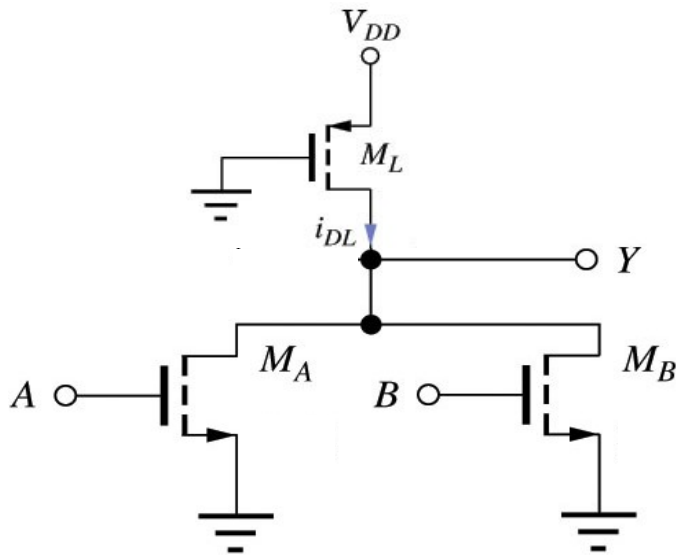
A	B	Y
0	0	1
0	1	0
1	0	0
1	1	0



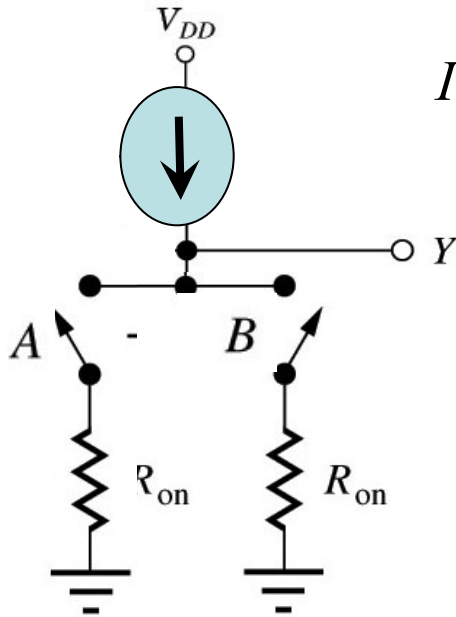
Il circuito può essere facilmente generalizzato per ottenere una NOR con 3 o più ingressi.

# Invertitore equivalente

Il calcolo della  $V_{OL}$  della NOR si può facilmente ricondurre a quello di un invertitore equivalente. Consideriamo a tal fine la rete di pull-down. Essa conduce in tre casi:  $(A=1, B=0)$ ,  $(A=0, B=1)$ ,  $(A=1, B=1)$ . Nei tre casi possiamo calcolare la  $V_{OL}$  utilizzando lo schema semplificato in Figura (in cui, per il calcolo di  $V_{OL}$ , il PMOS opera in pinch-off e può essere sostituito da un generatore di corrente).



# Invertitore equivalente



$$I_D \approx \frac{1}{2} K'_p \left( \frac{W}{L} \right)_p (V_{DD} - |V_{TP}|)^2 \quad (\text{PMOS di carico})$$

$$R_{on} \approx 1 / \left[ K'_n \left( \frac{W}{L} \right)_n (V_{DD} - V_{TN}) \right]$$

A	B	Req	V <sub>OL</sub>
0	1	R <sub>on</sub>	I <sub>D</sub> · R <sub>on</sub>
1	0	R <sub>on</sub>	I <sub>D</sub> · R <sub>on</sub>
1	1	R <sub>on</sub> /2	I <sub>D</sub> · R <sub>on</sub> /2

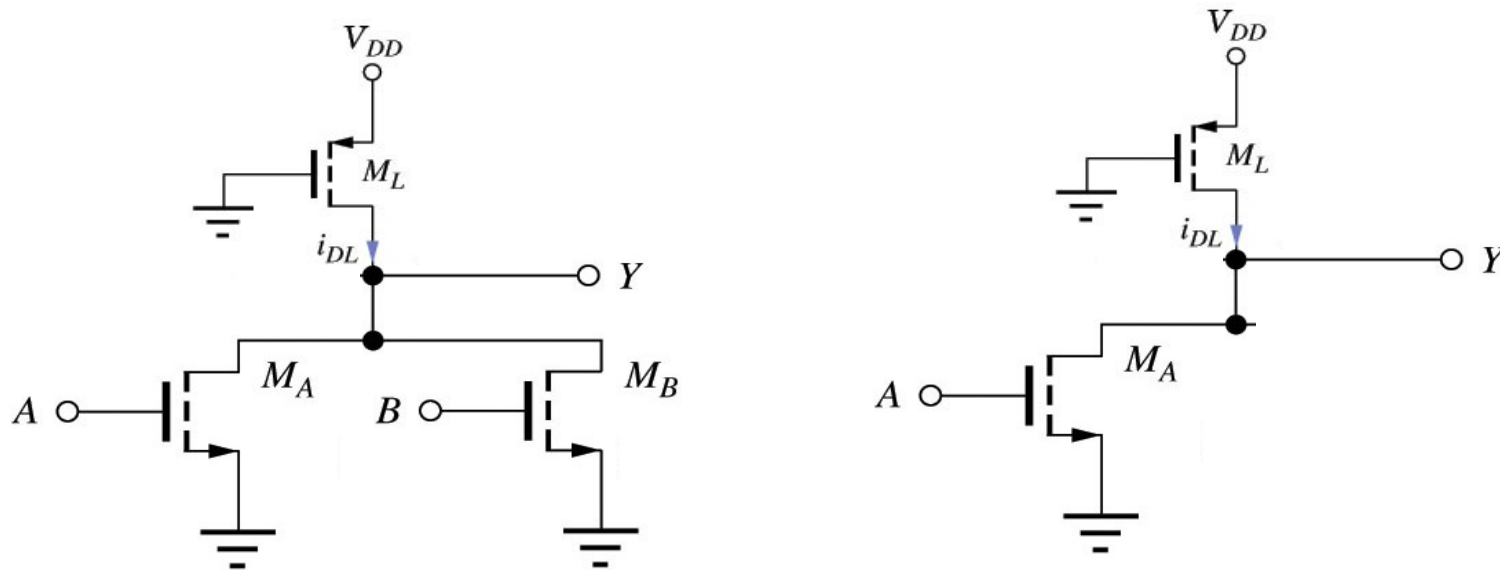
← caso peggiore

← caso peggiore

# Invertitore equivalente

Il caso peggiore ( $V_{OL}$  massima) è quello in cui conduce uno solo dei due NMOS.

L'invertitore equivalente è il seguente:



# Tempi di propagazione

---

I tempi di propagazione della porta NOR sono asimmetrici (come in tutte le logiche pseudo-NMOS).

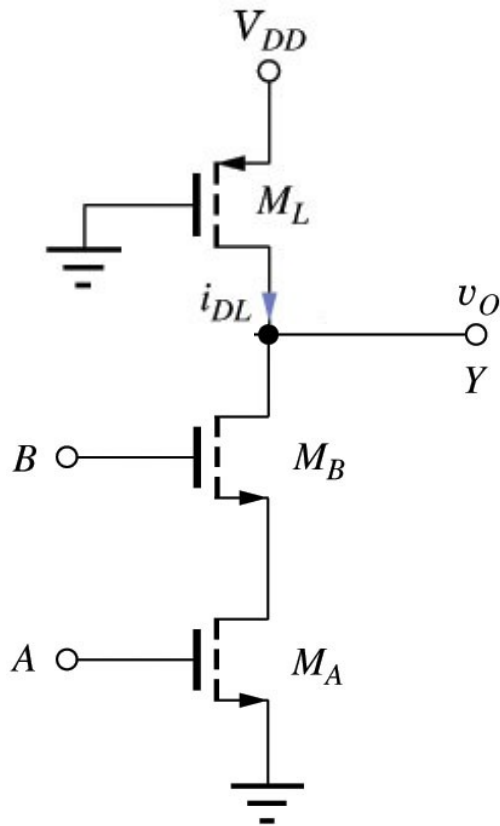
Poiché  $tp_{LH} \gg tp_{HL}$  si ha:

$$tp = (tp_{LH} + tp_{HL})/2 \approx tp_{LH}/2$$

$$tp \approx \frac{1}{2} C \frac{V_{DD} / 2}{\frac{K'_P}{2} \left( \frac{W}{L} \right)_P (V_{DD} - |V_{TP}|)^2}$$

$tp$  dipende solo dal dispositivo PMOS e non dipende dalla rete di pull-down

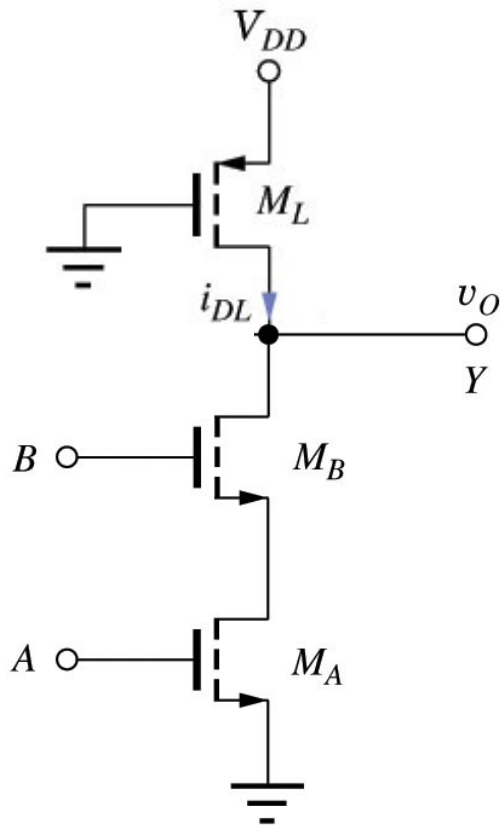
# NAND Gates



Nel caso di una porta NAND, la rete di pull-down è costituita da più NMOS **in serie**. La figura mostra il caso di una NAND a due ingressi

E' necessario che entrambi gli NMOS (sia  $M_A$  che  $M_B$ ) siano in conduzione per portare l'uscita a zero; negli altri casi l'uscita è '1'

# NAND Gates



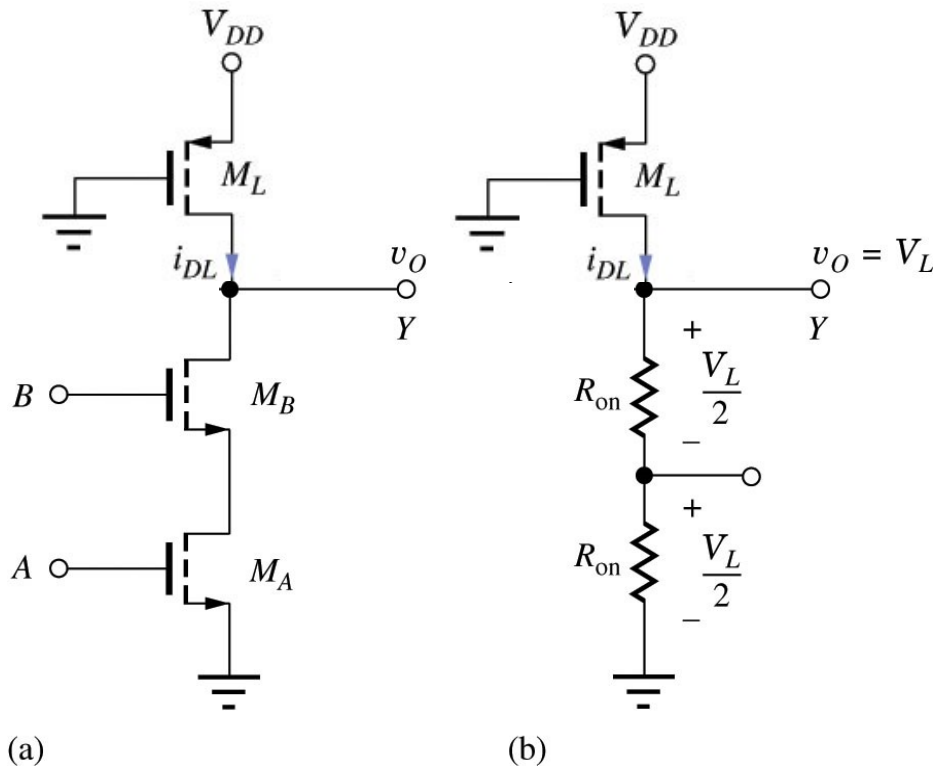
NAND  
Truth Table

A	B	Z
0	0	1
0	1	1
1	0	1
1	1	0



Il circuito può essere facilmente generalizzato per ottenere una NAND con 3 o più ingressi.

# Invertitore equivalente

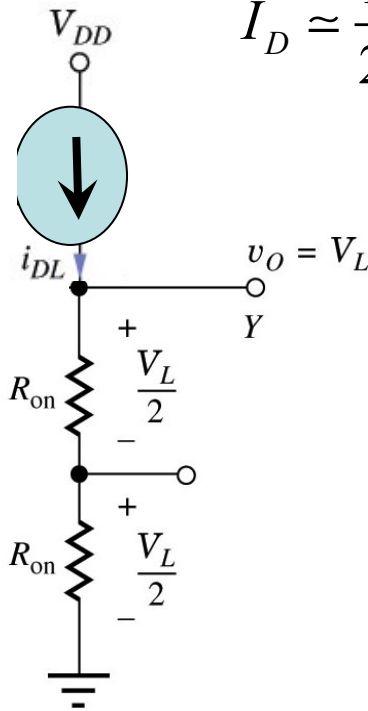


Il calcolo della  $V_{OL}$  della NAND si può facilmente ricondurre a quello di un invertitore equivalente. Vi è un solo caso in cui la rete di pull-down conduce: ( $A=1, B=1$ ). Possiamo calcolare la  $V_{OL}$  utilizzando lo schema semplificato in Figura:

# Invertitore equivalente

$$I_D \approx \frac{1}{2} K'_p \left( \frac{W}{L} \right)_p (V_{DD} - |V_{TP}|)^2 \quad (\text{PMOS di carico})$$

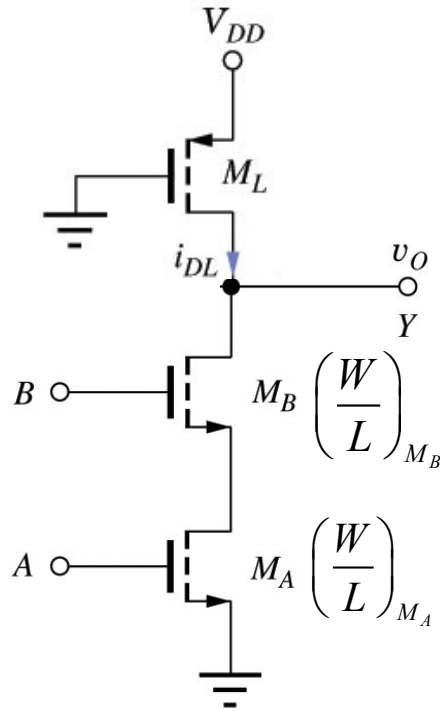
$$R_{on} \approx 1 / \left[ K'_n \left( \frac{W}{L} \right)_n (V_{DD} - V_{TN}) \right]$$



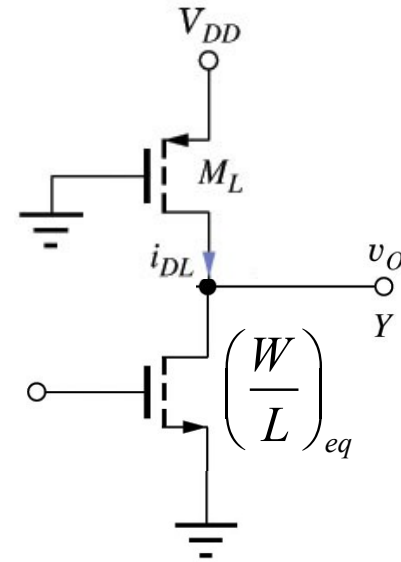
$$V_{OL} = 2 I_D R_{on}$$

(b)

# Invertitore equivalente



(a)



$$\left(\frac{W}{L}\right)_{eq} = \frac{1}{2} \left(\frac{W}{L}\right)_{M_B} = \frac{1}{2} \left(\frac{W}{L}\right)_{M_A}$$

# Tempi di propagazione

---

I tempi di propagazione della porta NAND sono asimmetrici (come in tutte le logiche pseudo-NMOS).

Poiché  $tp_{LH} \gg tp_{HL}$  si ha:

$$tp = (tp_{LH} + tp_{HL})/2 \approx tp_{LH}/2$$

$$tp \approx \frac{1}{2} C \frac{V_{DD} / 2}{\frac{K'_P}{2} \left(\frac{W}{L}\right)_P (V_{DD} - |V_{TP}|)^2}$$

$tp$  dipende solo dal dispositivo PMOS e non dipende dalla rete di pull-down

# Porte logiche complesse

---

In logica NMOS è possibile realizzare efficacemente funzioni logiche complesse, in forma AND-OR-INVERT ovvero OR-AND-INVERT.

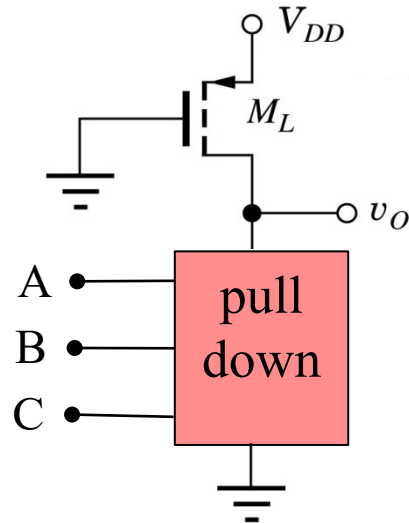
Supponiamo, ad esempio, di voler realizzare la funzione:

$$Y = \overline{A \cdot B + C}$$

Si tratta di una somma di termini prodotto, seguita da una negazione (forma AND-OR-INVERT)

# Porte logiche complesse

---



$$Y = \overline{A \cdot B + C}$$

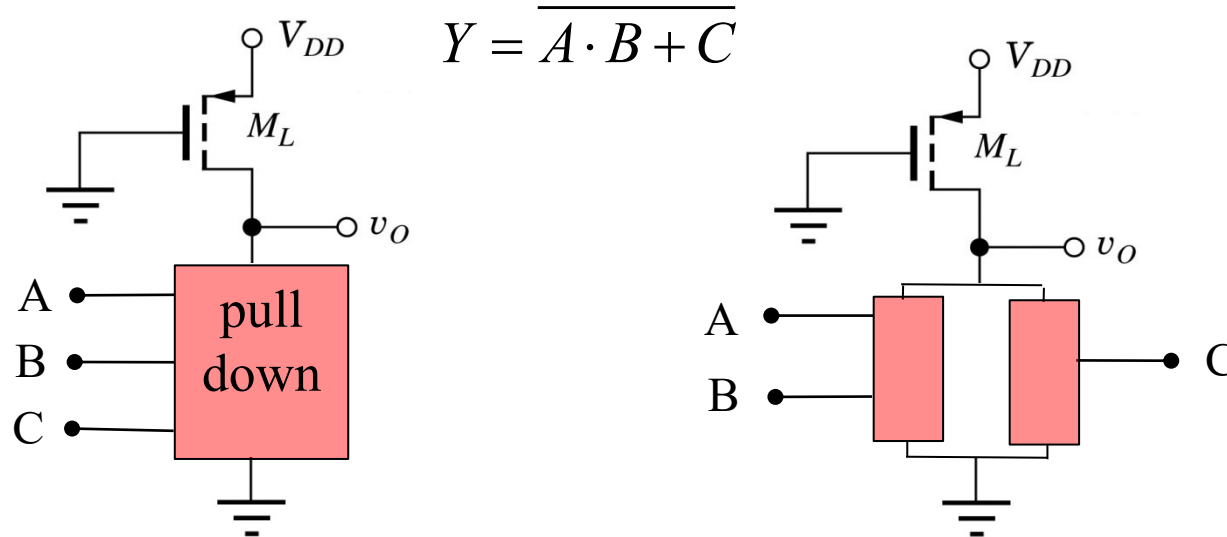
La rete di pull-down (che ha il compito di portare l'uscita a '0') è costituita da NMOS, la cui gate è pilotata dagli ingressi A, B, C.

Per ottenere la struttura della rete di pull-down, domandiamoci quando l'uscita sarà '0'.

Ciò accadrà quando:  $C=1$  oppure:  $A \cdot B=1$

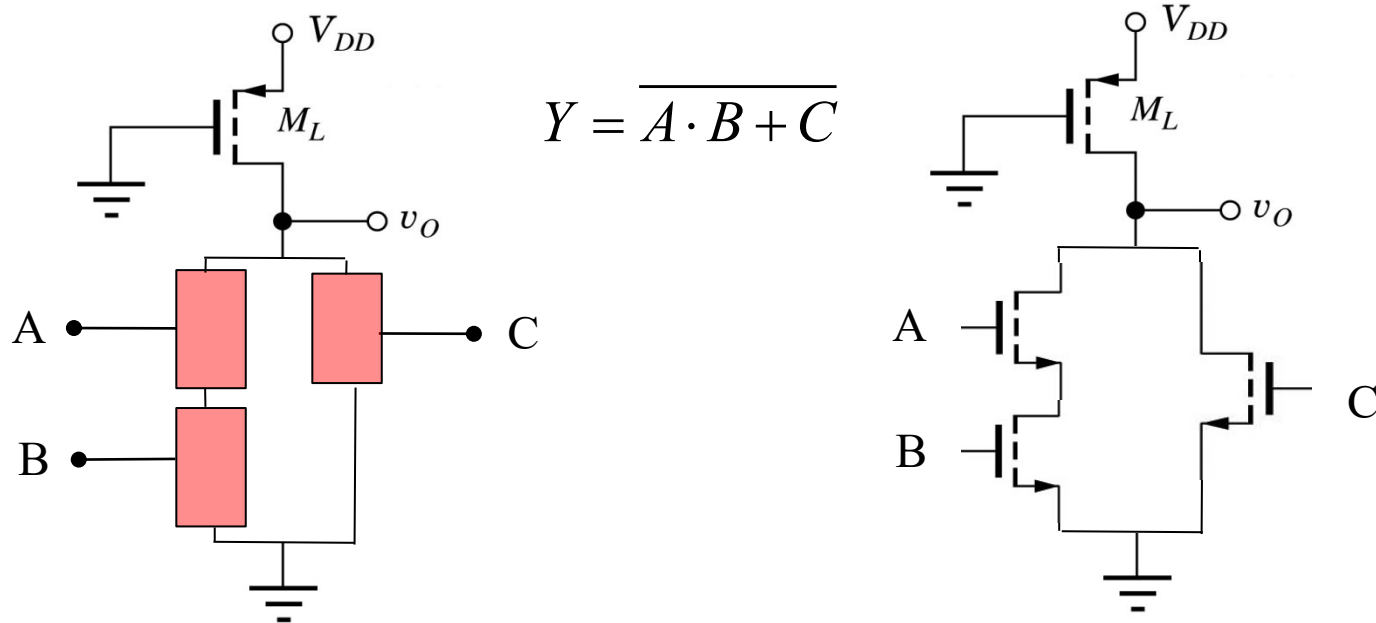
La rete di pull-down si suddivide in due rami in parallelo: il primo conduce quando  $C=1$ , l'altro quando  $A \cdot B=1$

# Porte logiche complesse



La rete che conduce quando  $A \cdot B = 1$  sarà realizzata mediante due rami in serie, uno pilotato da A e l'altro da B

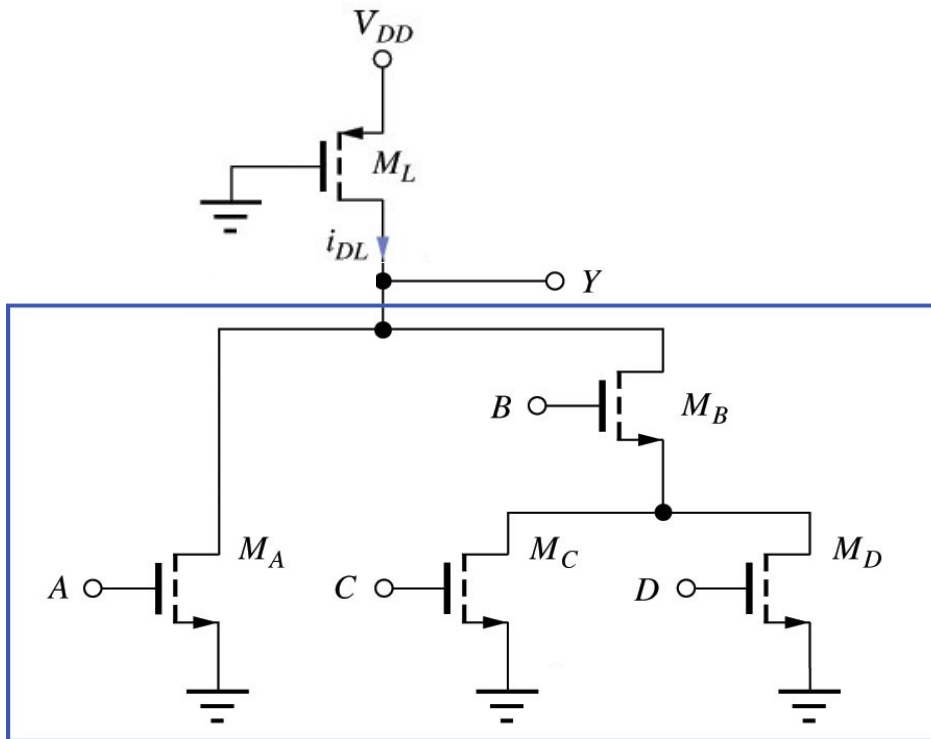
# Porte logiche complesse



I rami pilotati da un singolo ingresso sono realizzati mediante un dispositivo NMOS

# Porte logiche complesse

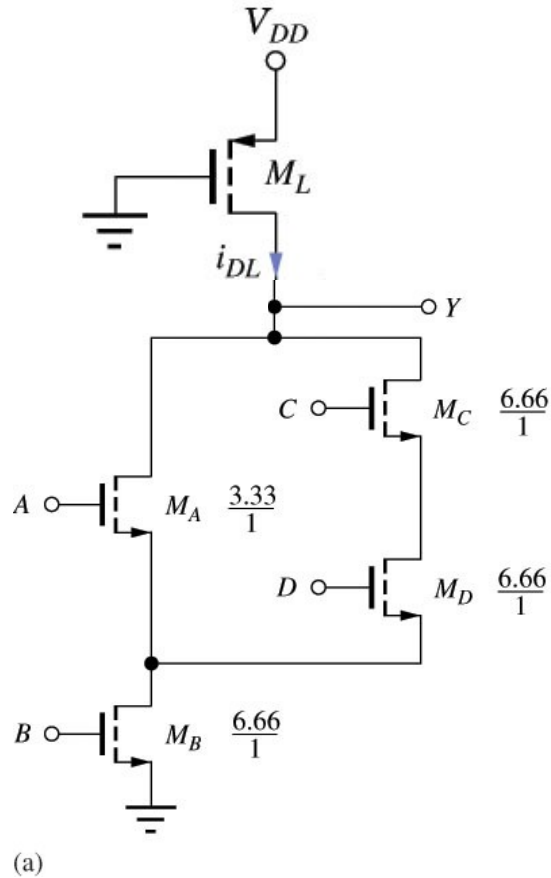
Possiamo procedere analogamente anche per funzioni più complesse. Ad esempio:  $Y = A + B \cdot (C + D)$



- 1) Si considera la funzione senza il segno d'inversione
- 2) Ad ogni operatore OR corrisponde il parallelo di sottoreti
- 3) Ad ogni operatore AND la serie

# Dimensionamento dei dispositivi nelle porte logiche complesse

---



$$Y = \overline{B \cdot (A + C \cdot D)}$$

# Dimensionamento dei dispositivi nelle porte logiche complesse

---

Dimensioniamo la porta logica complessa in modo che abbia le stesse caratteristiche di un invertitore "di riferimento".

Per ottenere il rapporto  $W/L$  dei dispositivi della rete di pull-down identifichiamo nella porta complessa il cammino più lungo (che coinvolge il massimo numero di dispositivi in serie) e scegliamo i rapporti  $W/L$  dei dispositivi in modo da ottenere una  $R_{on}$  pari a quello dell'inverter di riferimento.

