
Cenni sulla Tecnologia CMOS

Tecnologia CMOS

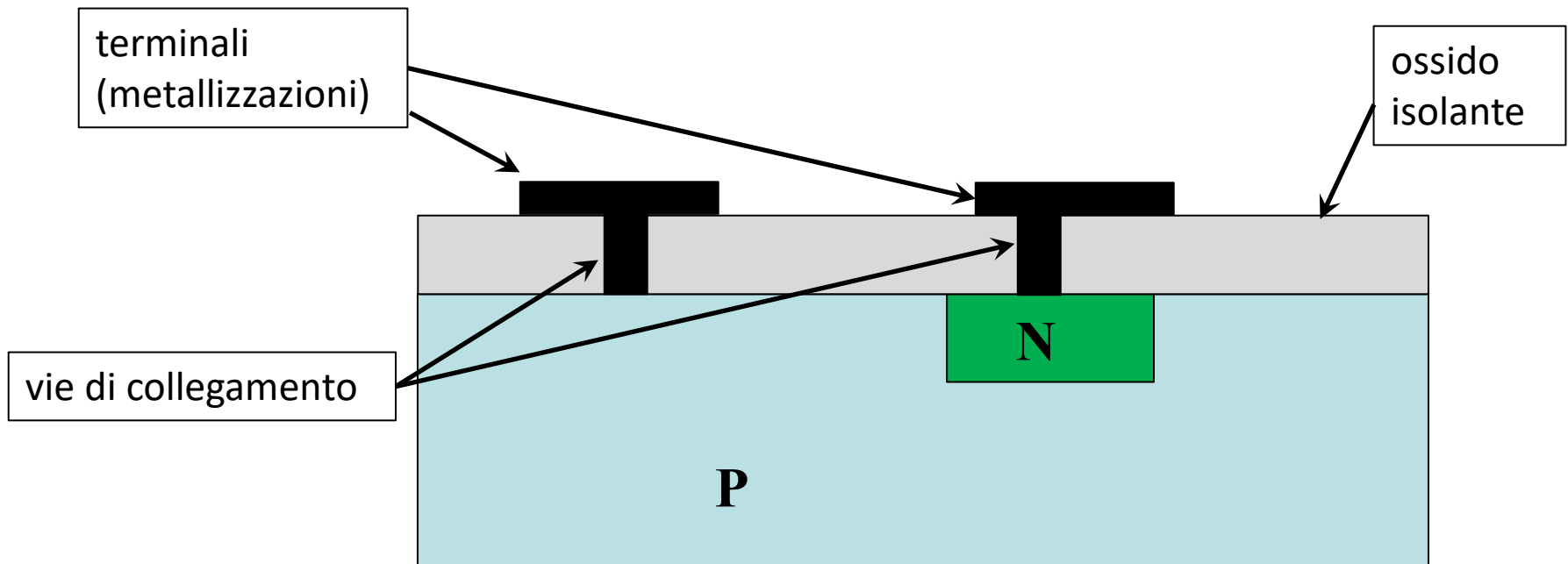
- I circuiti CMOS (Complementary MOS) utilizzano sia dispositivi N-MOS che dispositivi P-MOS, integrati nello stesso circuito integrato.
- La tecnologia CMOS **viene utilizzata per la realizzazione di tutti i circuiti integrati digitali** ed oggi è la tecnologia dominante anche nel campo dell'elettronica analogica

Processo fotolitografico

- La realizzazione di un circuito integrato (Integrated Circuit, **IC**) richiede la successione di numerosi processi tecnologici.
 - Nella maggior parte dei casi, si tratta di effettuare delle particolari operazioni in zone ben definite del chip.
 - Si parte, dunque, dalla definizione in termini geometrici delle zone da trattare, mediante la realizzazione di opportune **maschere**. Le maschere identificano le zone del chip che saranno sottoposte ad un determinato trattamento.
 - Il passaggio dalla identificazione geometrica sulla maschera all'operazione da effettuare sul chip avviene mediante processi di tipo **fotolitografico** realizzati sulla **superficie del chip**.
-

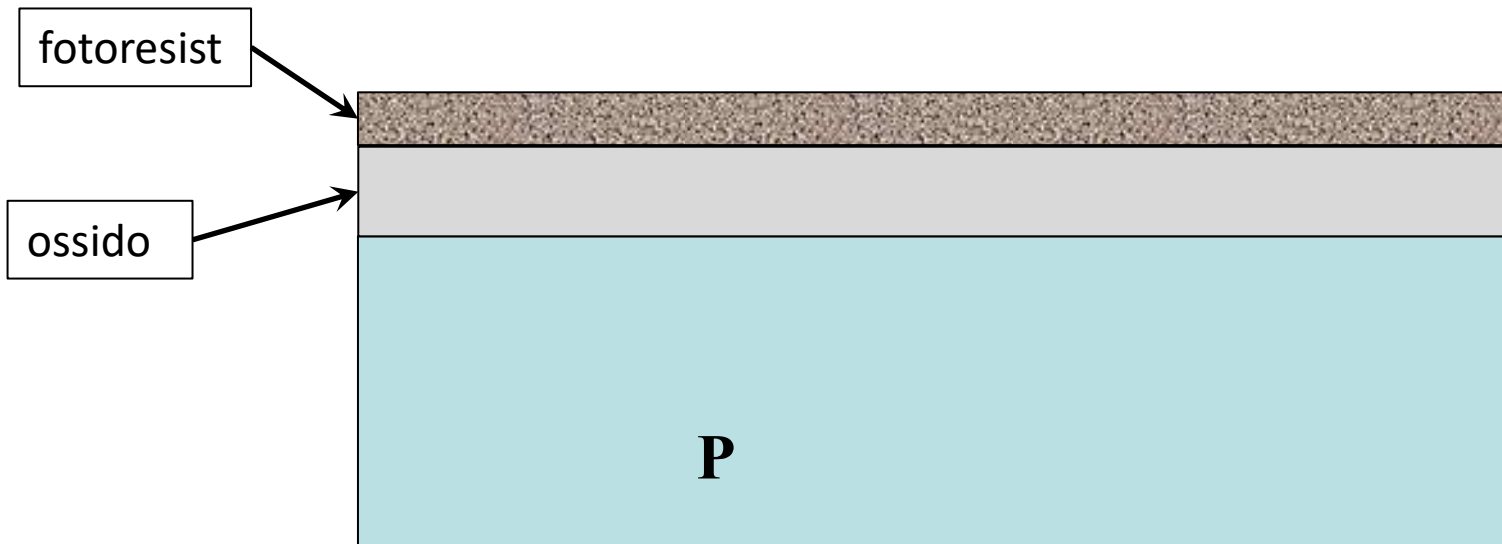
Esempio

Supponiamo di dover realizzare un diodo, la cui sezione è mostrata in figura:



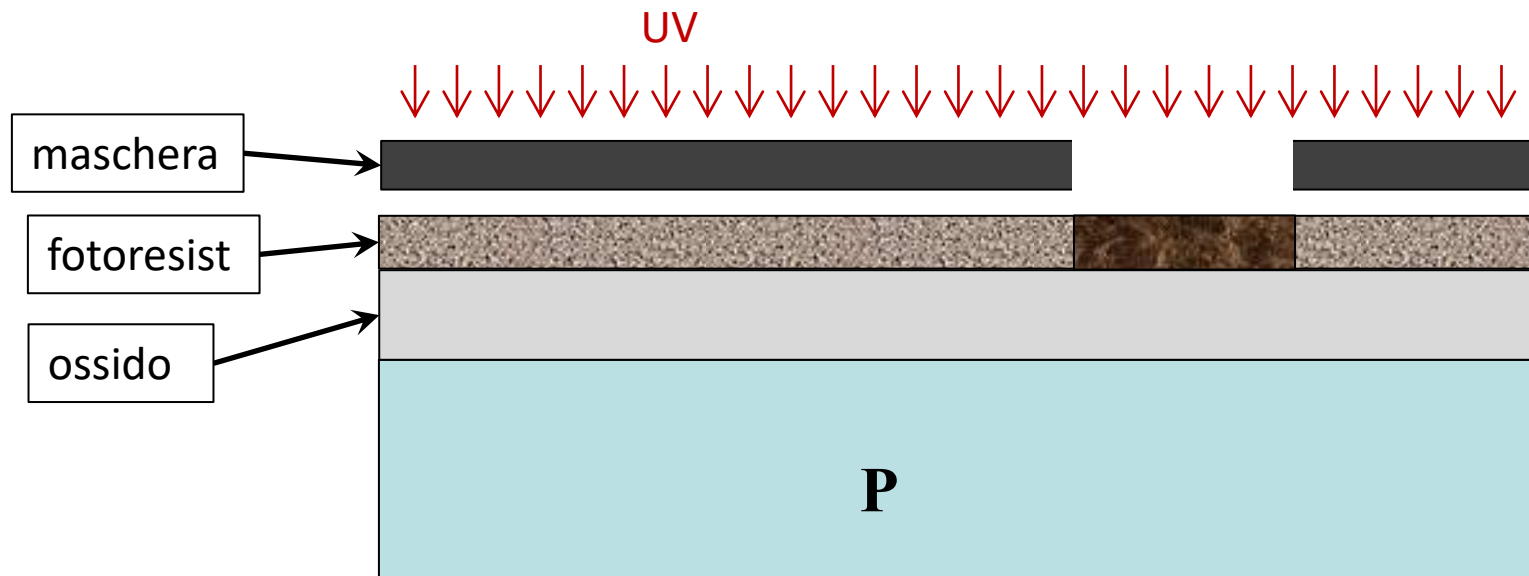
Attacco selettivo dell'ossido

- Si parte da un cristallo che viene drogato con impurità accettore durante la crescita (il substrato P).
- Si accresce sul cristallo uno strato di protettivo di ossido (riscaldando il wafer di silicio in atmosfera ricca di ossigeno o vapore aqueo).
- Si ricopre tutto il wafer con un materiale fotosensibile (**fotoresist**)



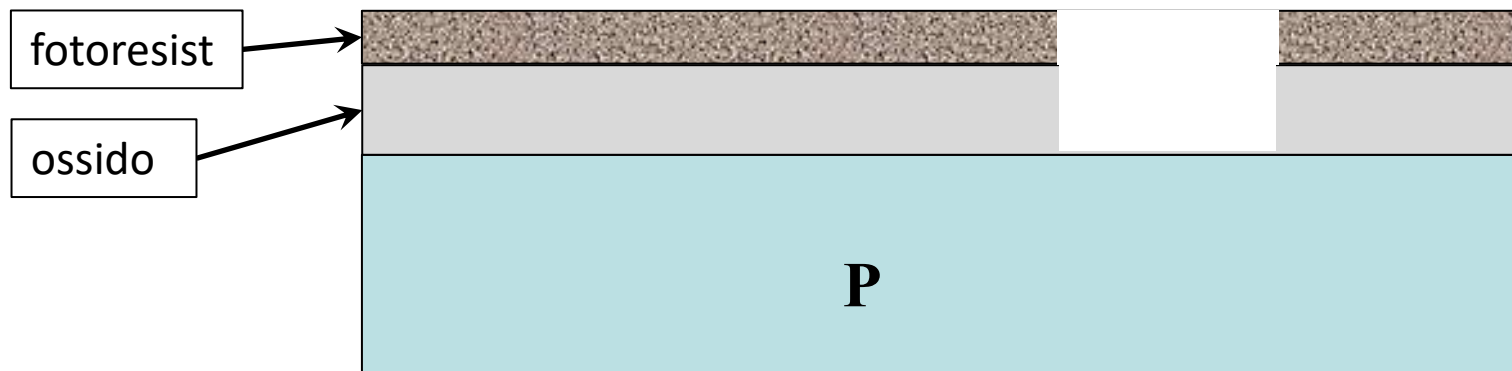
Attacco selettivo dell'ossido

- Si applica la **maschera** in cui alcune zone sono trasparenti, mentre le altre sono opache. In quest'esempio, la zona trasparente corrisponde alla zona in cui vogliamo attaccare l'ossido .
- Si espone la superficie a radiazione ultravioletta.
- La zona di fotoresist non protetta dalla maschera viene colpita dalla radiazione UV e cambia la sua struttura



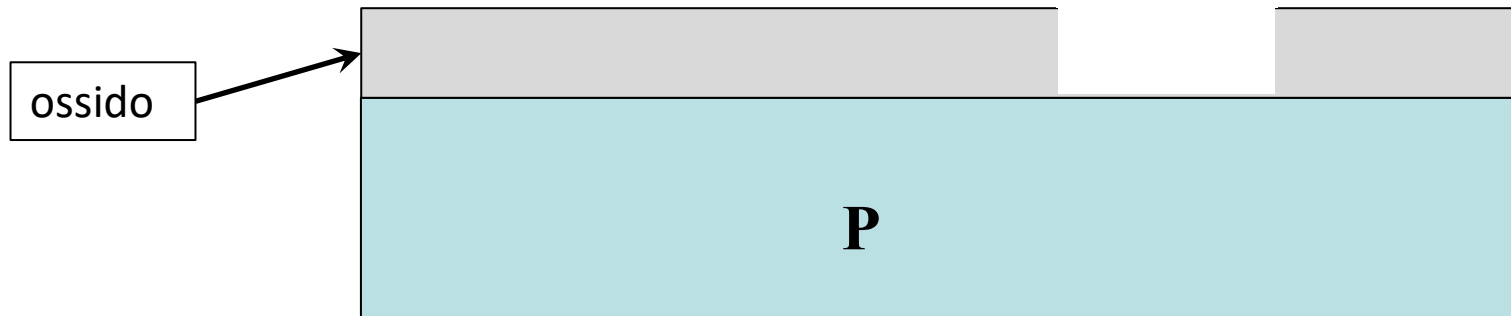
Attacco selettivo dell'ossido

- Si rimuove la maschera e si sviluppa il fotoresist, eliminando la parte di fotoresist colpita dalla radiazione UV.
- Si effettua un attacco con un reagente chimico, che rimuove l'ossido nella zona non protetta dal fotoresist



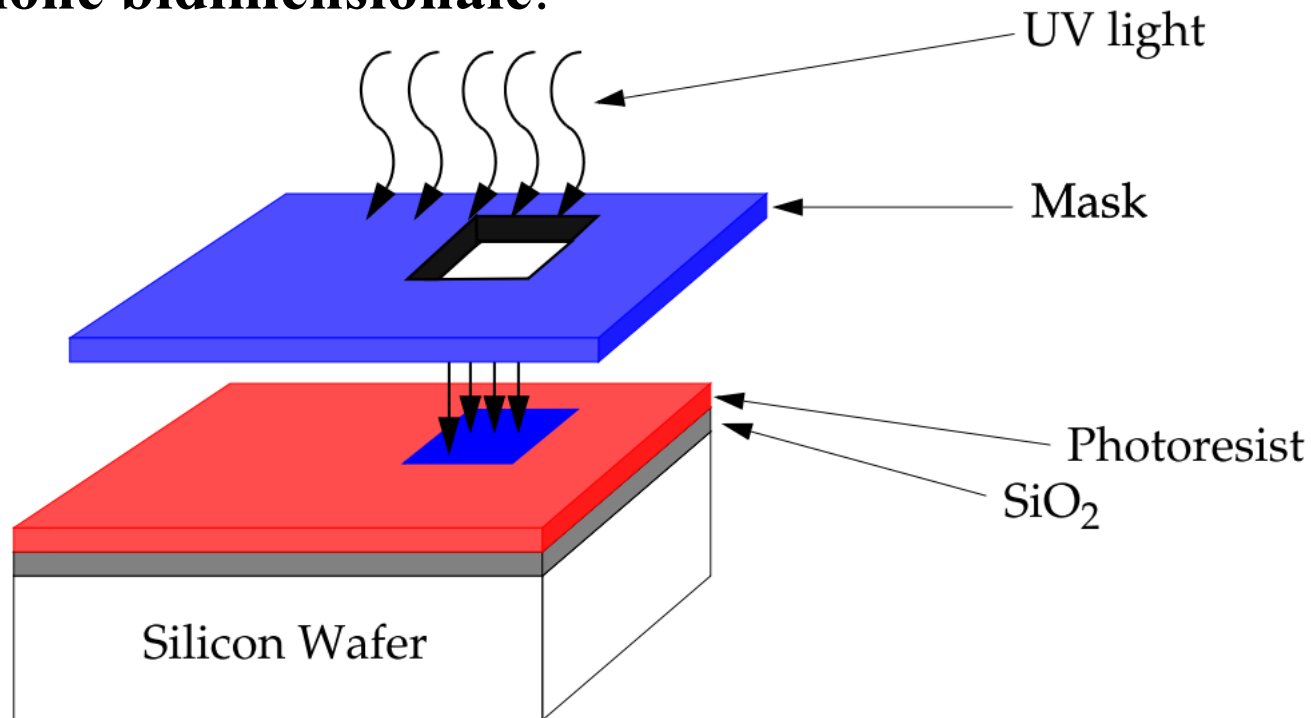
Attacco selettivo dell'ossido

- Dopo aver eliminato il fotoresist con un'altro reagente chimico siamo nella situazione in figura, in **cui abbiamo trasferito l'informazione geometrica contenuta nella maschera nella presenza di una zona non ricoperta da ossido sul chip:**



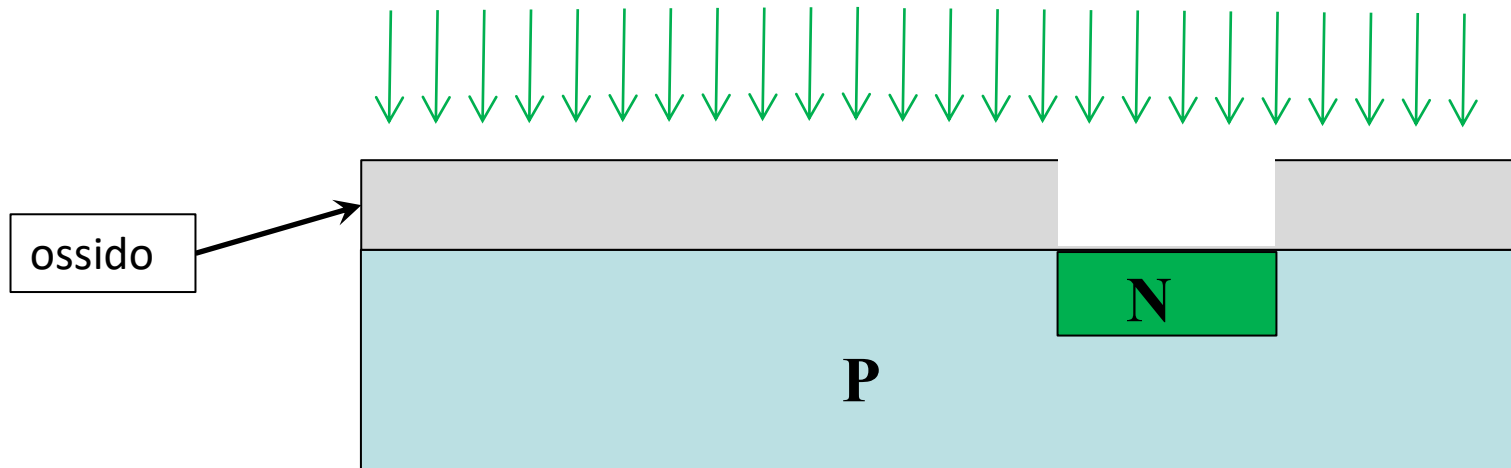
Attacco selettivo dell'ossido

- Le figure precedenti, per semplicità, mostrano un vista in sezione del wafer. **In pratica la maschera definisce una regione bidimensionale:**



Impiantazione ionica

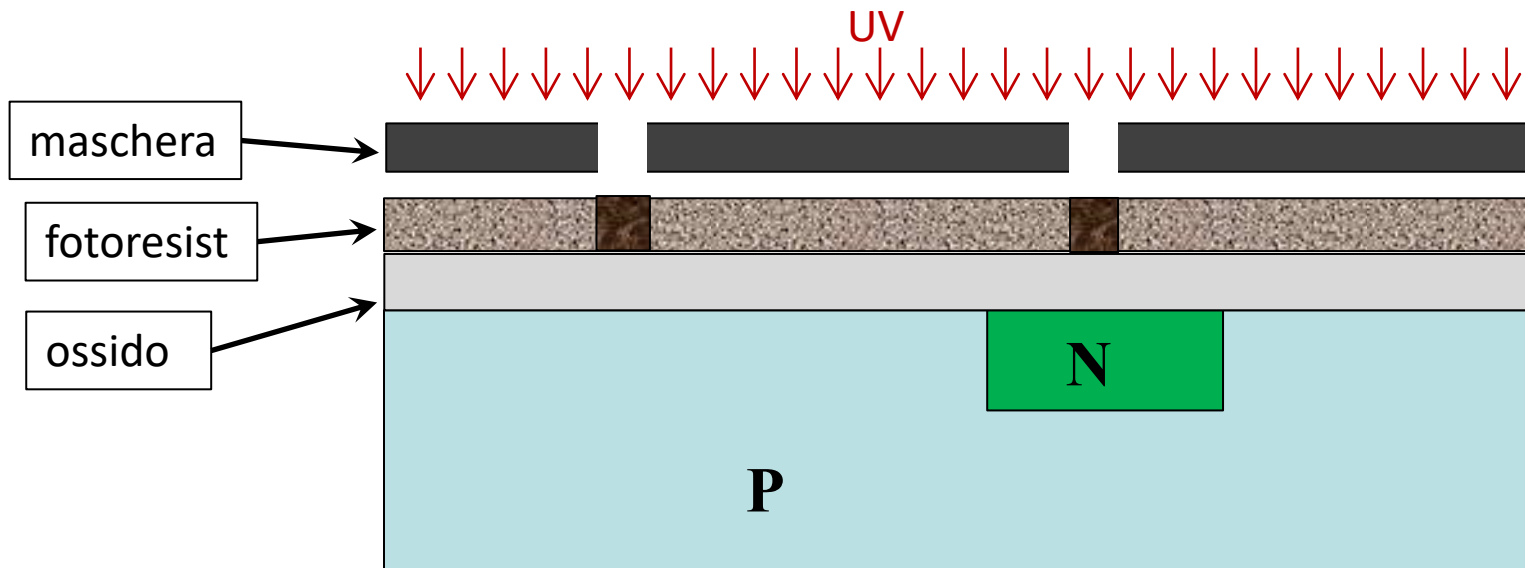
- Si bombarda ora la superficie del wafer con ioni di una specie di tipo donatore.
- Gli ioni di tipo N penetrano all'interno del cristallo, nella zona non protetta dall'ossido.
- Al termine di questo processo, denominato **impiantazione ionica**, il wafer viene riscaldato ad una temperatura prossima a quella di fusione, per ricostituire la struttura cristallina danneggiata dall'impianto



Creazione delle vias

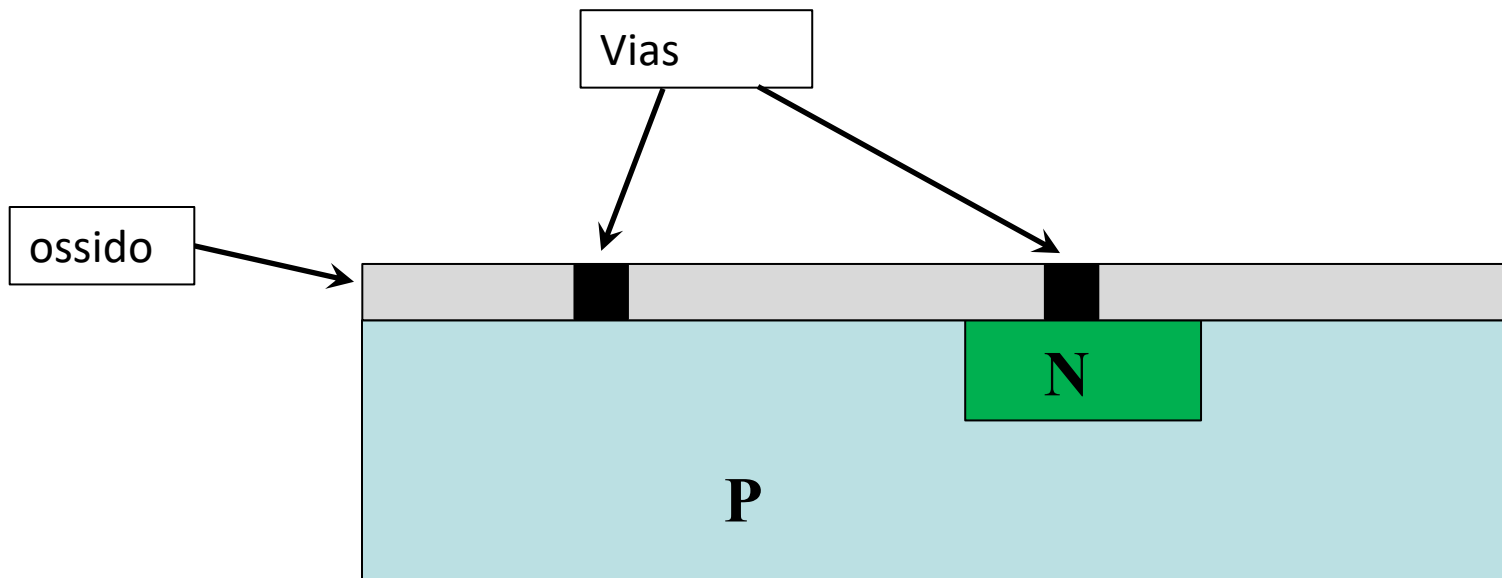
I successivi passi di processo sono simili a quelli già visti.

- Si elimina con un attacco chimico l'ossido superficiale.
- Si ossida nuovamente il wafer.
- Si utilizza una seconda maschera per attaccare selettivamente l'ossido in corrispondenza delle **vie di collegamento**:



Creazione delle vias

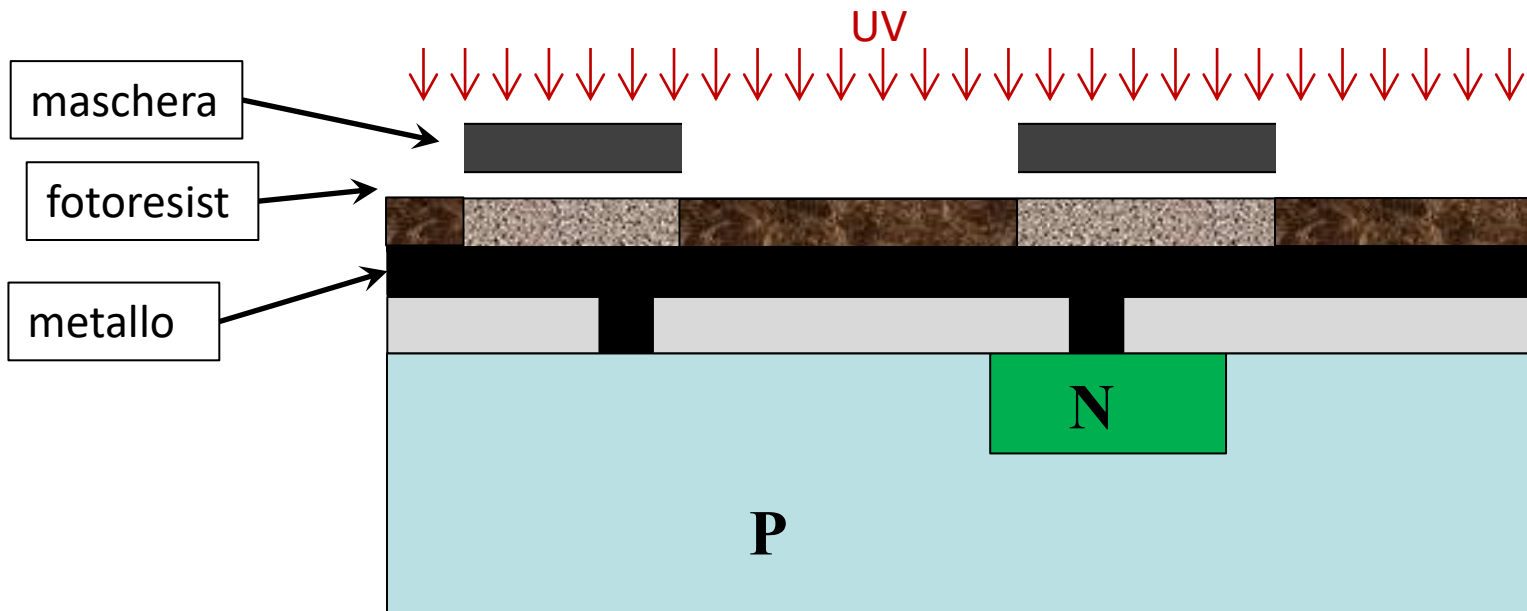
Per completare le **vias** si deposita del metallo in corrispondenza delle zone di ossido attaccate selettivamente:



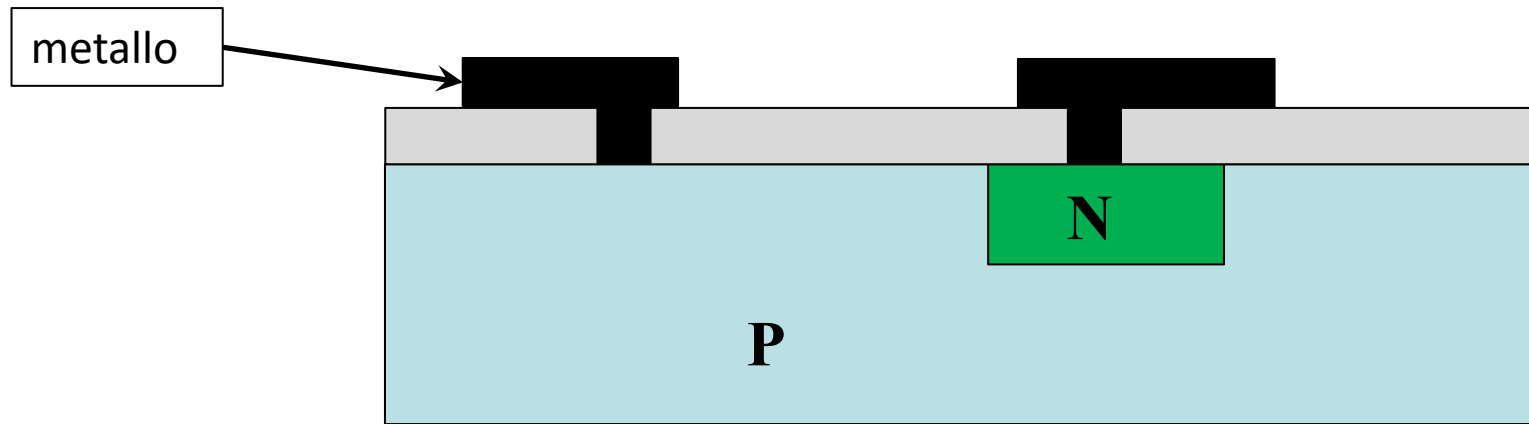
Metallizzazioni

È necessario un terzo ed ultimo step fotolitografico per le **metallizzazioni**.

- Si copre l'intera superficie del wafer con uno strato metallico.
- Si utilizza una terza maschera per definire le regioni in cui eliminare il metallo:



Risultato finale



Tecnologia CMOS

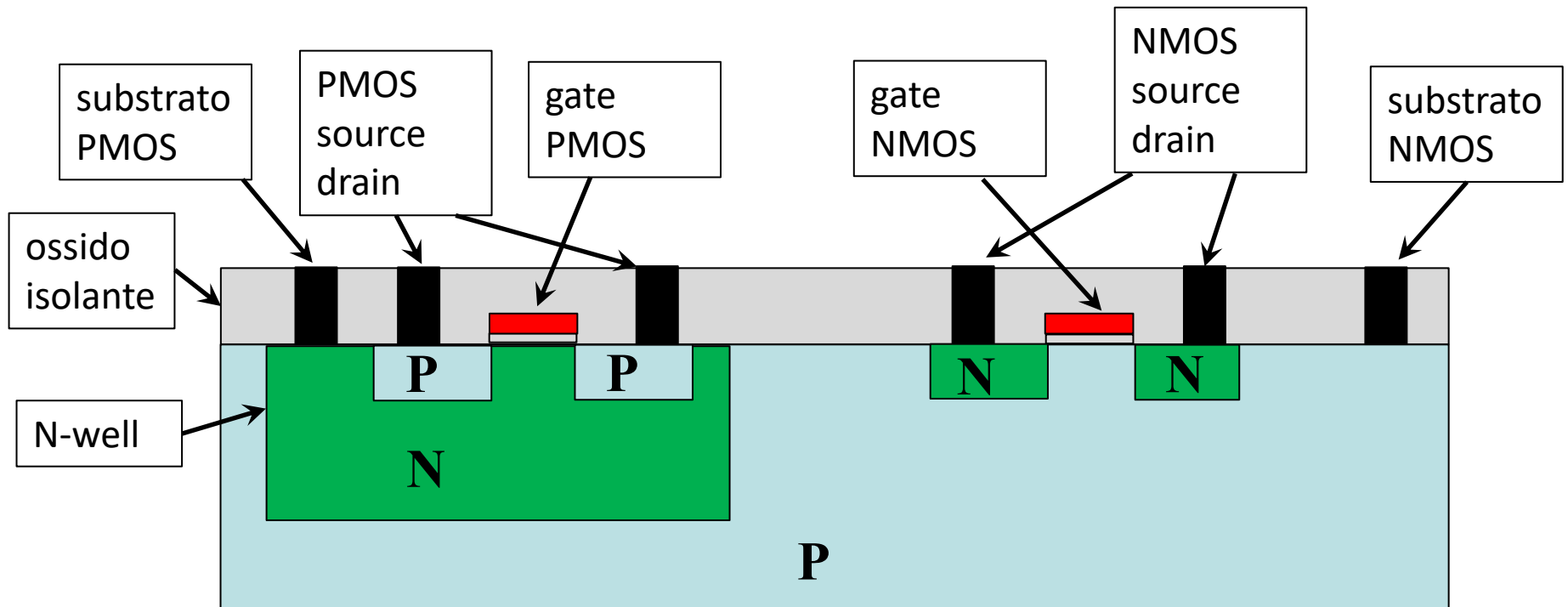
È possibile realizzare su di uno stesso wafer sia dispositivi NMOS sia PMOS partendo da un substrato di tipo P in cui si realizzeranno gli NMOS.

All'interno del substrato **si crea una ampia zona di tipo N**. In questa regione N (denominata **N-well**) vengono realizzati i dispositivi PMOS.

Si può procedere in maniera duale, partendo da un substrato N e realizzando una tasca P in cui allocare i dispositivi PMOS.

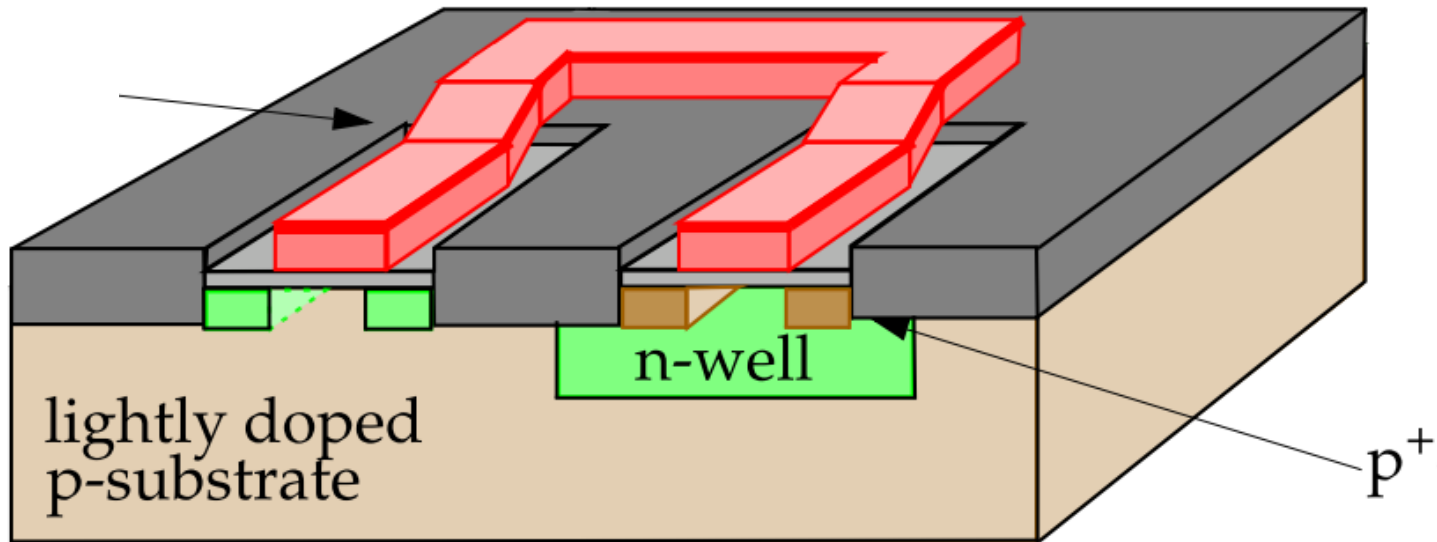
Tecnologia CMOS

Sezione di un circuito in tecnologia N-well



Tecnologia CMOS

- Le figure precedenti, per semplicità, mostrano un vista in sezione del circuito. In pratica il circuito è tridimensionale:



Livelli di metallizzazione

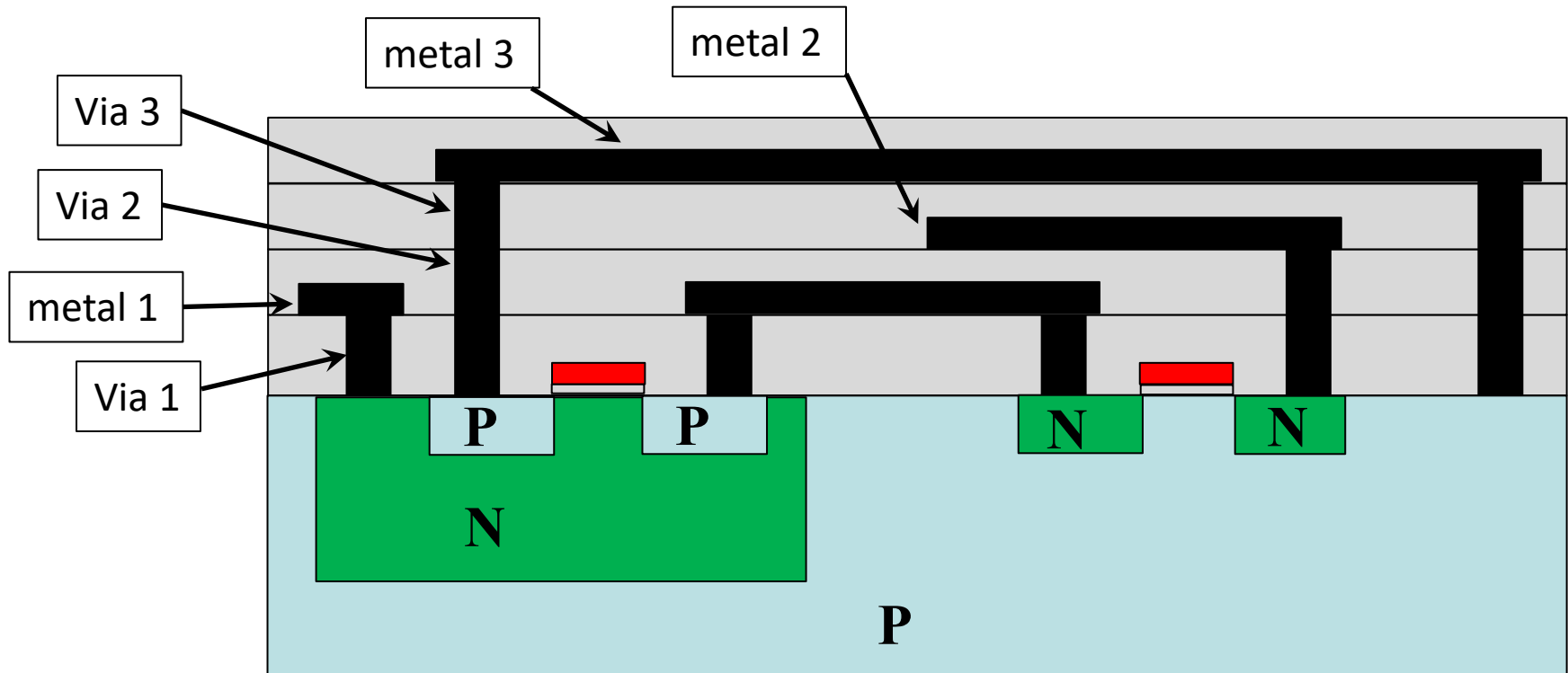
Per completare i collegamenti, in un circuito integrato vengono utilizzati numerosi **livelli di metallizzazione**.

I vari livelli di metal sono sovrapposti e **sono isolati l'uno dall'altro** grazie all'interposizione di strati di ossido.

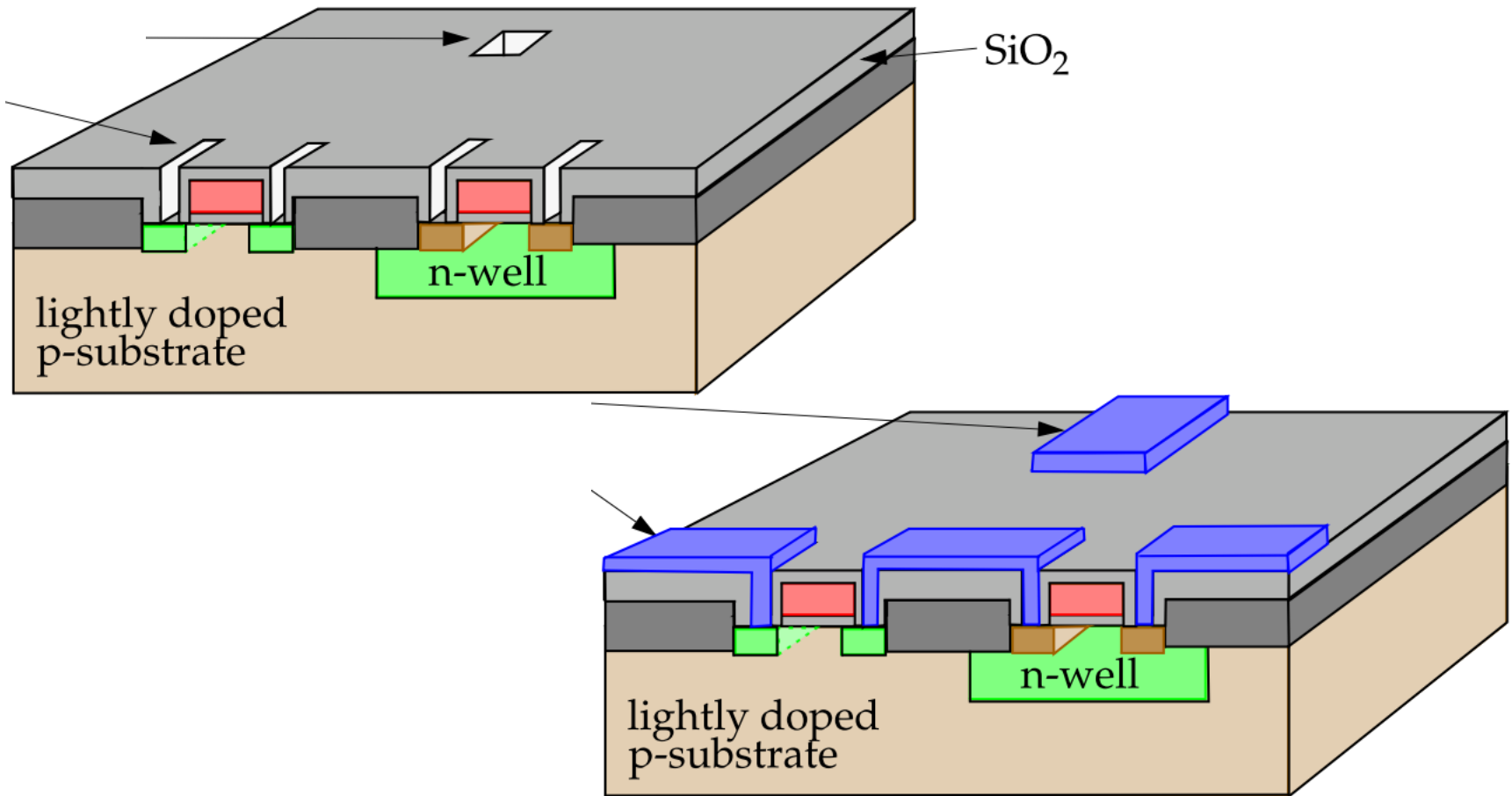
Ove sia necessario effettuare collegamenti fra livelli adiacenti, si realizzano delle **vias** nell'ossido.

Livelli di metallizzazione

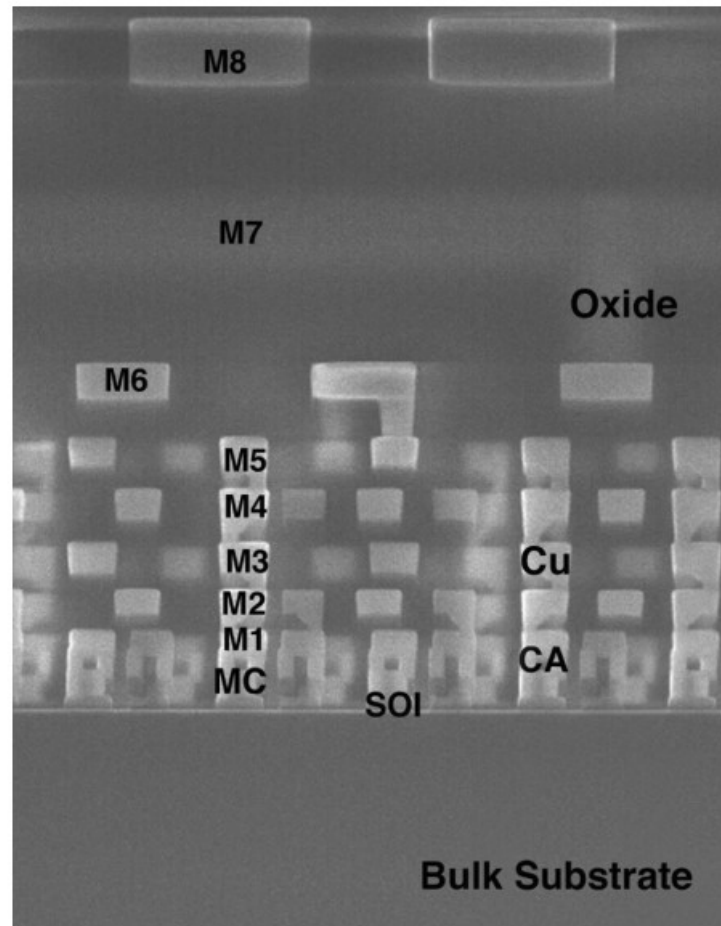
Le tecnologie attuali utilizzano fino a 10 livelli di metal



Tecnologia CMOS



Livelli di metallizzazione



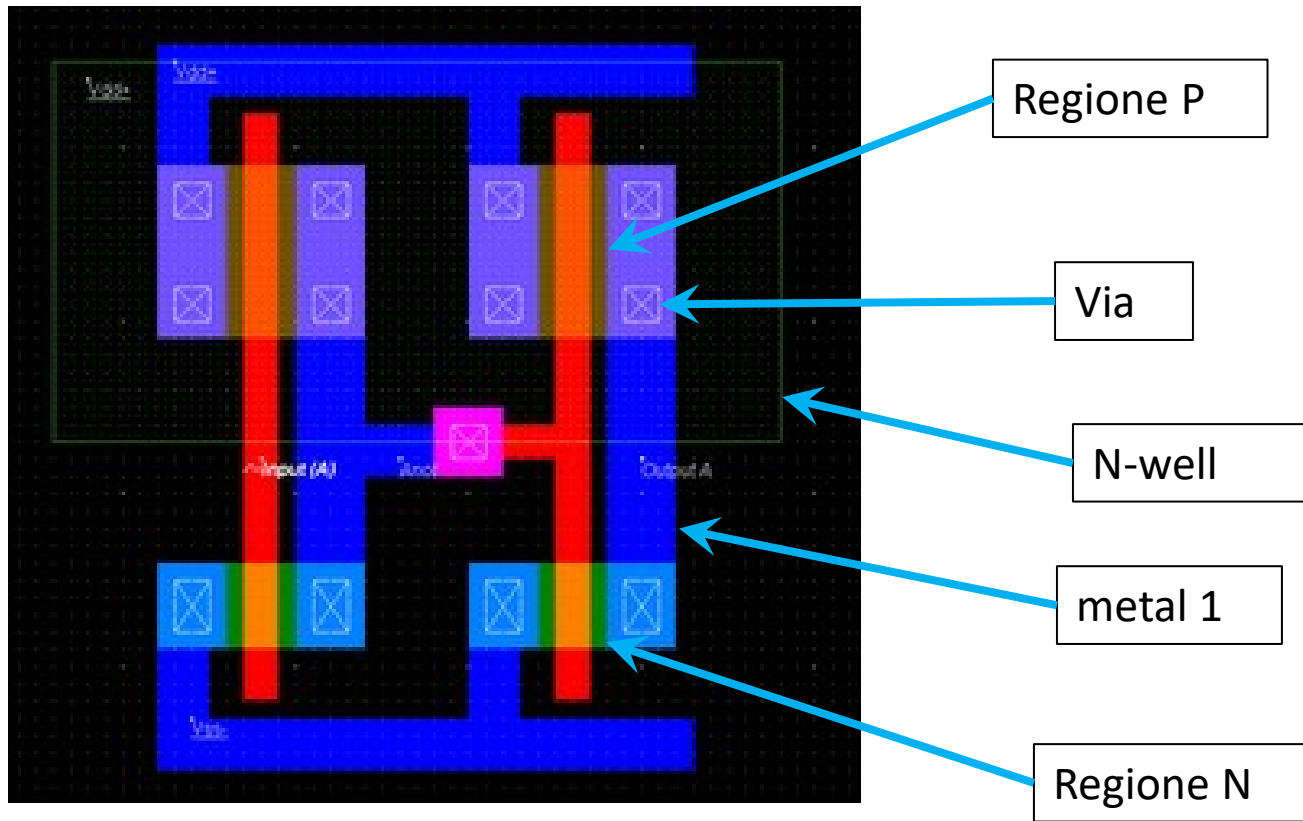
Maschere nel processo CMOS

Per realizzare un dispositivo CMOS sono necessari numerosi passi fotolitografici e quindi numerose maschere (da quella necessaria per identificare la well, fino a quella relativa all'ultimo livello di metal).

Il *layout* del circuito è costituito da una rappresentazione grafica delle maschere, ognuna identificata da un colore diverso.

Il progetto di un circuito integrato termina con il disegno del layout.

Esempio di layout



Regole di progetto

Nel disegnare il layout è necessario rispettare delle **regole di progetto**, che forniscono delle prescrizioni su: dimensioni minime, distanze minime da rispettare ecc.

Le regole di progetto dipendono dalla tecnologia prescelta.

La regola più importante è quella che stabilisce la lunghezza minima di gate.

Regole di progetto

