

MOS o MOSFET

MOSFET è un acronimo che sta per Metal Oxide Semiconductor Field Effect Transistor.

L'acronimo è spesso abbreviato in **MOS** (o talvolta in FET).

E' un dispositivo attivo (**transistor**) capace di operare come interruttore controllato o di svolgere funzioni di amplificazione.

La famiglia dei dispositivi a effetto di campo (FET)

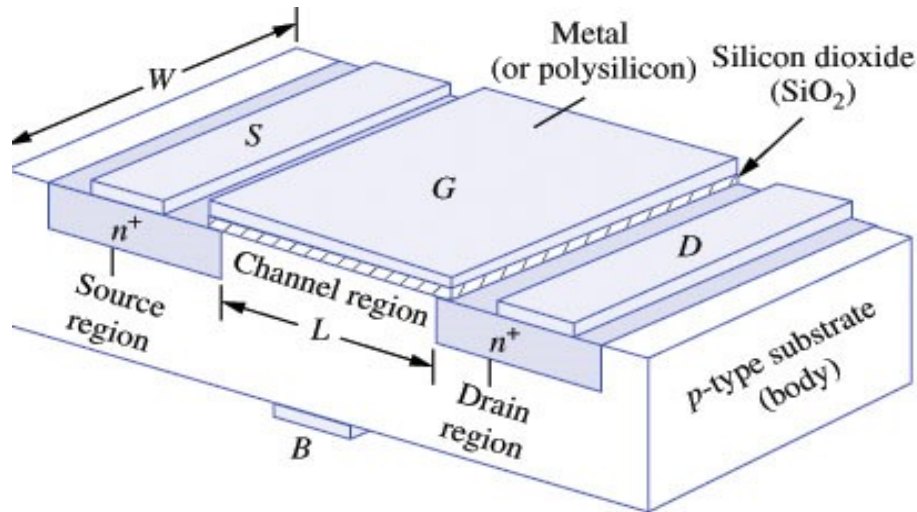
Comprende quattro varietà di MOSFET:

Tipo di canale →	N	P
Modalità ↓		
Arricchimento	NMOS ad arricchimento	PMOS ad arricchimento
Svuotamento	NMOS a svuotamento	PMOS a svuotamento

I dispositivi di gran lunga più utilizzati (che consideriamo in questo corso) sono quelli ad **arricchimento**.

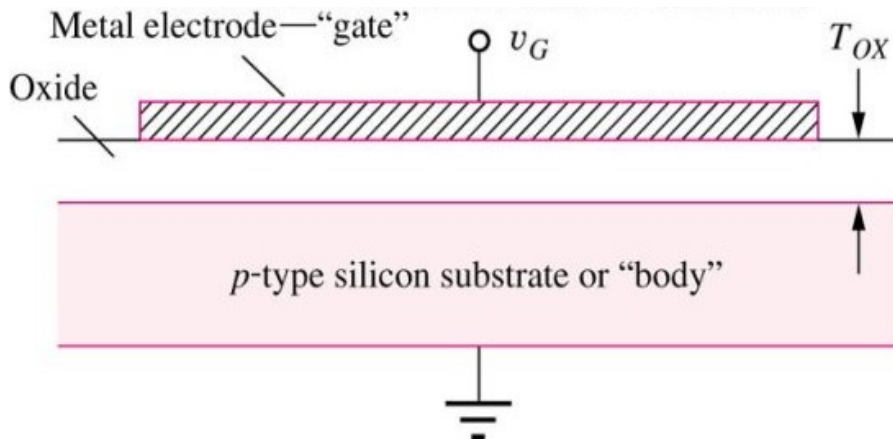
Cominciamo lo studio del MOS a canale N ad arricchimento.

Struttura del Transistor NMOS



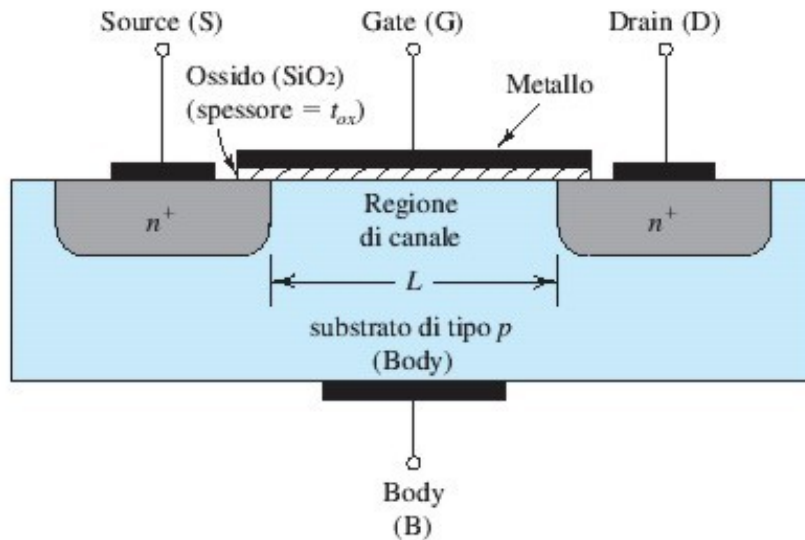
- Dispositivo a 4 terminali: **Gate(G)**, **Drain(D)**, **Source(S)** e **Body(B)**.
- Il cuore del dispositivo è la **regione di canale**, che separa il source dal drain
- **la lunghezza del canale è indicata con L**
- **la larghezza del canale con W**

Struttura MOS



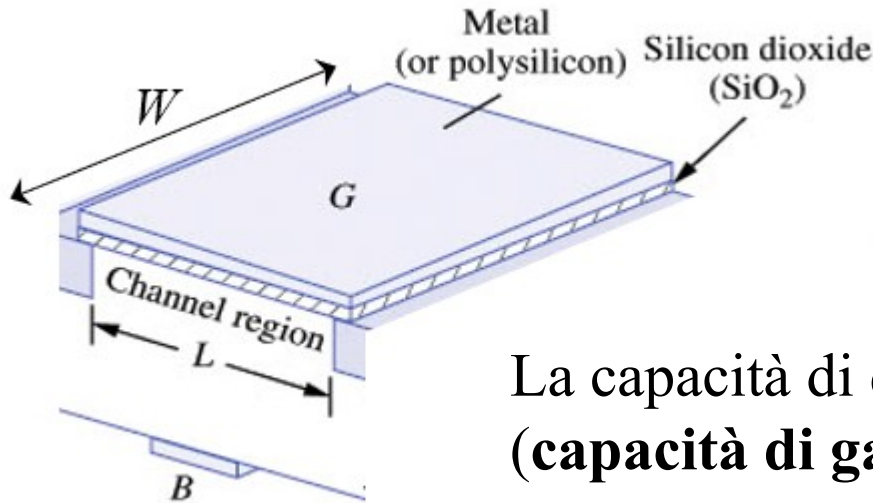
- Particolare importanza riveste nel dispositivo la struttura metallo-ossido-semiconduttore.
- Lo spessore dell'ossido (indicato con: t_{OX}) è estremamente ridotto (pochi nm nelle attuali tecnologie)

NMOS Transistor: vista in sezione



- La Gate è isolata dal resto del dispositivo dallo strato di ossido.
- **La corrente di Gate in condizioni stazionarie è nulla.**

Capacità di Gate



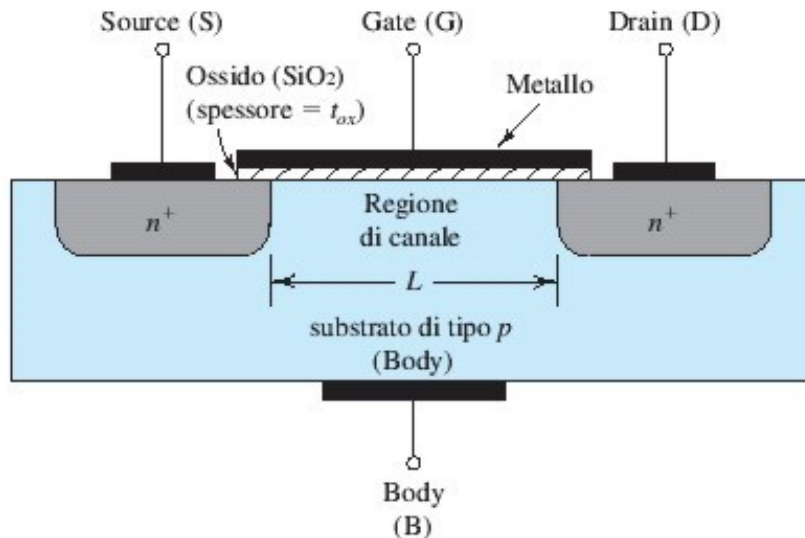
Osserviamo che fra Gate e canale si realizza in effetti un **condensatore**, con facce piane e parallele.

La capacità di questo condensatore (**capacità di gate**) è data da: $C_G = \epsilon_{ox} \frac{WL}{t_{ox}}$

In questa equazione, ϵ_{ox} è la costante dielettrica dell'ossido di gate, e t_{ox} è lo spessore dell'ossido. La capacità di gate può essere scritta anche come:

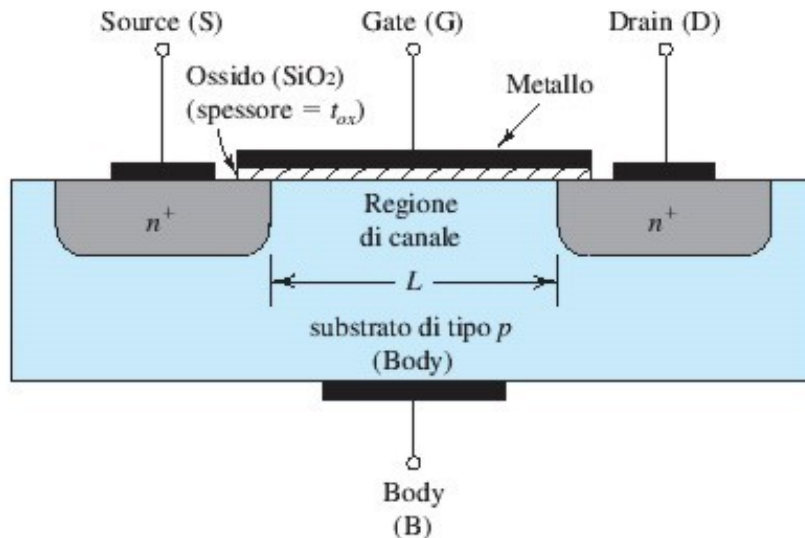
$$C_G = WLC'_{ox} \text{ dove } C'_{ox} \text{ è la capacità di gate per unità di area: } C'_{ox} = \frac{\epsilon_{ox}}{t_{ox}}$$

NMOS Transistor: vista in sezione



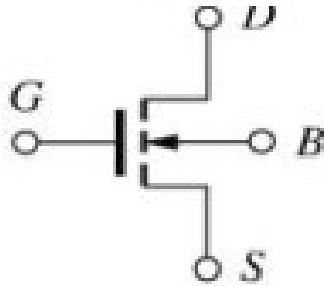
- Le giunzioni Source-Body e Drain-Body evidenziano la presenza di due diodi parassiti nel MOS, *che devono essere sempre polarizzati inversamente*.
- **Il Body viene collegato sempre al nodo a potenziale più basso presente nel circuito.**

NMOS Transistor: vista in sezione



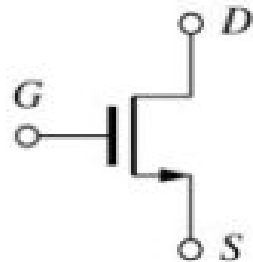
- Le due regioni di Source e Drain sono perfettamente identiche fra loro.
- Fra i due terminali, **denominiamo Source quello a potenziale minore e Drain quello a potenziale maggiore.**

Simbolo del NMOS

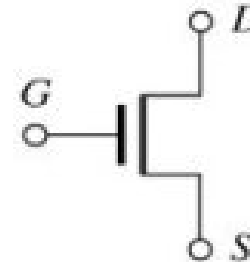


Ricordiamo che il morsetto di drain **D** è a potenziale maggiore rispetto al morsetto di source **S**

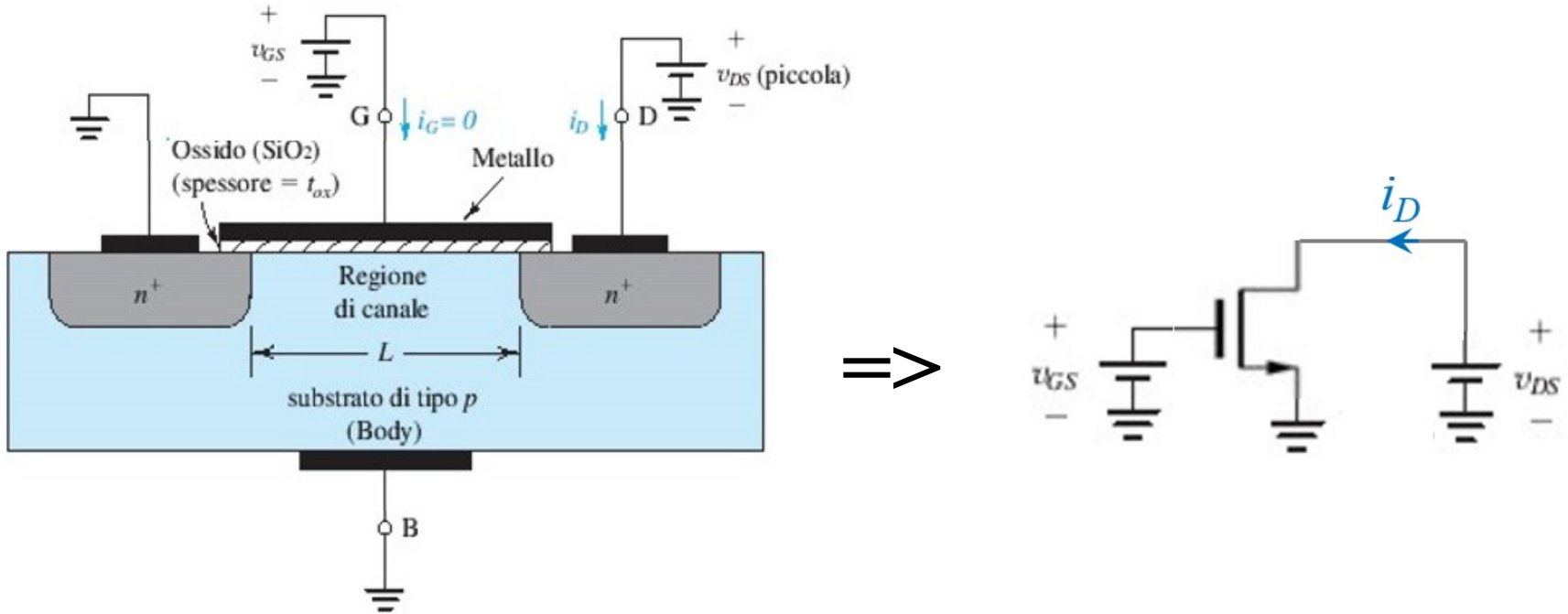
Spesso non è necessario evidenziare il morsetto di substrato **B** (sappiamo già che è collegato al nodo a potenziale più basso presente nel circuito). Si usano quindi i simboli semplificati riportati in basso:



la freccia
evidenzia il
verso della
corrente

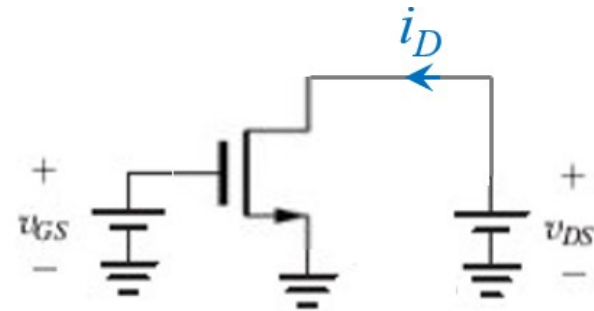
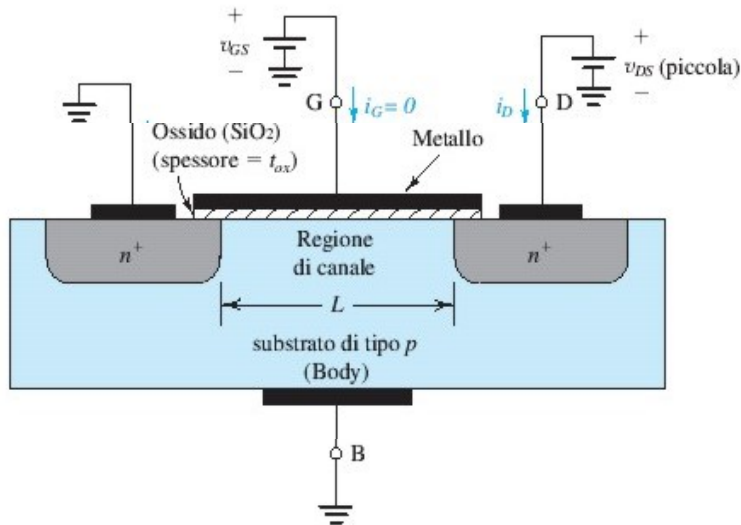


Polarizzazione del NMOS



- Collegiamo il Substrato ed il Source a massa.
- Applichiamo un piccola tensione v_{DS} fra Drain e Source
- Applichiamo una tensione v_{GS} fra Gate e Source
- Misuriamo la corrente di drain

Interdizione



se: $v_{GS} < V_T$ risulta: $i_D = 0$

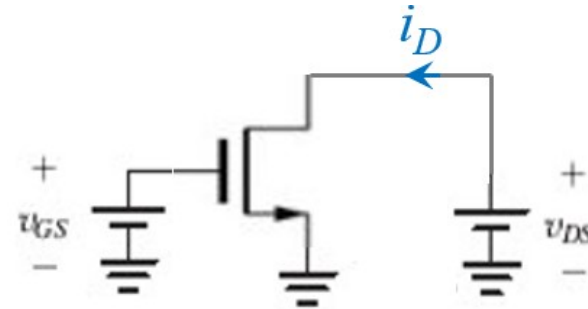
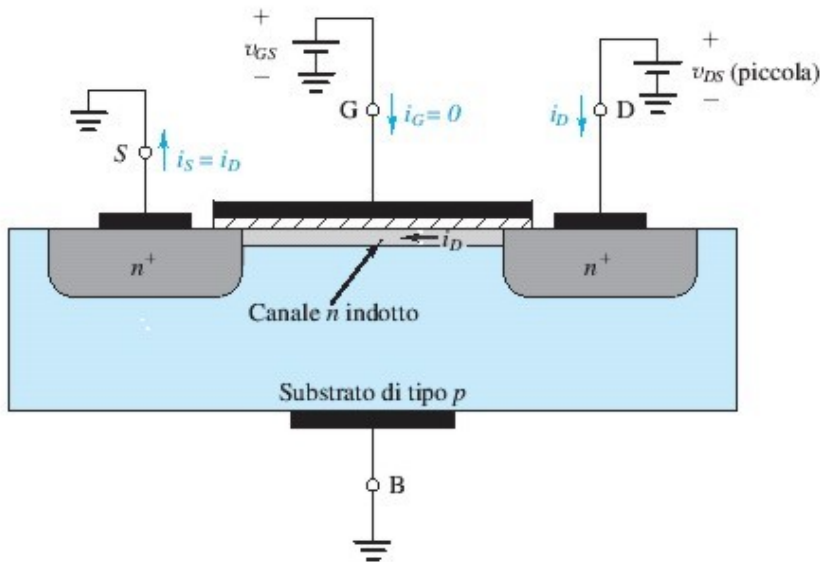
- Per $v_{GS} = 0$ non si assiste ad un passaggio apprezzabile di corrente fra Source e Drain (c'è solo una debole corrente di perdita o *leakage*).
- **Il dispositivo è interdetto (OFF)**
- La situazione non cambia se si aumenta la v_{GS} , fin quando: $v_{GS} < V_T$
- V_T è un parametro fondamentale del dispositivo: **la tensione di soglia**

Tensione di Soglia

•La tensione di soglia, indicata con V_T dipende dalle caratteristiche costruttive del transistor (drogaggio della regione del canale e spessore dell'ossido). Il valore di V_T **dipende dunque dallo specifico dispositivo**. Valori tipici sono compresi fra 0.5V e 5V.

•**Si faccia attenzione a non confondere la tensione di soglia V_T con la tensione termica V_{th} che compare nell'equazione del diodo!** Ricordiamo che V_{th} dipende solo dalla temperatura e vale 25mV a temperatura ambiente.

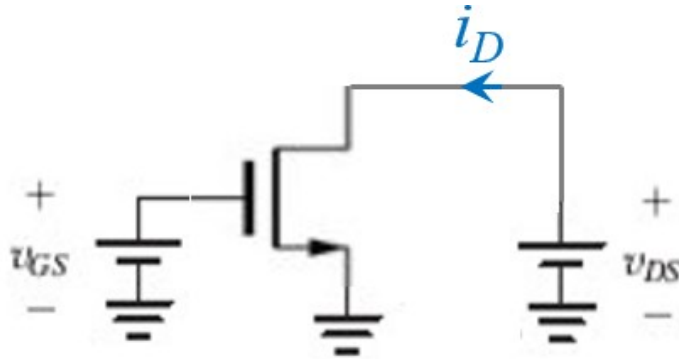
Conduzione



se: $v_{GS} > V_T$ e: v_{GS} "piccola"
 $i_D > 0$ (i_D cresce linearmente con v_{DS})

- Per $v_{GS} > V_T$ si crea un canale di tipo N che mette in conduzione Source e Drain. Si ha un passaggio di corrente fra source e drain e quindi: $i_D > 0$
- Lo spessore del canale (e quindi l'intensità di corrente) dipende dalla tensione v_{GS} : al crescere di v_{GS} aumenta la corrente.
- Se v_{DS} è "piccola" Il MOS si comporta come una resistenza collegata fra Drain e Source; il valore della resistenza dipende da v_{GS}

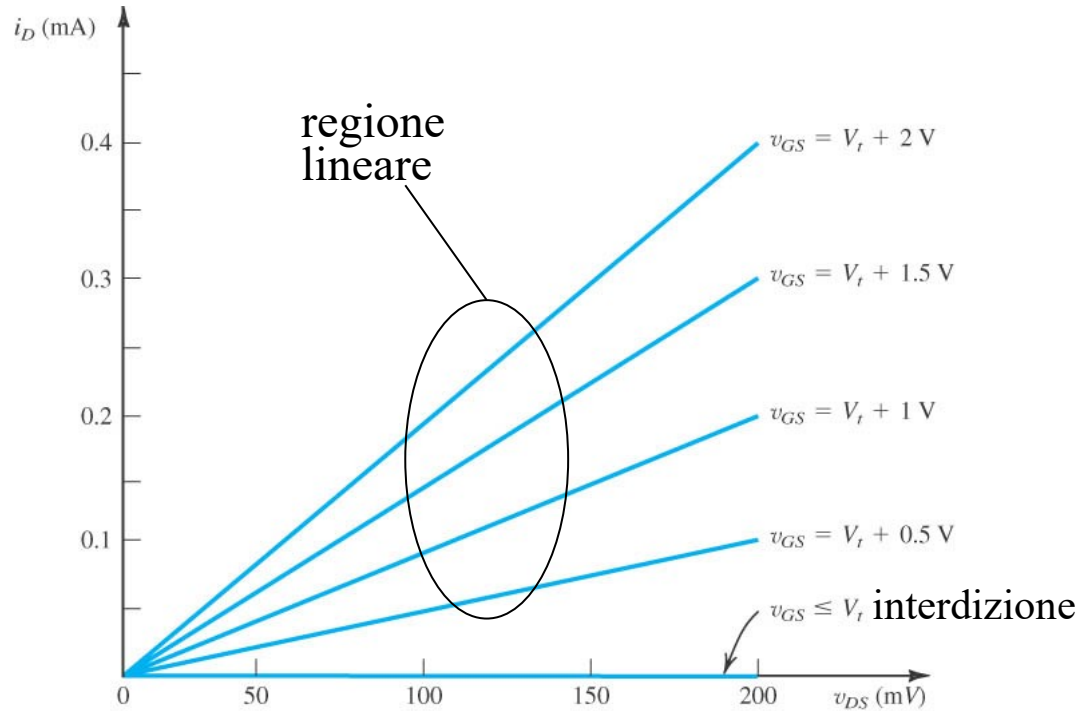
Caratteristiche del NMOS



$$i_D = f(v_{DS}, v_{GS})$$

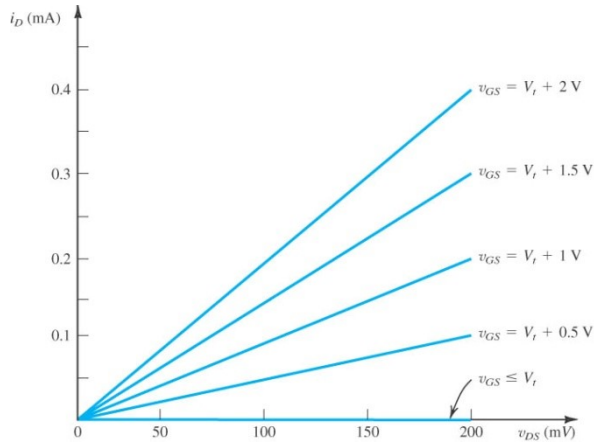
- Le **caratteristiche del dispositivo** riportano la i_D in funzione di v_{DS} , con v_{GS} come parametro.
- Sono pertanto *una famiglia di curve*, tracciate nel piano in cui l'asse y corrisponde ad i_D e l'asse x a v_{DS}

Caratteristiche del NMOS in regione lineare



- Le **caratteristiche del dispositivo** riportano la i_D in funzione di v_{DS} , con v_{GS} come parametro.
- Se $v_{GS} < V_T$ allora $i_D = 0$ (**interdizione**)
- Se $v_{GS} > V_T$ e v_{DS} è "piccola" il MOS si comporta come una resistenza collegata fra Drain e Source; il valore della resistenza dipende da v_{GS} : è questa la **regione lineare delle caratteristiche**

Modello in Regione lineare



$$i_D = K (v_{GS} - V_T) v_{DS}$$

dove:

$$K = K'_n \frac{W}{L}; \quad K'_n = \mu_n \frac{\epsilon_{ox}}{t_{ox}}$$

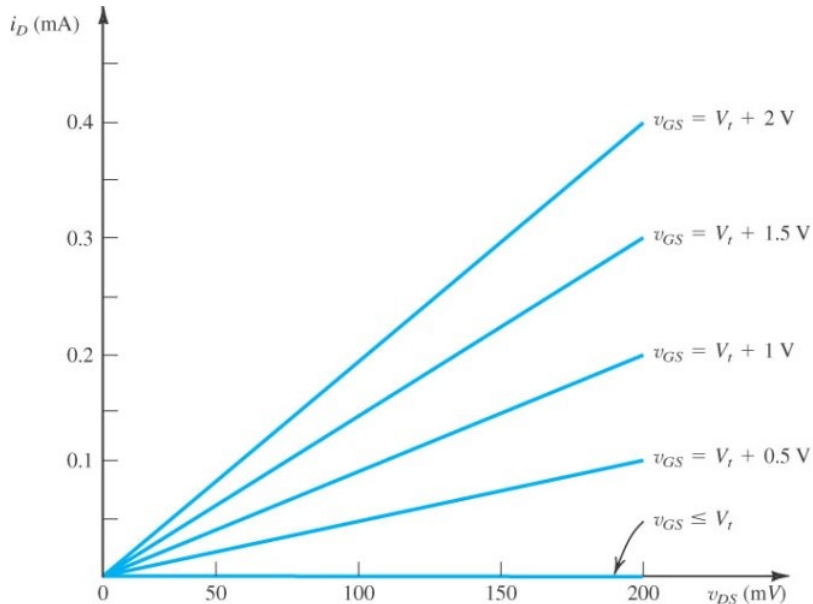
ϵ_{ox} costante dielettrica dell'ossido

μ_n mobilità degli elettroni

t_{ox} spessore dell'ossido

$\frac{\epsilon_{ox}}{t_{ox}} = C'_{ox}$ capacità dell'ossido per unità di area

Resistenza ON



$$i_D = K (v_{GS} - V_T) v_{DS}$$

dove:

$$K = K'_n \frac{W}{L}; \quad K'_n = \mu_n \frac{\epsilon_{ox}}{t_{ox}}$$

Il dispositivo si comporta come una resistenza, il cui valore viene spesso indicato con R_{ON} . Risulta:

$$R_{ON} = \frac{v_{DS}}{i_D} = \frac{1}{K (v_{GS} - V_T)}; \quad \text{dove: } K = K'_n \frac{W}{L}$$

Si noti che R_{ON} diminuisce al crescere di v_{GS}

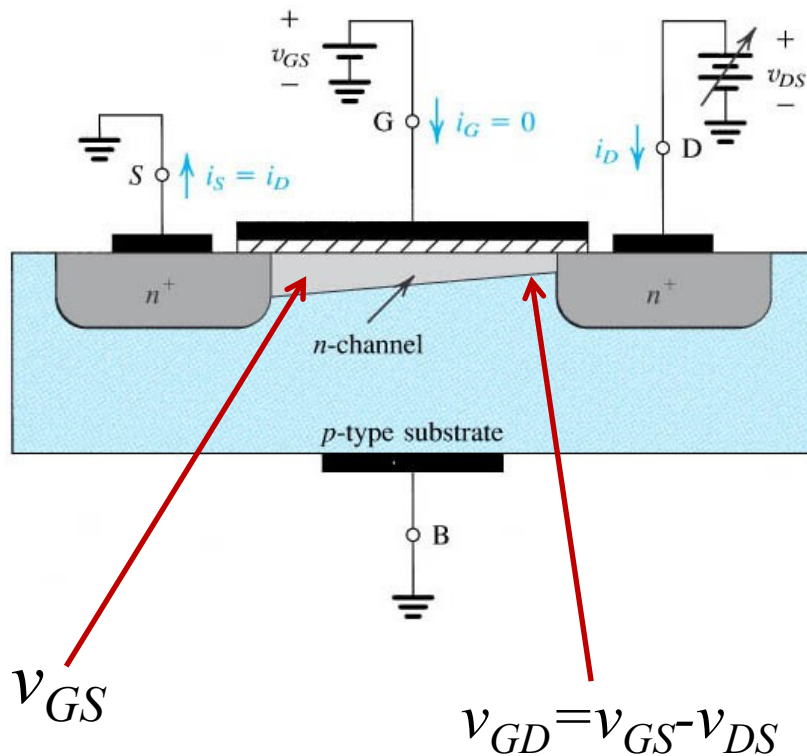
Resistenza ON

$$R_{ON} = \frac{v_{DS}}{i_D} = \frac{1}{K (v_{GS} - V_T)}; \quad \text{dove: } K = K_n' \frac{W}{L}$$

Si noti che R_{ON} può essere controllata agendo su v_{GS} ed in particolare diminuisce al crescere di v_{GS}

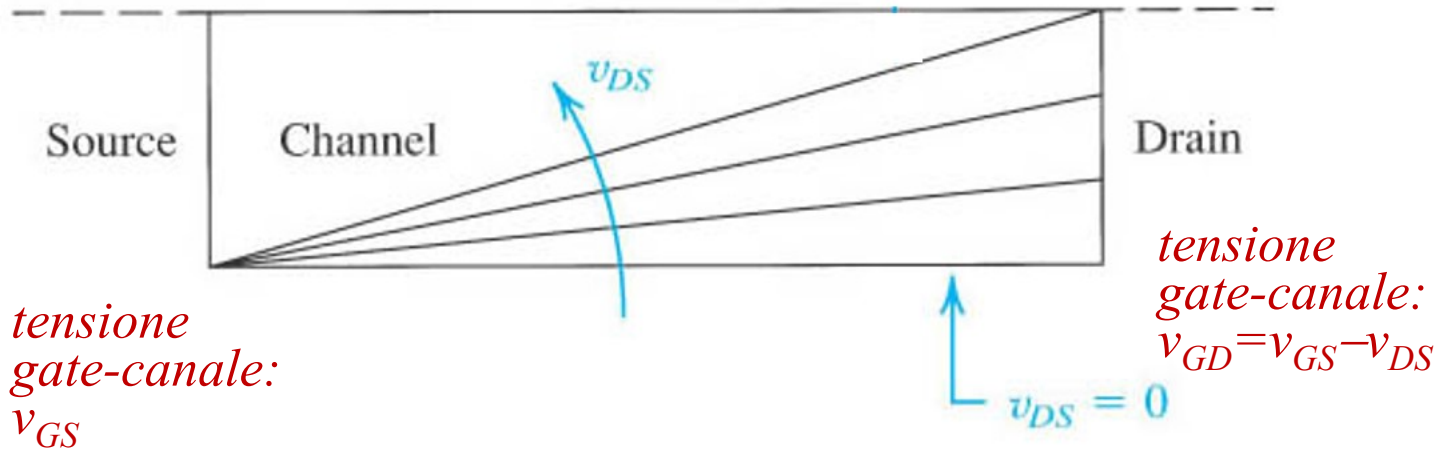
Il valore di R_{ON} , inoltre, dipende dalle dimensioni del dispositivo e si riduce all'aumentare del rapporto W/L

Canale di inversione al crescere di v_{DS}



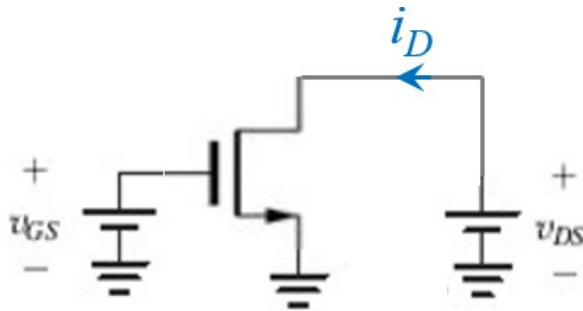
- La tensione fra Gate e canale sottostante non è costante: è massima in corrispondenza del source (dove assume il valore v_{GS}) ed è minima in corrispondenza del drain (dove assume il valore $v_{GD} = v_{GS} - v_{DS}$).
- **Il canale è più pronunciato in corrispondenza del source rispetto al drain**

Canale di inversione al crescere di v_{DS}



- Al crescere della v_{DS} il fenomeno diviene sempre più evidente, ed il canale si restringe sempre di più dalla parte del drain

Regione sub-lineare (di triodo)

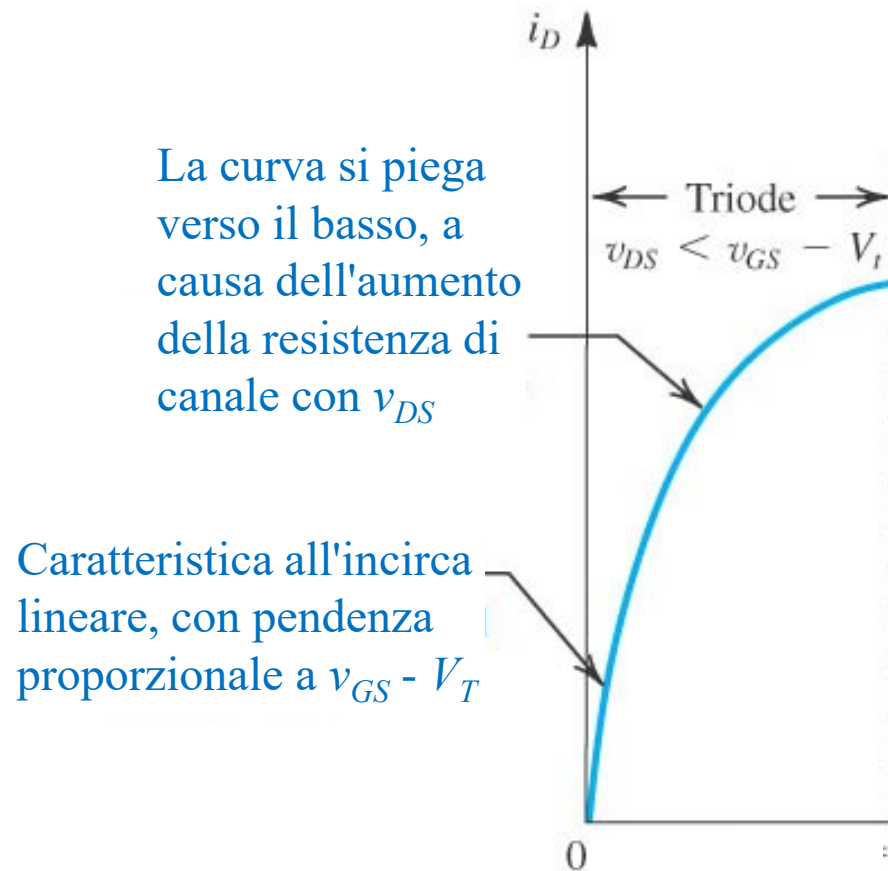


*tensione
gate-canale:
 v_{GS}*

- Se $v_{GS} > V_T$ e v_{DS} è "piccola" il MOS si comporta come una resistenza collegata fra Drain e Source.
- Se la v_{DS} NON è "piccola" il dispositivo si comporta come un resistore non-lineare, **il cui valore cresce con la tensione applicata**

- La relazione che lega i_D e v_{DS} cessa di essere lineare e le curve mostrano una concavità verso il basso. È questa la zona sub-lineare (detta di *triode*) del MOS.

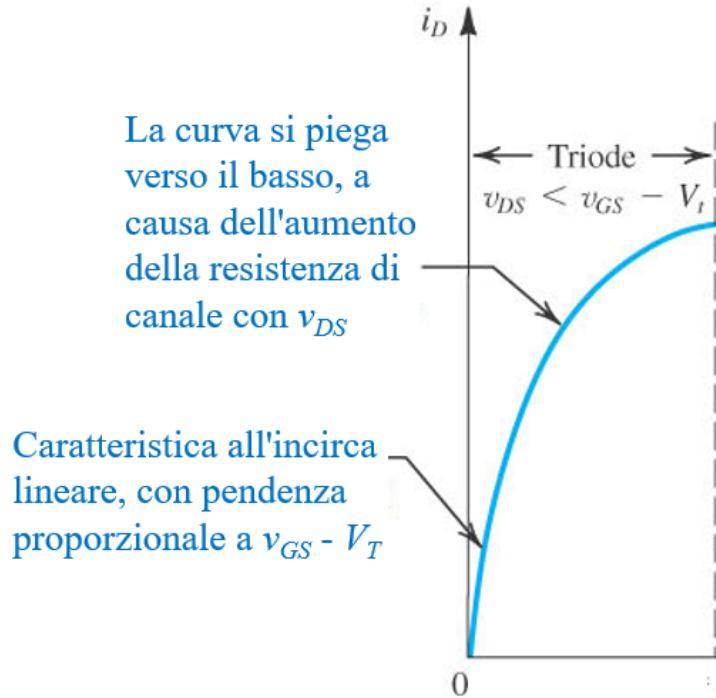
Regione sub-lineare (di triodo)



La curva si piega verso il basso, a causa dell'aumento della resistenza di canale con v_{DS}

Caratteristica all'incirca lineare, con pendenza proporzionale a $v_{GS} - V_T$

Modello in regione di triodo



$$i_D = K \left[(v_{GS} - V_T) v_{DS} - \frac{1}{2} v_{DS}^2 \right]$$

dove:

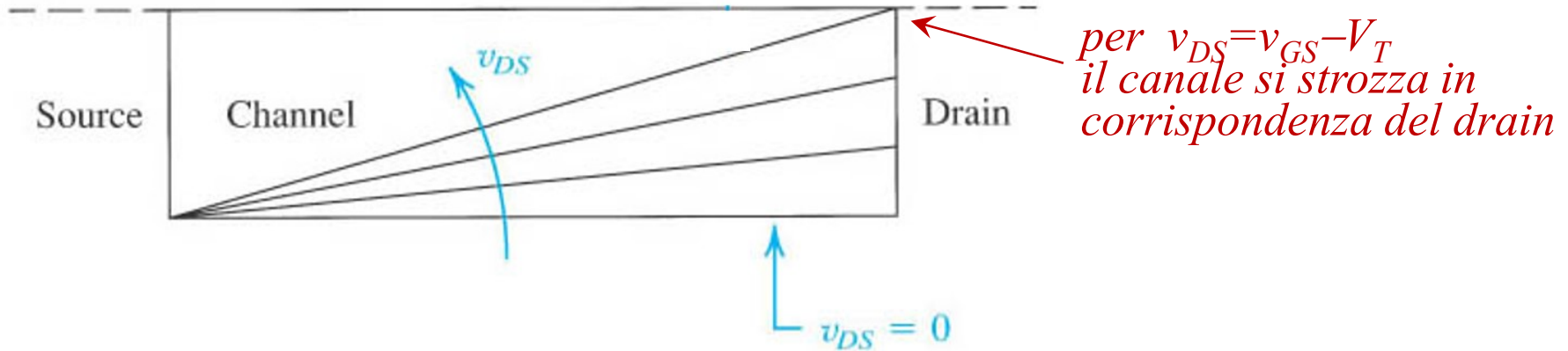
$$K = K_n' \frac{W}{L}; \quad K_n' = \mu_n \frac{\epsilon_{ox}}{t_{ox}}$$

ϵ_{ox} costante dielettrica dell'ossido

t_{ox} spessore dell'ossido

$\frac{\epsilon_{ox}}{t_{ox}} = C_{ox}'$ capacità dell'ossido per unità di area

Pinch-off o strozzamento del canale



- Il *pinch-off* o strozzamento del canale si manifesta quando il canale si annulla in corrispondenza del Drain.
- Questo accade quando: $v_{GD} = v_{GS} - v_{DS} = V_T \Rightarrow v_{DS} = v_{GS} - V_T$
- Per valori v_{DS} superiori a questo limite si dimostra che la corrente, in prima approssimazione, resta costante: **regione di saturazione (o di pinch-off) delle caratteristiche**

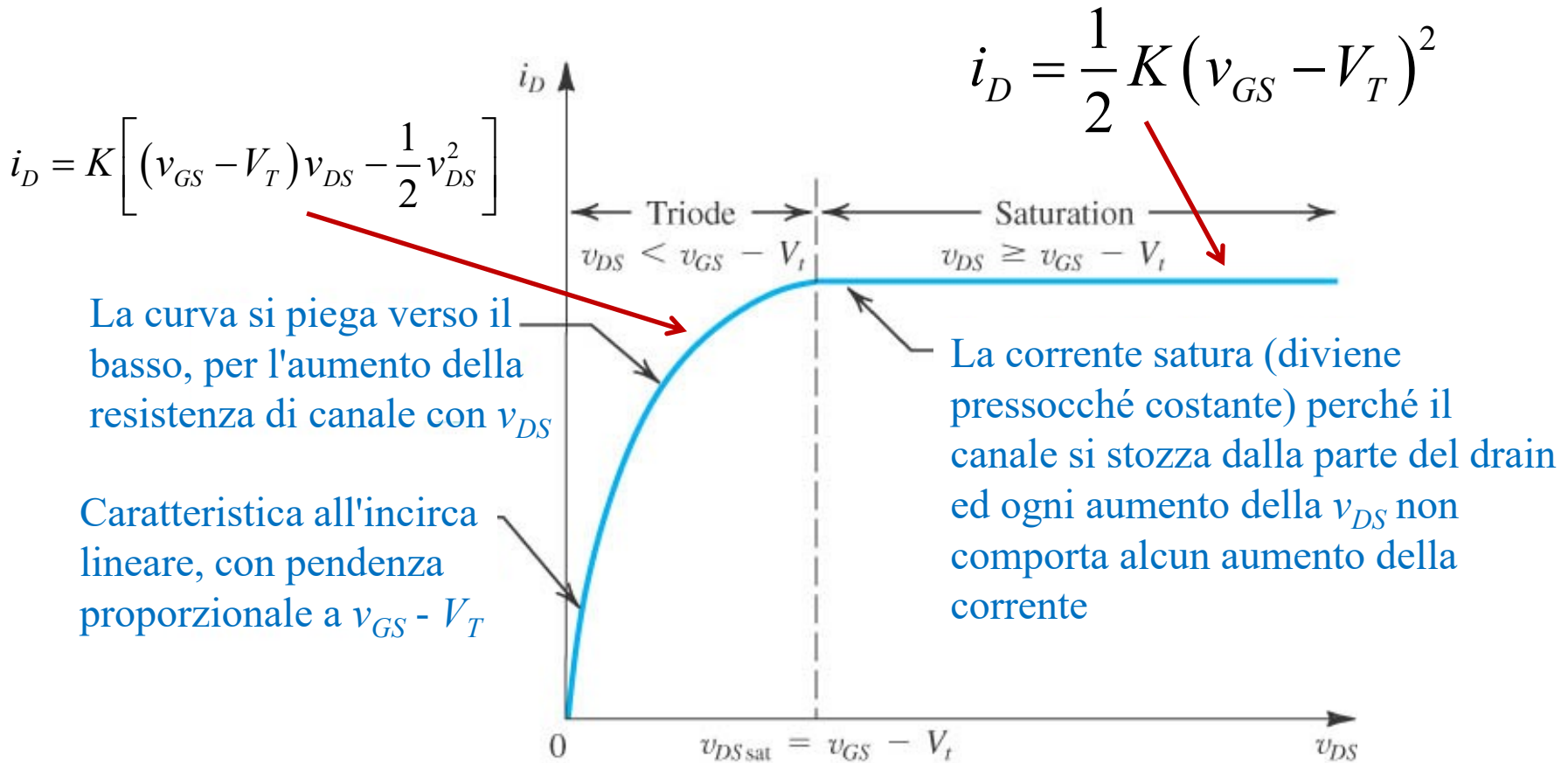
Corrente di saturazione

$$i_D = K \left[(v_{GS} - V_T) v_{DS} - \frac{1}{2} v_{DS}^2 \right]$$

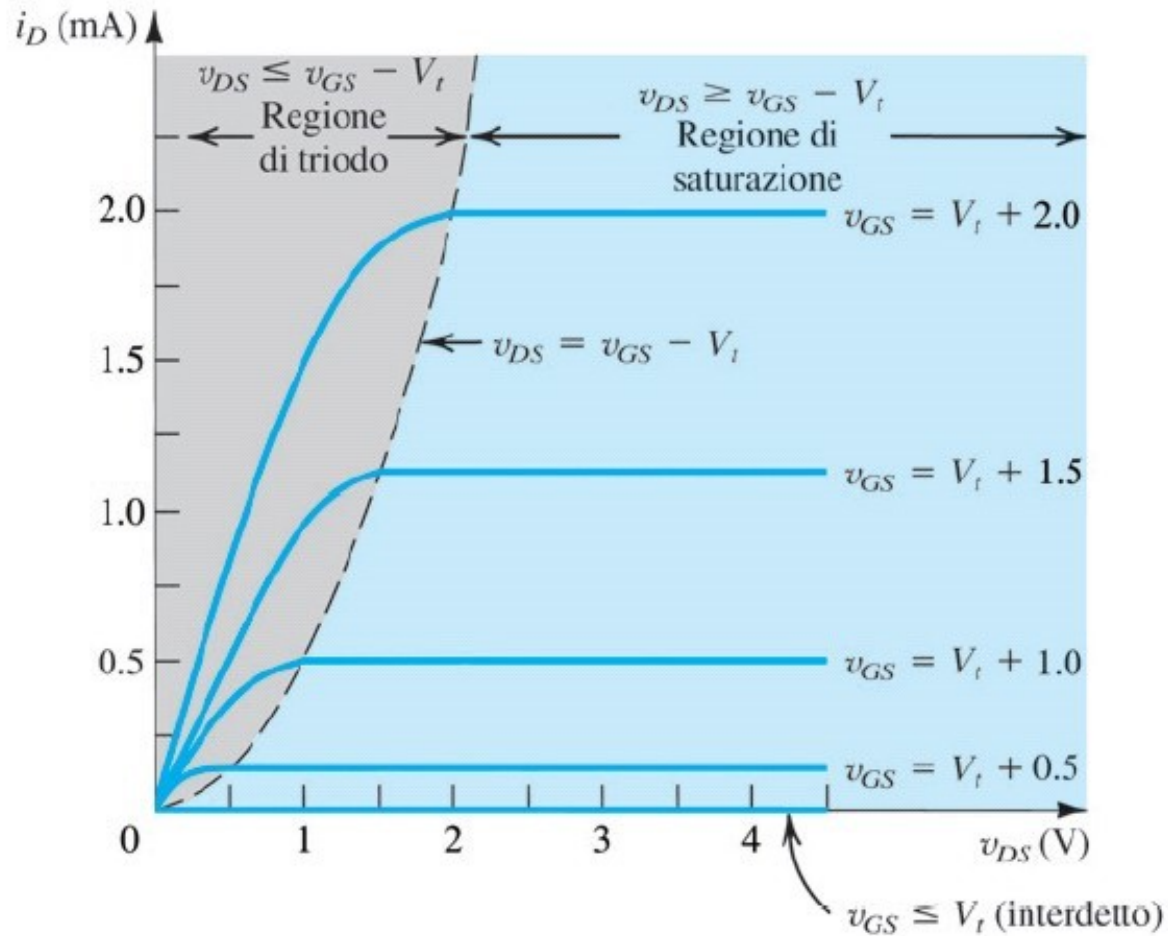
ponendo: $v_{DS} = v_{GS} - V_T$

$$i_D = \frac{1}{2} K (v_{GS} - V_T)^2$$

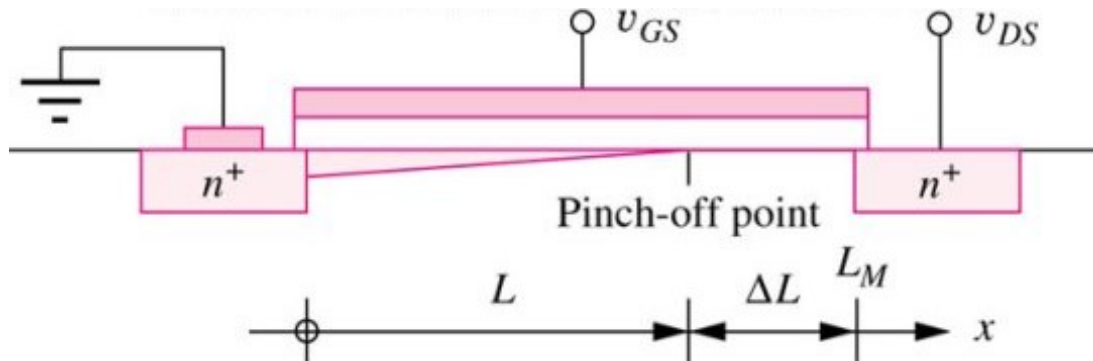
Corrente di saturazione



Famiglia di caratteristiche



Modulazione della lunghezza del canale



La caratteristica non è esattamente orizzontale in zona di pinch-off.

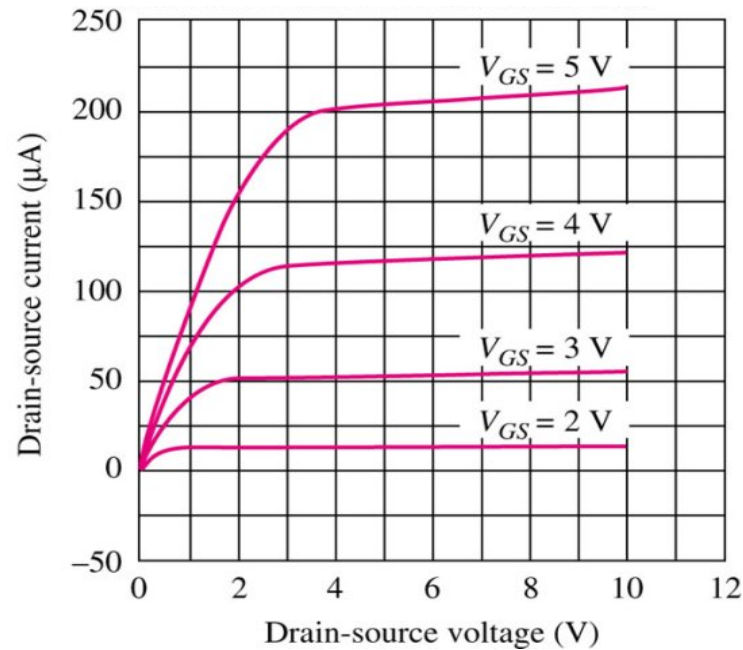
Quando v_{DS} supera $v_{GS} - V_T$ lo strozzamento del canale si manifesta prima del Drain.

Tutto opera come se la lunghezza del canale si fosse ridotta di un fattore ΔL

La riduzione della lunghezza del canale comporta un aumento di i_D

$$K = K_n' \frac{W}{L}; \quad \text{riducendo } L \text{ aumenta } K \text{ e quindi } i_D$$

Modulazione della lunghezza del canale



Modello del fenomeno: per $v_{DS} > v_{GS} - V_T$ la i_D cresce linearmente con v_{DS}

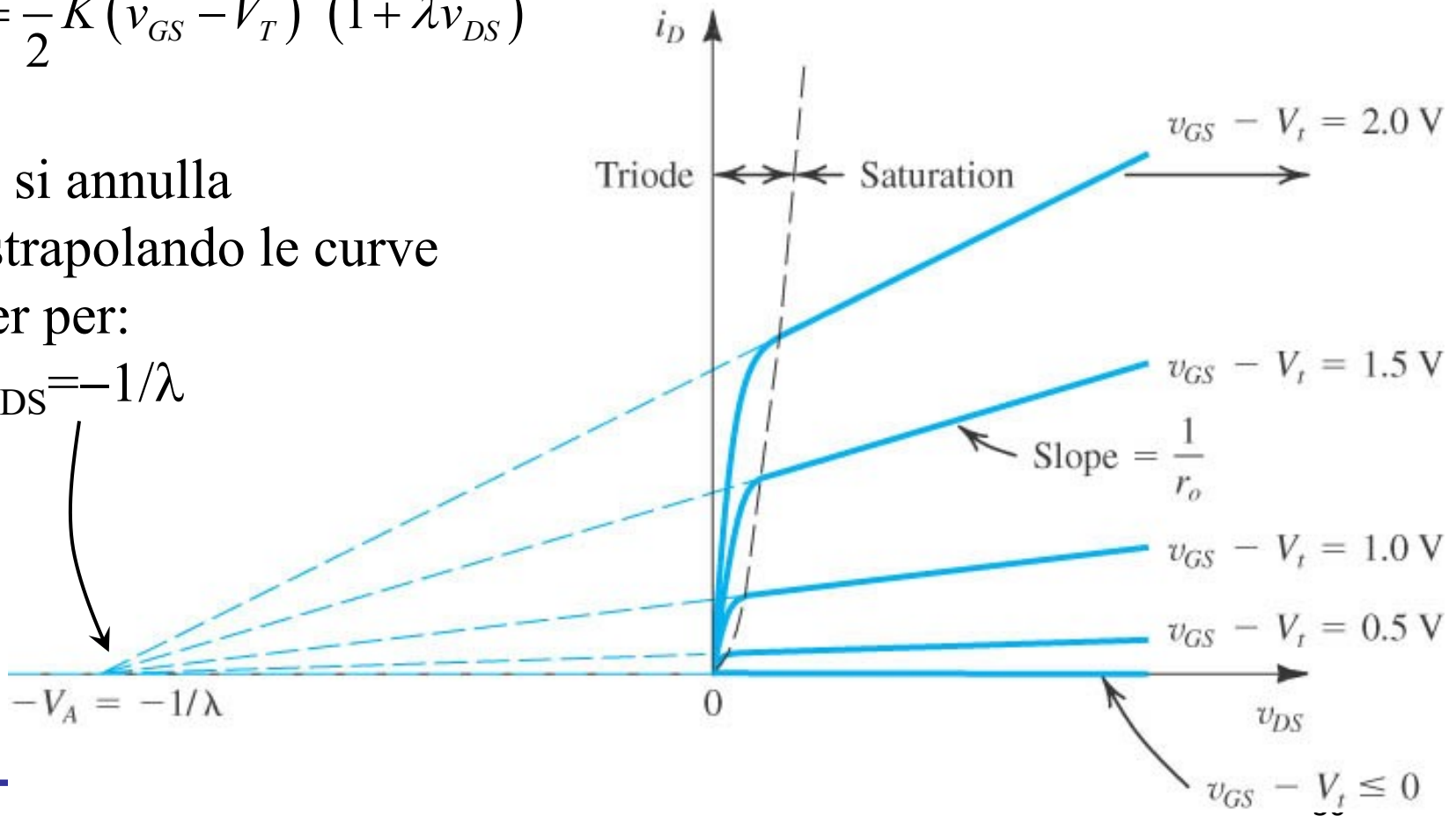
$$i_D = \frac{1}{2} K (v_{GS} - V_T)^2 (1 + \lambda v_{DS})$$

Modello del MOS in saturazione

$$i_D = \frac{1}{2} K (v_{GS} - V_T)^2 (1 + \lambda v_{DS})$$

i_D si annulla
estrapolando le curve
per per:

$$v_{DS} = -1/\lambda$$

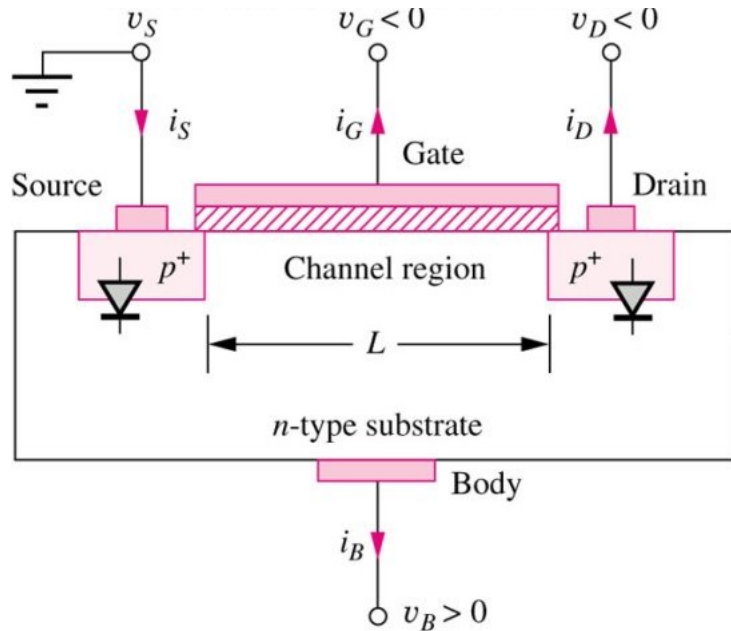


Modello del NMOS

$$i_D = \begin{cases} 0 & \text{se: } v_{GS} < V_T \\ K_N \left[(v_{GS} - V_T) v_{DS} - \frac{1}{2} v_{DS}^2 \right] & \text{se: } v_{GS} > V_T; v_{DS} < v_{GS} - V_T \\ \frac{K_N}{2} \left[(v_{GS} - V_T)^2 (1 + \lambda v_{DS}) \right] & \text{se: } v_{GS} > V_T; v_{DS} > v_{GS} - V_T \end{cases}$$

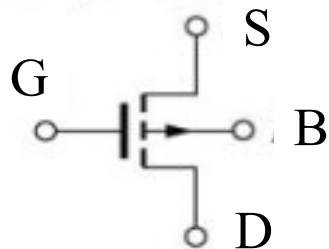
$$K_n = K'_n \frac{W}{L} \quad K'_n = \mu_n C''_{ox} \quad i_G = 0$$

Transistor PMOS



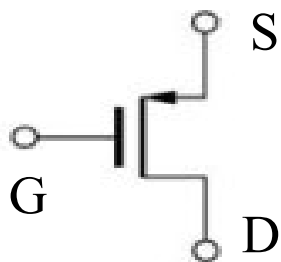
- Source e drain sono di tipo P, all'interno di un substrato N.
- Per polarizzare inversamente le giunzioni source-substrato e drain-substrato, deve essere: $v_{SB} < 0$ e: $v_{DB} < 0$
- **Il substrato viene collegato sempre al potenziale più alto presente nel circuito**

Simboli circuitali del PMOS

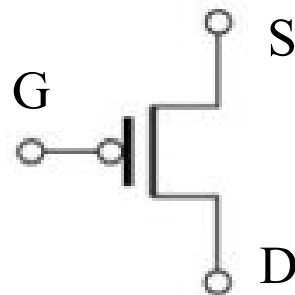


Nel PMOS, il morsetto di source **S** è a potenziale maggiore rispetto al morsetto di drain **D** (è l'opposto rispetto al NMOS)

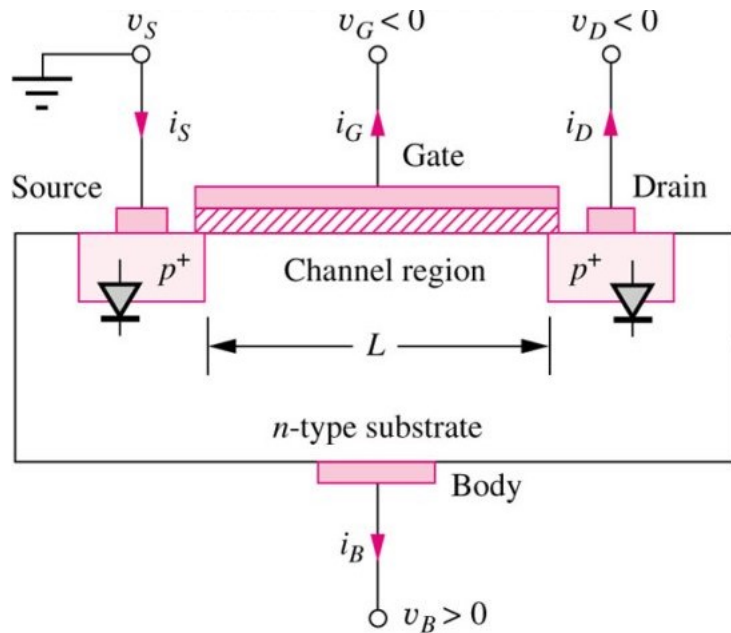
Spesso non è necessario evidenziare il morsetto di substrato **B** (sappiamo già che è collegato al nodo a potenziale più alto presente nel circuito). Si usano quindi i simboli semplificati riportati in basso:



la freccia
evidenzia il
verso della
corrente

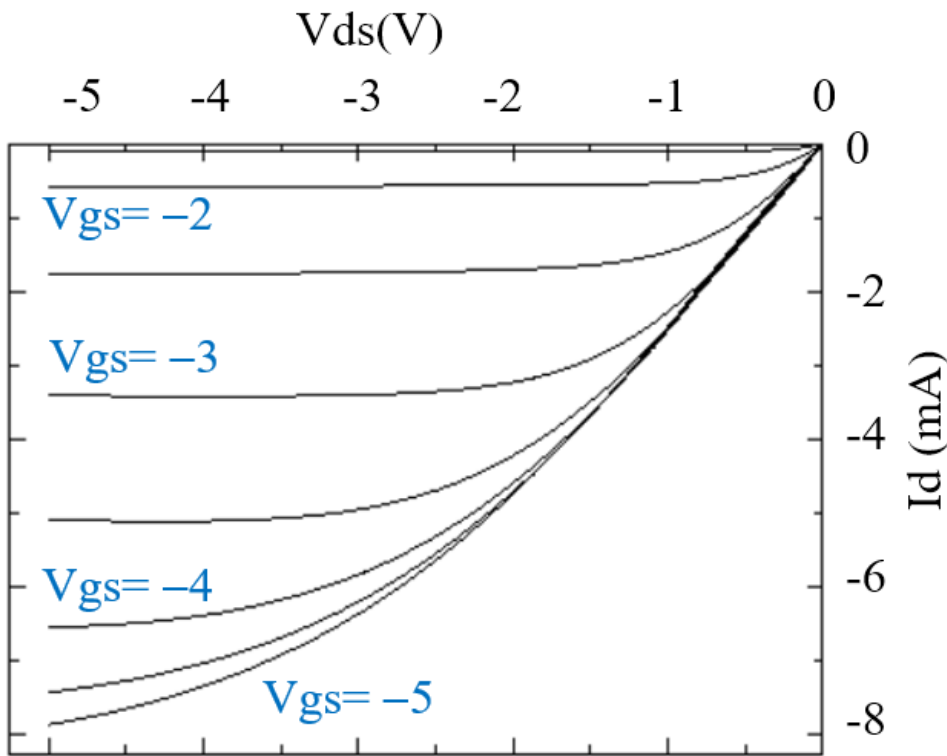


Transistor PMOS



- Per creare una regione di inversione di tipo P nel canale, è necessario applicare una $v_{GS} < 0$, in particolare deve essere: $v_{GS} < V_{TP}$ dove la tensione di soglia V_{TP} è **negativa**
- La corrente fluisce dal source verso il drain. **Il source è quindi a potenziale più alto rispetto al drain**

Caratteristiche del PMOS



- Per $v_{GS} > V_{TP}$ il transistorore è spento (V_{TP} è negativa)
- Quando v_{GS} diviene più negativa di V_{TP} , il dispositivo entra in conduzione
- Il dispositivo mostra le regioni di triodo e pinch-off analogamente al dispositivo a canale N

Caratteristiche del PMOS

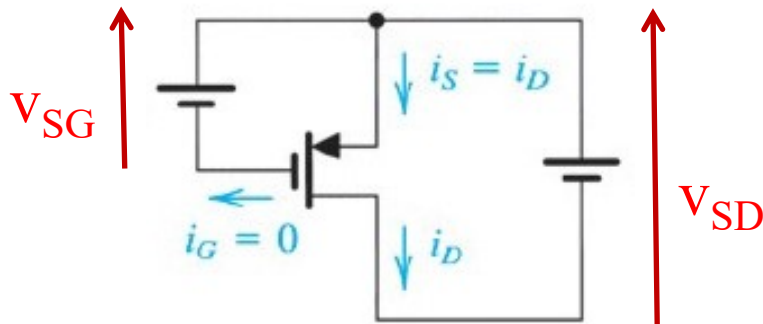
Possiamo utilizzare le stesse equazione del NMOS, a patto di effettuare alcune sostituzioni:

v_{SG} al posto di: v_{GS}

v_{SD} al posto di: v_{DS}

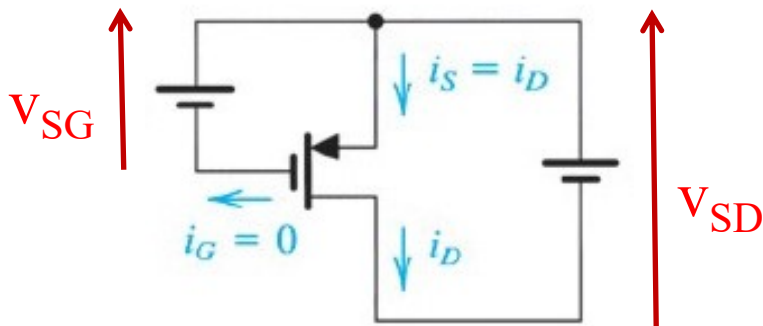
$|V_{TP}|$ al posto di: V_T

La corrente i_D si assume positiva quando esce dal Drain



Modello del PMOS

$$i_D = \begin{cases} 0 & \text{se: } v_{SG} < |V_{TP}| \\ K_P \left[(v_{SG} - |V_{TP}|) v_{SD} - \frac{1}{2} v_{SD}^2 \right] & \text{se: } v_{SG} > |V_{TP}|; v_{SD} < v_{SG} - |V_{TP}| \\ \frac{K_P}{2} \left[(v_{SG} - |V_{TP}|)^2 (1 + \lambda v_{SD}) \right] & \text{se: } v_{SG} > |V_{TP}|; v_{SD} > v_{SG} - |V_{TP}| \end{cases}$$



$$K_P = K'_p \frac{W}{L}; \quad K'_p = \mu_p \frac{\epsilon_{ox}}{t_{ox}}$$

A parità di tecnologia, $\mu_p < \mu_n$ per cui: $K'_p < K'_n$

Risulta, all'incirca: $K'_p \approx K'_n / 2.5$

Confronto NMOS - PMOS

A parità di tecnologia costruttiva e di tensione di soglia (in valore assoluto), risulta: $\mu_n > \mu_p$, per cui è anche $K'_n > K'_p$

Si ha, all'incirca: $\mu_n/\mu_p \approx 2.5$ e, pertanto: $K'_n/K'_p \approx 2.5$

Dunque, a parità di tecnologia costruttiva, di polarizzazione e di dimensioni, un PMOS conduce una corrente inferiore rispetto ad un NMOS di un fattore circa 2.5

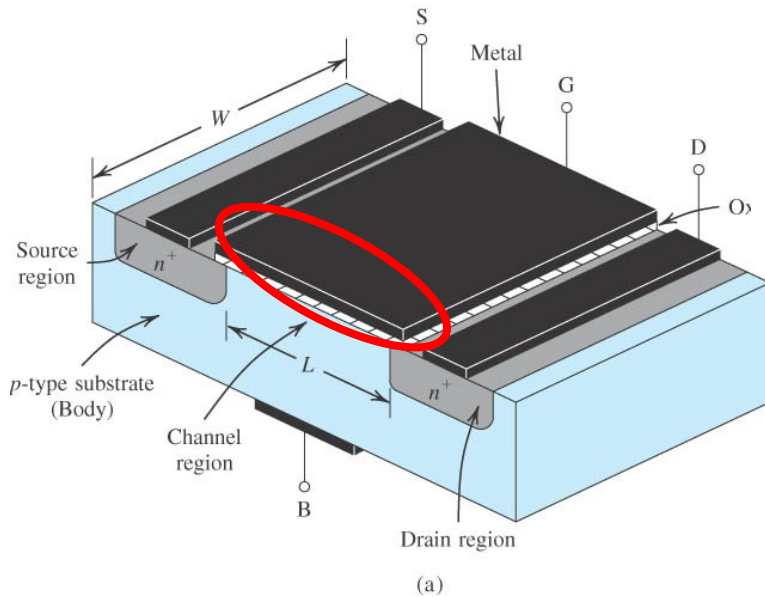
Qualora sia opportuno avere un analogo comportamento per i dispositivi NMOS e PMOS, si può agire sul fattore W/L facendo: $(W/L)_{\text{PMOS}} = 2.5 (W/L)_{\text{NMOS}}$

Questo dimensionamento, infatti, rende uguali i fattori K dei dispositivi NMOS e PMOS.

Capacità del MOS

Capacità nel MOSFET

Il contributo più rilevante è dato dalla capacità di gate



$$C_{ox} = \frac{\epsilon_{ox}}{t_{ox}} \quad \text{Capacità per unità di area}$$

Capacità complessiva di gate:

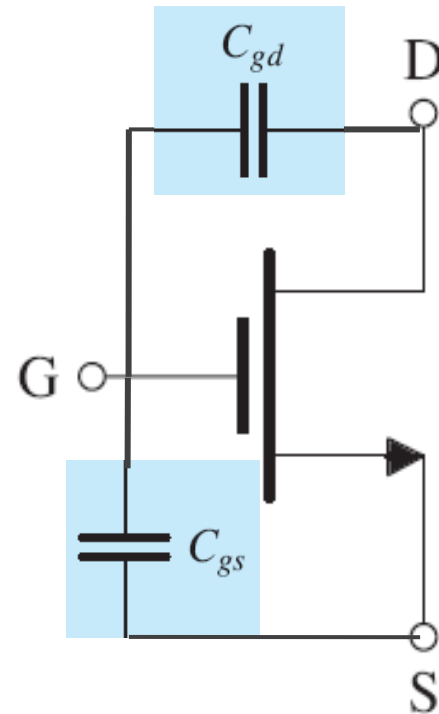
$$C_g = C_{ox} W L$$

Capacità nel MOSFET

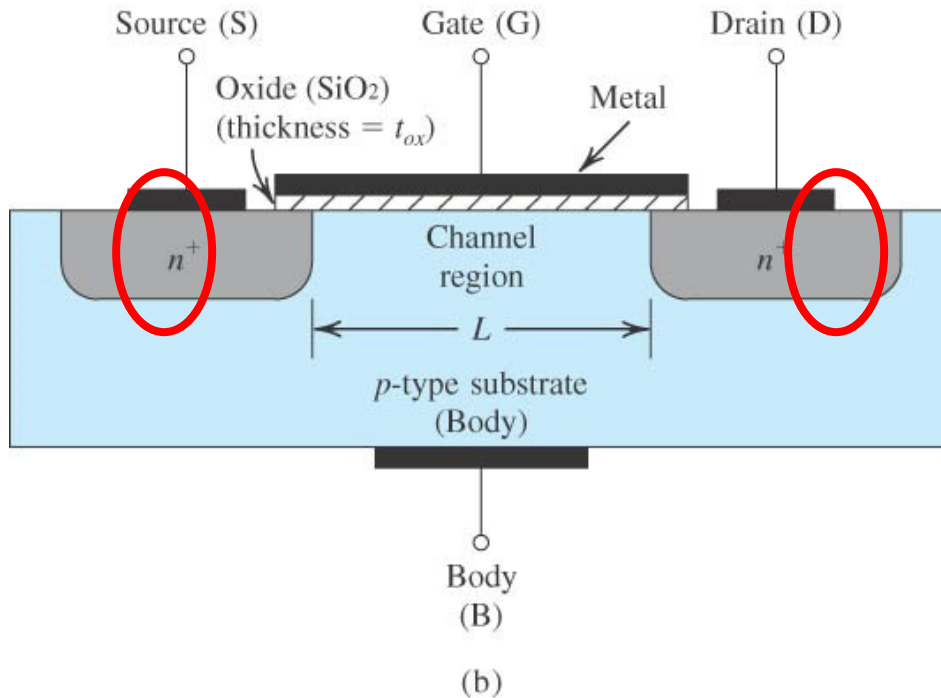
La capacità di Gate si ripartisce in diversi contributi.

La suddivisione fra C_{gs} e C_{gd} è importante nell'analisi dei circuiti analogici.

Non la consideriamo, per semplicità, nello studio dei circuiti digitali.



Ulteriori Capacità nel MOSFET



Capacità di
svuotamento delle
giunzioni