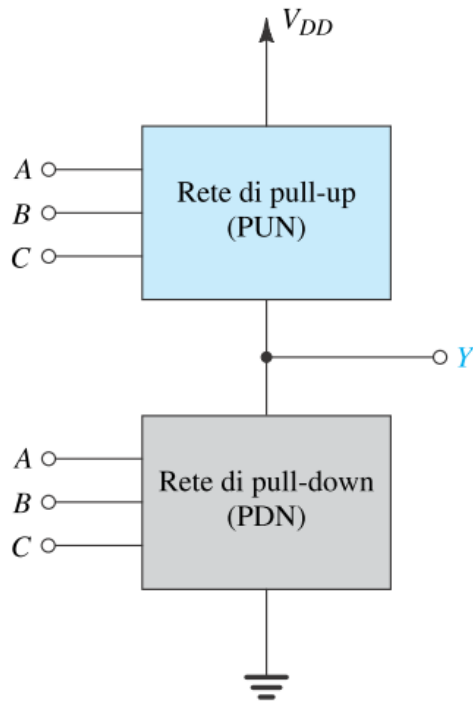

Porte logiche CMOS

Porte Logiche CMOS

Si ottengono generalizzando la struttura dell'invertitore:

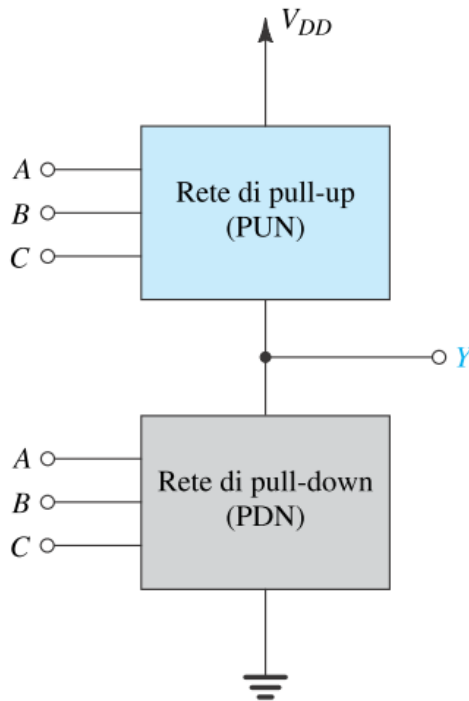


Al posto del NMOS si inserisce una rete di pull-down, costituita sempre da dispositivi NMOS.

Analogamente, al posto del PMOS si inserisce una rete di pull-up, sempre realizzata con dispositivi PMOS.

Gli ingressi sono collegati sia alla rete di pull-up che alla rete di pull-down

Porte Logiche CMOS

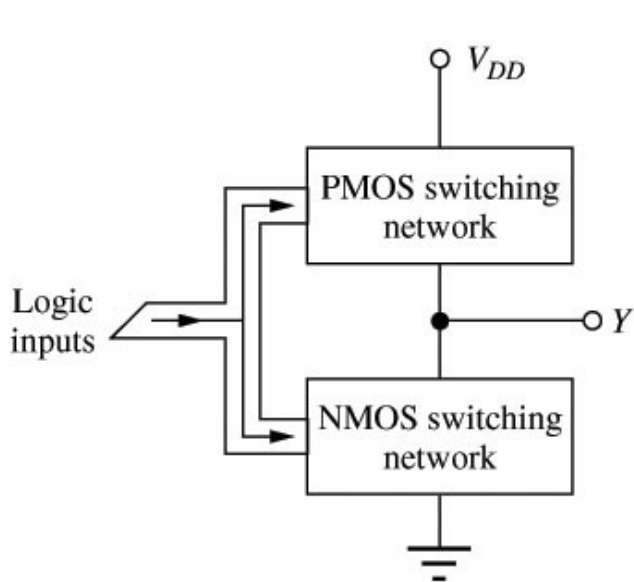


Le reti di pull-up e pull-down devono essere costruite rispettando la seguente condizione:

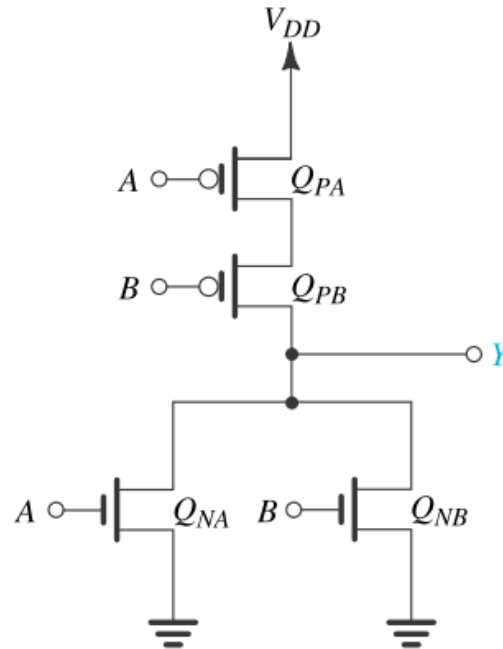
Per qualsiasi combinazione degli ingressi, una ed una sola delle due reti deve essere in conduzione (offrendo un cammino verso l'alimentazione o verso massa), mentre l'altra deve essere interdotta.

Questa condizione garantisce che l'uscita sia V_{DD} oppure 0 e che non vi sia dissipazione di potenza statica.

Porta NOR



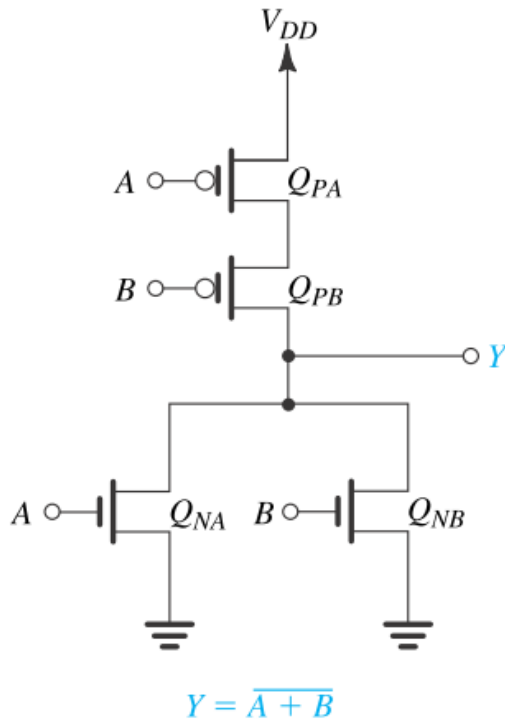
Struttura di base di
una porta logica
CMOS



$$Y = \overline{A + B}$$

Esempio: porta NOR
a due ingressi

Porta NOR



A	B	pull-down	pull-up	Y
0	0	OFF	ON	1
0	1	ON	OFF	0
1	0	ON	OFF	0
1	1	ON	OFF	0

Le reti di pull-down e pull-up sono complementari: ad un parallelo di NMOS corrisponde una serie di PMOS

Porta NOR CMOS a più ingressi

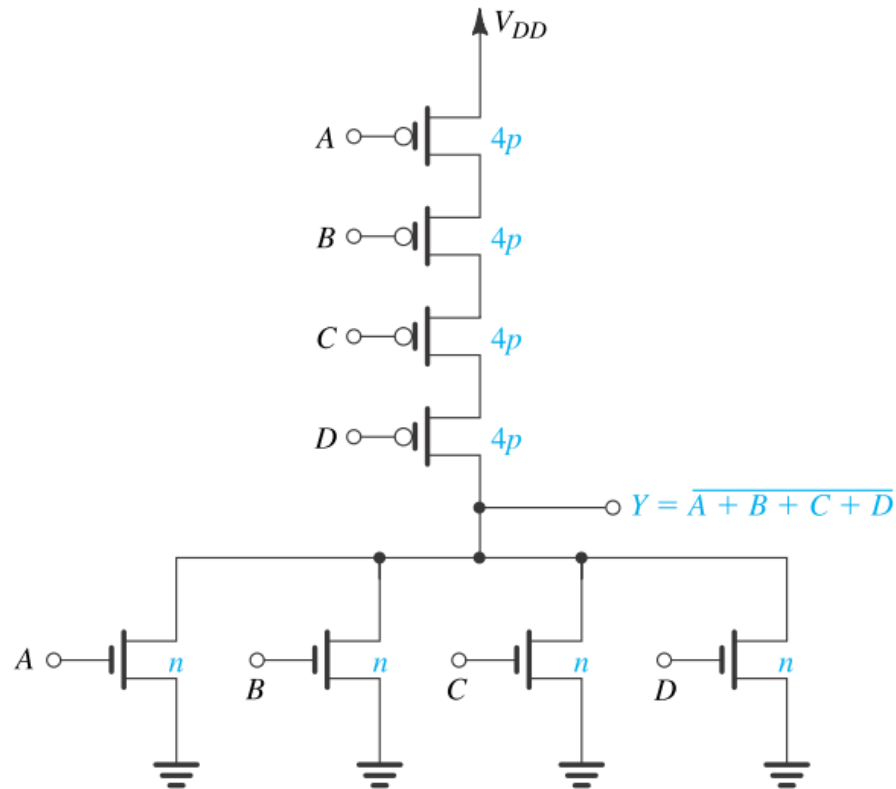


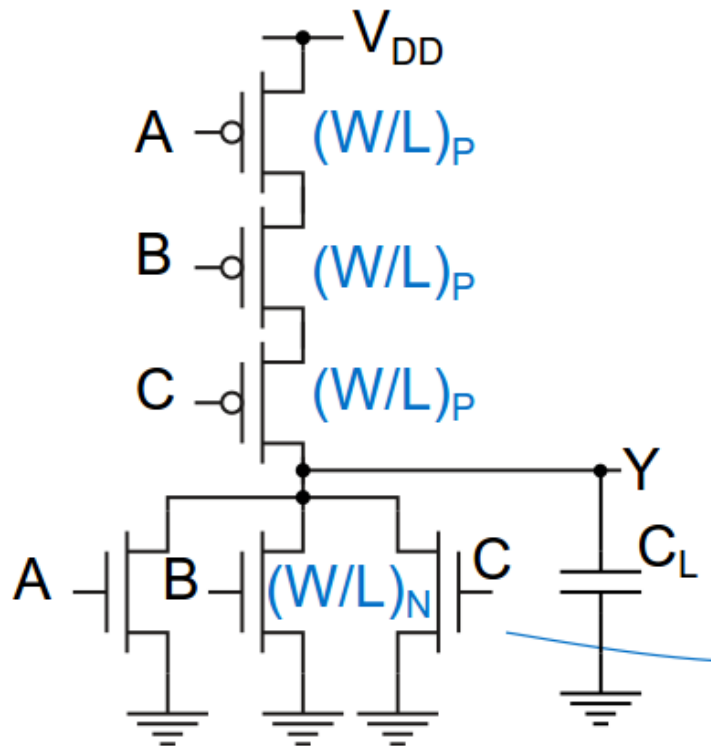
FIGURA 10.16 Dimensionamento corretto dei transistori per una porta NOR a quattro ingressi. Notiamo che n e p indicano rispettivamente il rapporto (W/L) dei transistori Q_N e Q_P dell'invertitore base.

Porta NOR – dimensionamento dei dispositivi

- Nel dimensionare i dispositivi cerchiamo di mantenere i ritardi uguali a quelli di un invertitore di riferimento.
- A tal fine, la resistenza ON delle reti di pull-up e pull-down, nel caso peggiore, deve essere uguale a quella dei MOS dell'invertitore di riferimento.

Porta NOR – dimensionamento dei dispositivi

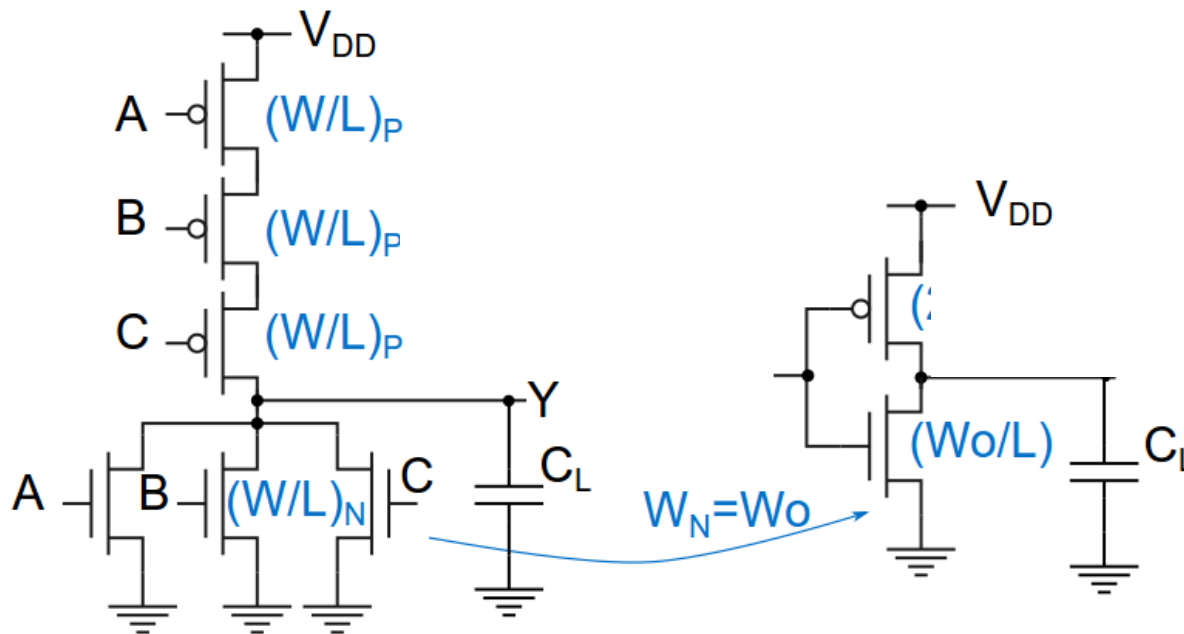
Consideriamo, ad esempio, il caso di una NOR a 3 ingressi



Nella rete di pull-down, **il caso peggiore è quello in cui conduce uno solo dei tre NMOS in parallelo**

Porta NOR – dimensionamento NMOS

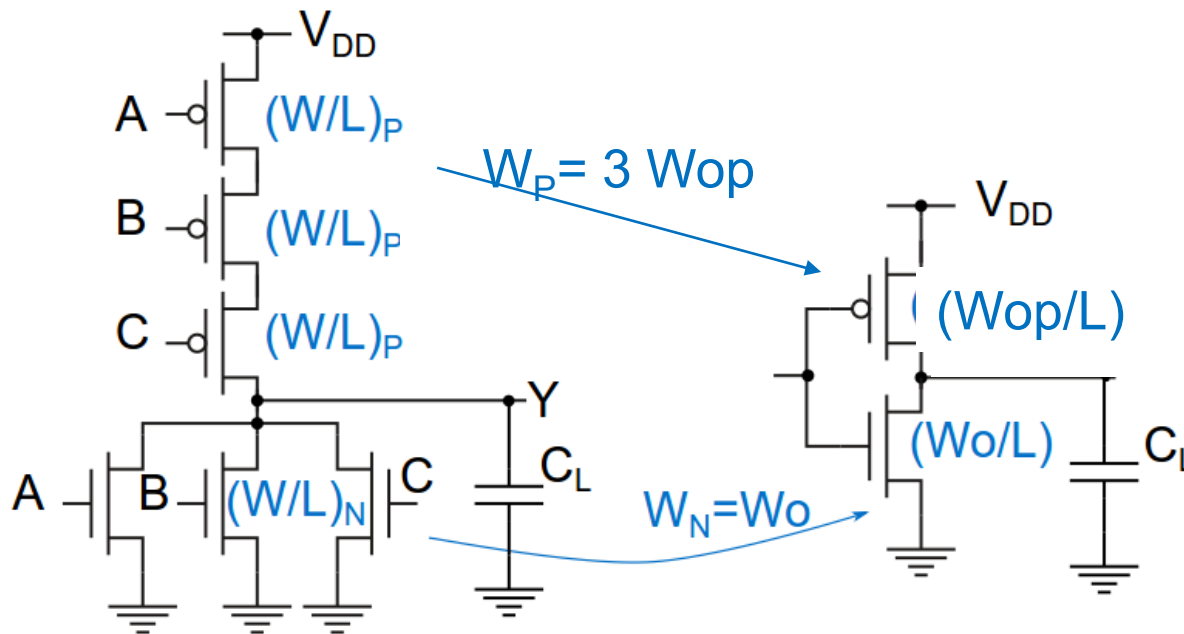
Nella rete di pull-down, il caso peggiore è quello in cui conduce uno solo dei tre NMOS in parallelo



La W degli NMOS è quindi uguale a quella dell'invertitore di riferimento (in questo modo le resistenze ON delle reti di pull-down sono uguali, nel caso peggiore).

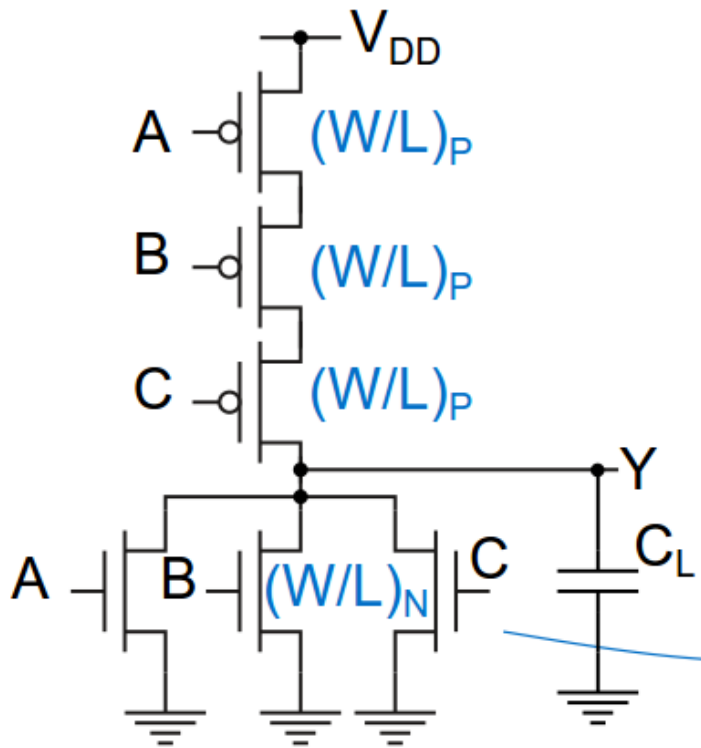
Porta NOR – dimensionamento NMOS

Nella rete di pull-up abbiamo la serie di tre dispositivi. La resistenza ON equivalente è il triplo di quello di un singolo PMOS.



La W dei PMOS della NOR deve essere il triplo rispetto all'invertitore di riferimento.

Porta NOR – dimensionamento dei dispositivi



$$W_N = W_0$$

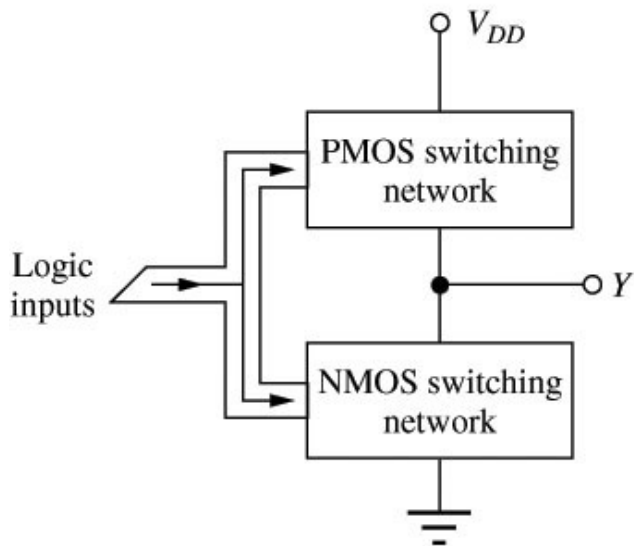
$$W_P = 3 W_{op}$$

Poiché $W_{op} = 2.5 W_0$ (per un invertitore di riferimento simmetrico), per la NOR a tre ingressi abbiamo, in conclusione:

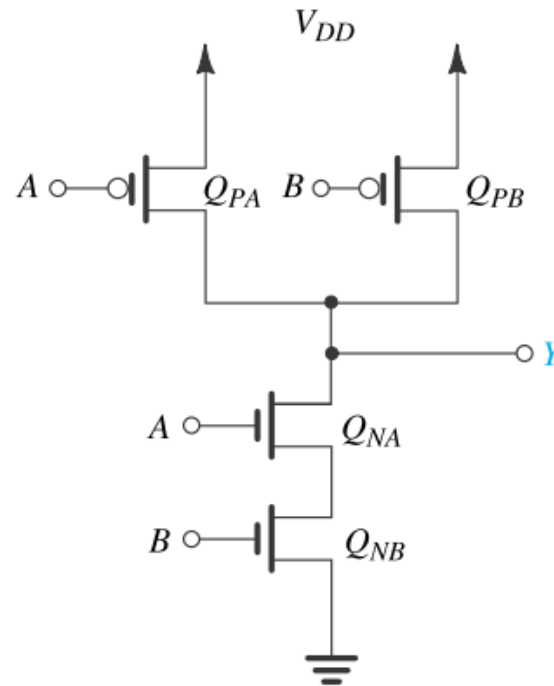
$$W_N = W_0$$

$$W_P = 7.5 W_0$$

Porta NAND



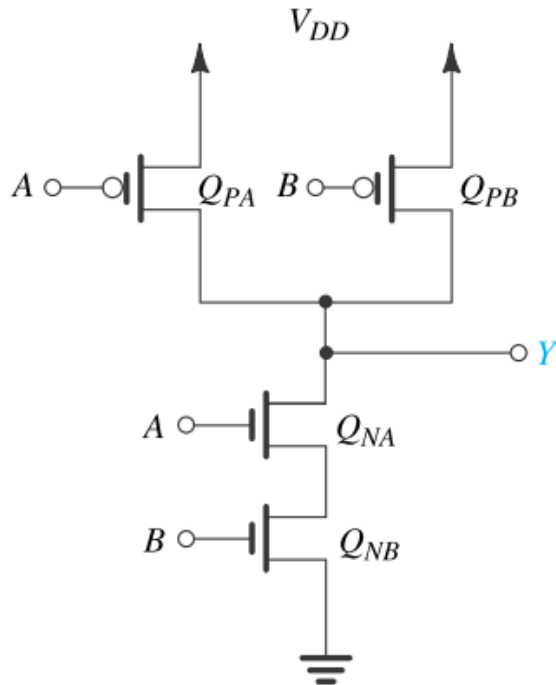
Struttura di base di
una porta logica
CMOS



$$Y = \overline{AB}$$

Porta NAND a due
ingressi

Porta NAND



$$Y = \overline{AB}$$

A	B	pull-down	pull-up	Y
0	0	OFF	ON	1
0	1	OFF	ON	1
1	0	OFF	ON	1
1	1	ON	OFF	0

Le reti di pull-down e pull-up sono complementari: ad una serie di NMOS corrisponde un parallelo di PMOS

Porta NAND a più ingressi

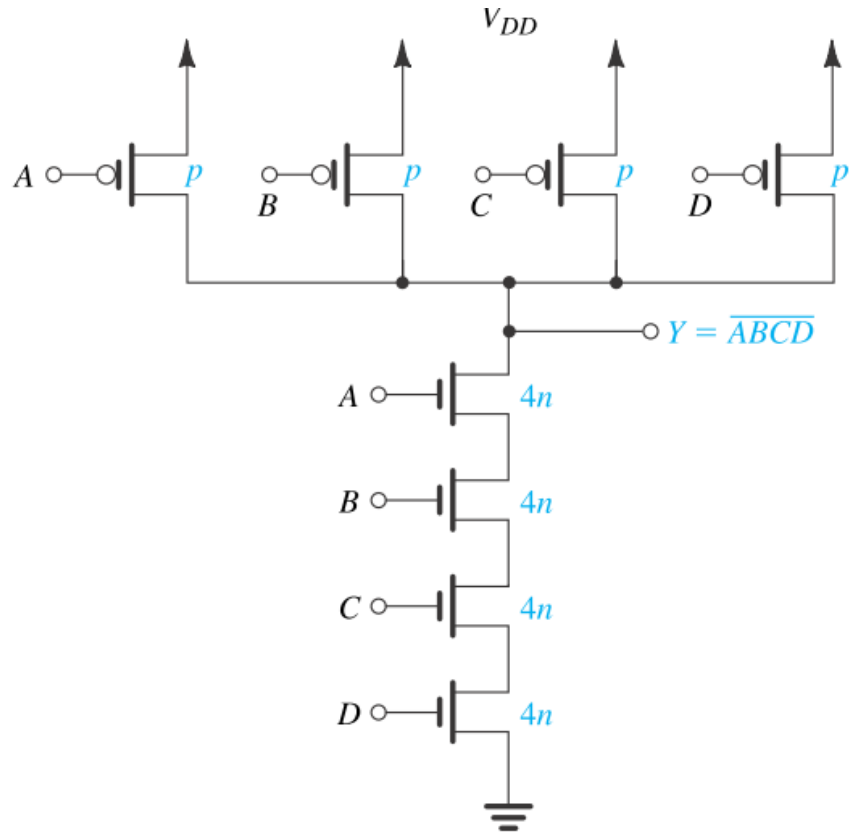


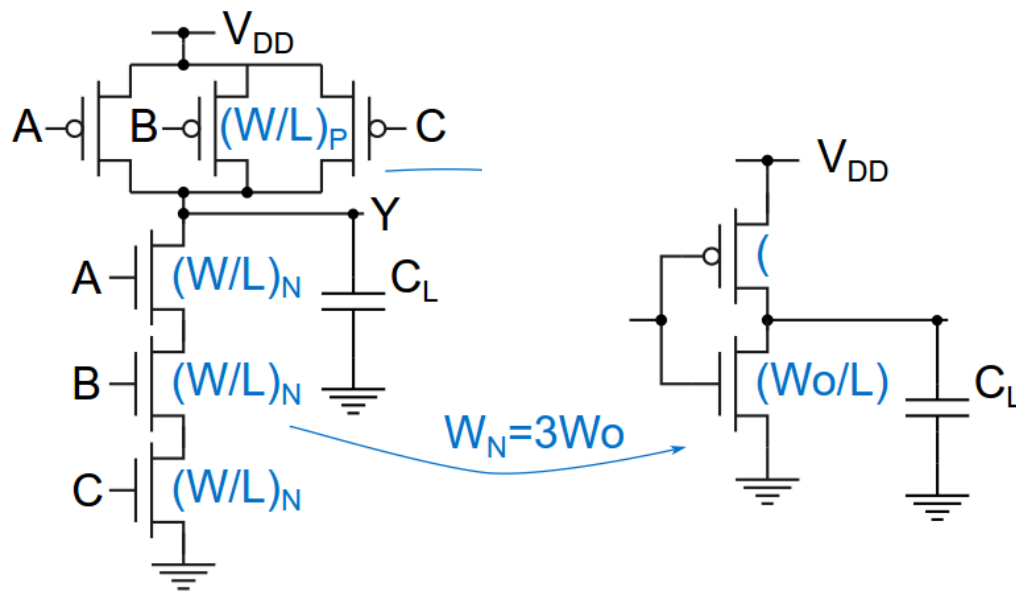
FIGURA 10.17 Dimensionamento giusto dei transistori per una porta NAND a quattro ingressi. Notiamo che n e p indicano rispettivamente il rapporto (W/L) dei transistori Q_N e Q_P dell'invertitore base.

Porta NAND – dimensionamento dei dispositivi

- Si applica lo stesso approccio visti per la porta NOR; si deve però osservare che nel caso della NAND sono i dispositivi NMOS ad essere in serie.

Porta NAND – dimensionamento dei dispositivi

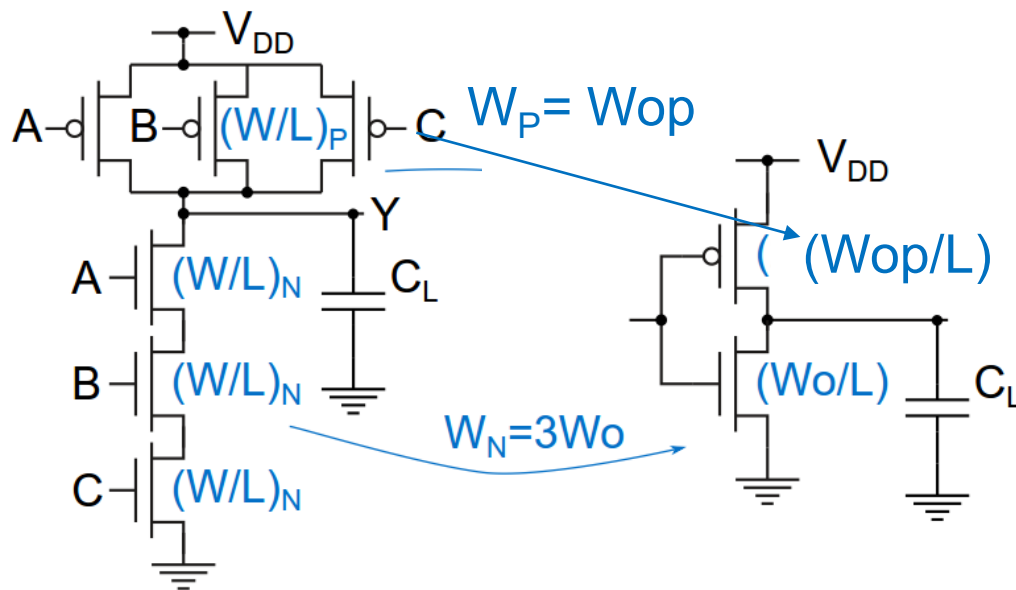
Consideriamo, ad esempio, una NAND a tre ingressi. Nella rete di pull-down abbiamo la serie di tre dispositivi. La resistenza ON equivalente è il triplo di quello di un singolo NMOS.



La W degli NMOS della NAND deve essere il triplo rispetto all'invertitore di riferimento.

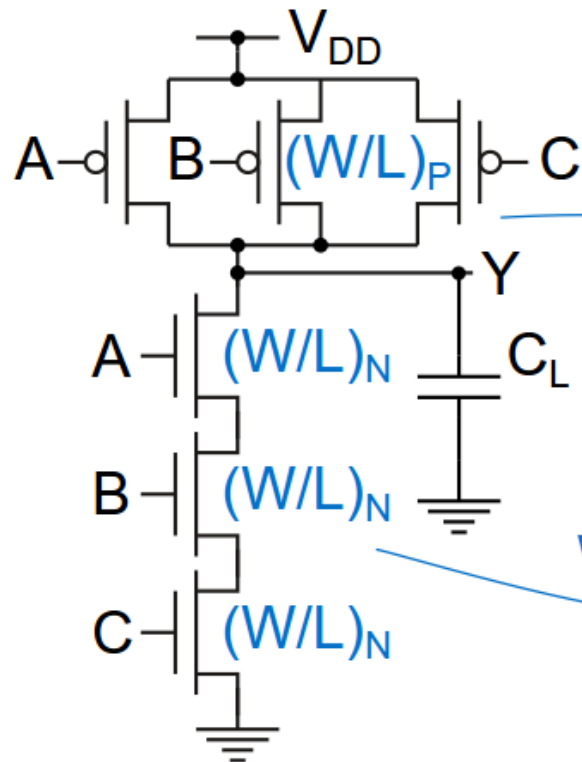
Porta NAND – dimensionamento dei dispositivi

Nella rete di pull-up, il caso peggiore è quello in cui conduce uno solo dei tre PMOS in parallelo



La W dei PMOS è quindi uguale a quella dell'invertitore di riferimento

Porta NAND – dimensionamento dei dispositivi



$$W_N = 3 W_0$$

$$W_P = W_0$$

Poiché $W_0 = 2.5 W_0$ (per un invertitore di riferimento simmetrico), per la NAND a tre ingressi abbiamo, in conclusione:

$$W_N = 3 W_0$$

$$W_P = 2.5 W_0$$

Confronto NAND / NOR

Consideriamo una porta NAND ed una NOR a k ingressi.

Le dimensioni dei dispositivi della NAND sono:

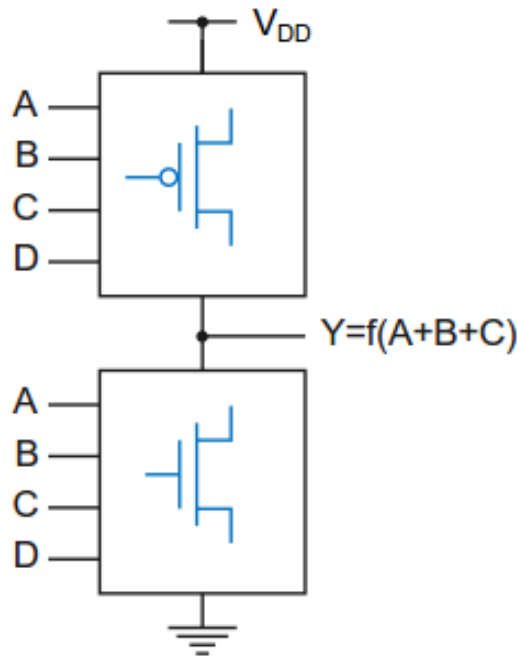
$$W_{N,nand} = k W_0; \quad W_{P,nand} = 2.5 W_0$$

Le dimensioni dei dispositivi della NOR sono:

$$W_{N,nor} = W_0; \quad W_{P,nor} = 2.5 k W_0$$

Al crescere di k , è facile vedere che la porta NOR richiede dispositivi di larghezza maggiore rispetto alla NAND

Porte CMOS Complesse



Struttura di base di
una porta logica
CMOS

Ogni ingresso pilota sia la rete di pull-up, costituita da dispositivi PMOS, che quella di pull-down, realizzata con NMOS.

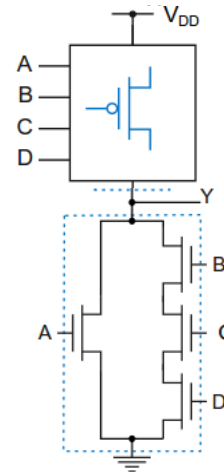
La rete di pull-down deve entrare in conduzione per portare l'uscita a '0'. La sua realizzazione, pertanto, segue i medesimi passi visti per le porta complesse pseudo-NMOS.

Porte CMOS Complesse – rete N

La rete N è identica quella vista per le logiche NMOS:

- 1) Si considera la funzione senza il segno d'inversione
- 2) Ad ogni operatore OR corrisponde il parallelo di sottoreti
- 3) Ad ogni operatore AND la serie
- 4) Una sottorete pilotata da un singolo ingresso corrisponde ad un NMOS

Esempio: $Y = \overline{A + BCD}$



Porte CMOS Complesse – rete P

Per ottenere la struttura della rete di pull-up domandiamoci quando l'uscita è alta. Per rispondere a questa questione, conviene modificare l'espressione della funzione logica utilizzando la regola di De Morgan:

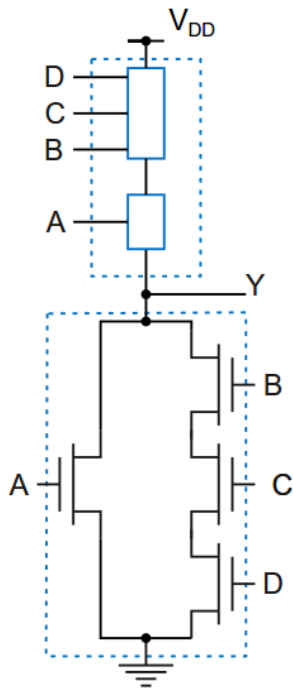
$$Y = \overline{A + BCD} = \overline{A} \cdot \overline{BCD} = \overline{A} \cdot (\overline{B} + \overline{C} + \overline{D})$$

Dunque: $Y = 1$ quando $\overline{A} = 1$ **ed inoltre** $\overline{B} + \overline{C} + \overline{D} = 1$.

La rete di pull-up si suddivide pertanto in due rami in serie: il primo conduce quando $\overline{A} = 1$ (ovvero quando $A = 0$), mentre l'altro dipende da B, C, D

Porte CMOS Complesse – rete P

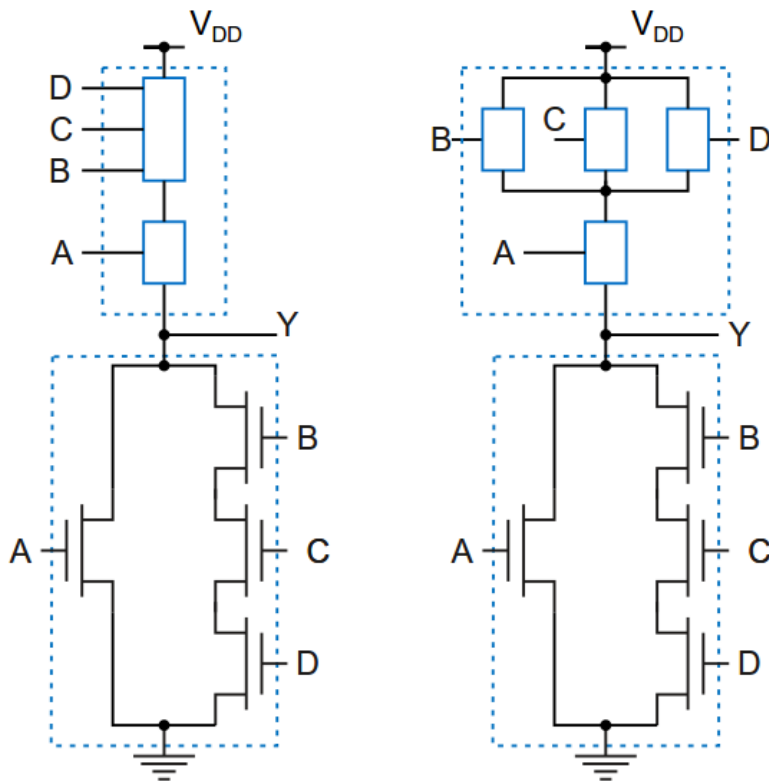
La rete di pull-up si suddivide pertanto in due rami in serie: il primo conduce quando $\overline{A} = 1$ (ovvero quando $A = 0$), mentre l'altro dipende da B, C, D



Il primo ramo della rete di pull-up è comandato dal solo ingresso A e non richiede ulteriore analisi.

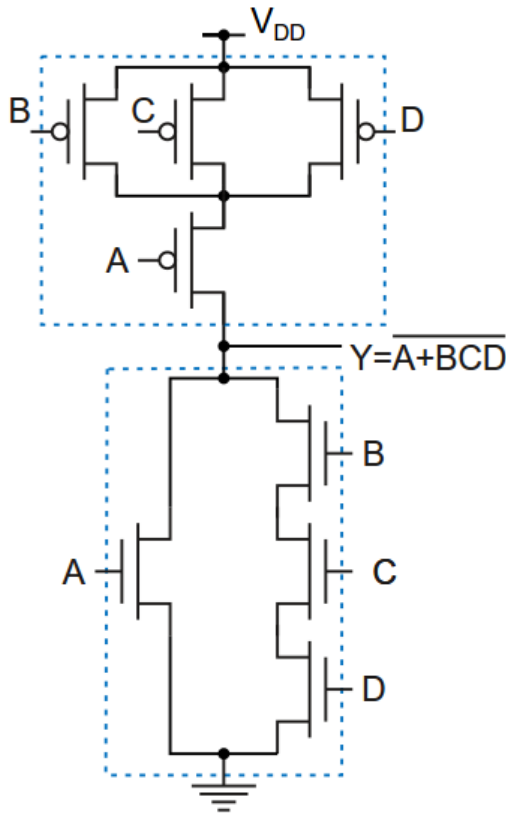
Il secondo ramo, invece, conduce quando almeno uno dei tre segnali B, C e D è basso. Il ramo pertanto si suddivide ulteriormente tre blocchi in parallelo: il primo conduce quando $B = 0$, il secondo quando $C = 0$ ed il terzo quando $D = 0$

Porte CMOS Complesse – rete P



La rete di pull-up è decomposta in una connessione serie-parallelo di blocchi elementari, ognuno comandato da un unico segnale. Ogni blocco elementare conduce quando il segnale di comando è '0' e rappresenta quindi un PMOS

Porte CMOS Complesse



le due reti di pull-up e di pull-down sono fra loro duali: ad un NMOS corrisponde un PMOS, ad un collegamento in serie corrisponde un collegamento in parallelo e viceversa. È pertanto possibile ottenere una rete dall'altra.

Porte CMOS Complesse

E' possibile ottenere lo schema di una porta CMOS complessa per semplice ispezione della funzione logica, senza necessariamente applicare la trasformazione di De Morgan.

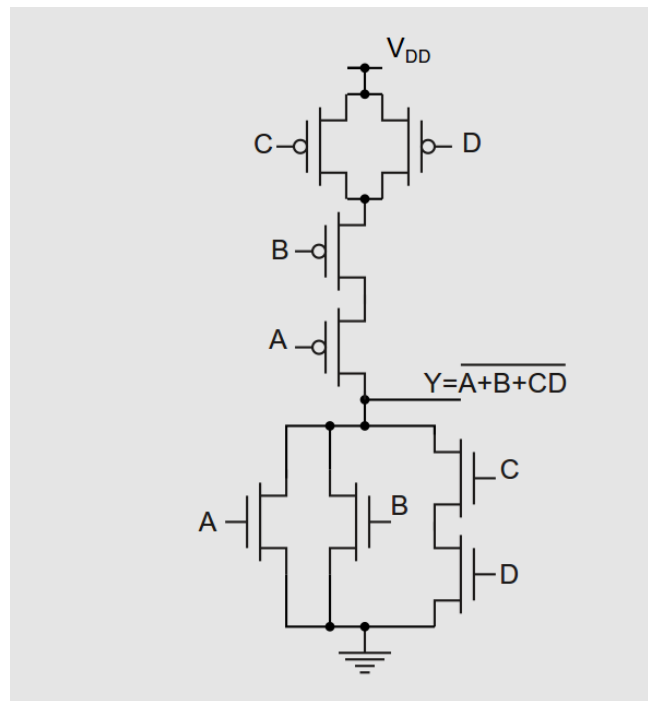
pull-down: ad ogni operatore AND corrisponde la serie di due sottoreti, mentre ad ogni operatore OR corrisponde il parallelo di due sottoreti; si continua iterativamente, fino a giungere a blocchi comandati da un unico segnale, cui corrisponde un singolo NMOS.

pull-up: ad ogni operatore AND corrisponde il parallelo di due sottoreti, mentre ad ogni operatore OR corrisponde la serie di due sottoreti; si continua iterativamente, fino a giungere a blocchi comandati da un unico segnale, cui corrisponde un singolo PMOS.

Esempio

Disegnare lo schema della porta CMOS che realizza la funzione logica:

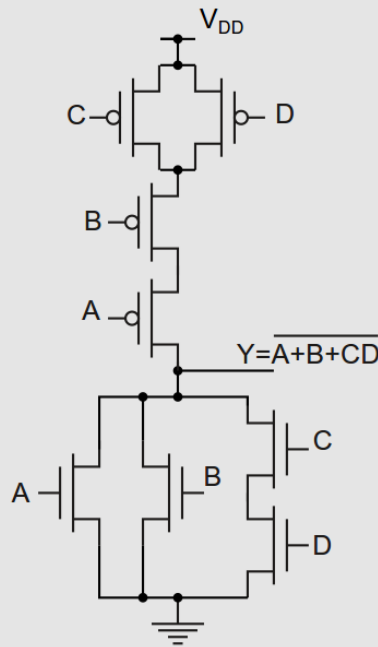
$$Y = \overline{A + B + CD}$$



Dimensionamento

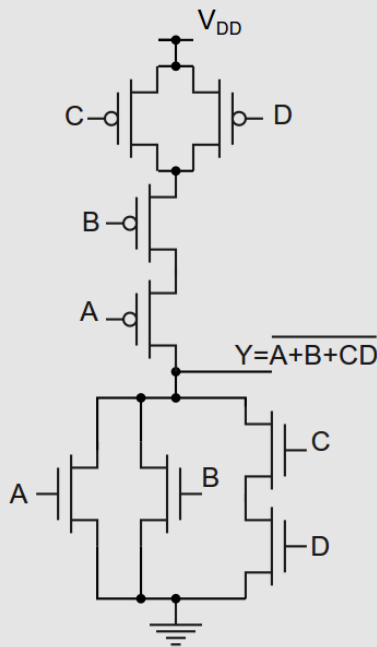
Il dimensionamento delle porte complesse segue lo stesso approccio delineato per le porte NAND e NOR.

Consideriamo l'esempio precedente.



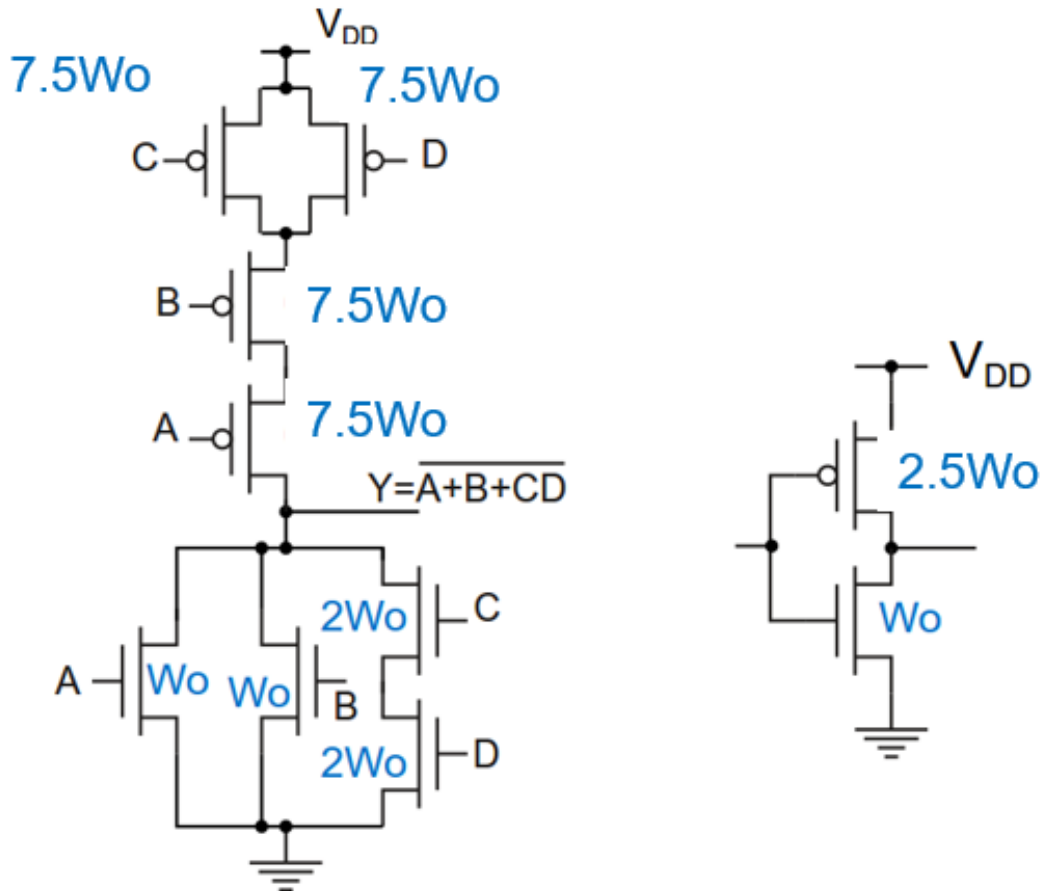
Nella rete di pull-down il cammino che attraversa il numero maggiore di dispositivi in serie è quello che attraversa i MOS comandati da C e D, cui assegniamo la larghezza di canale $2W_0$ (in modo che i due dispositivi siano equivalenti al NMOS di riferimento, avente larghezza W_0). Ai due NMOS pilotati da A e B, invece, attribuiamo larghezza di canale W_0

Dimensionamento



Nella rete di pull-up si evidenziano due cammini con tre dispositivi in serie: A-B-C e A-B-D. Per rendere questi due cammini equivalenti al PMOS dell'invertitore di riferimento, dovremo scegliere le W di tutti i PMOS della porta complessa pari a: $3 \times 2.5W_o = 7.5W_o$.

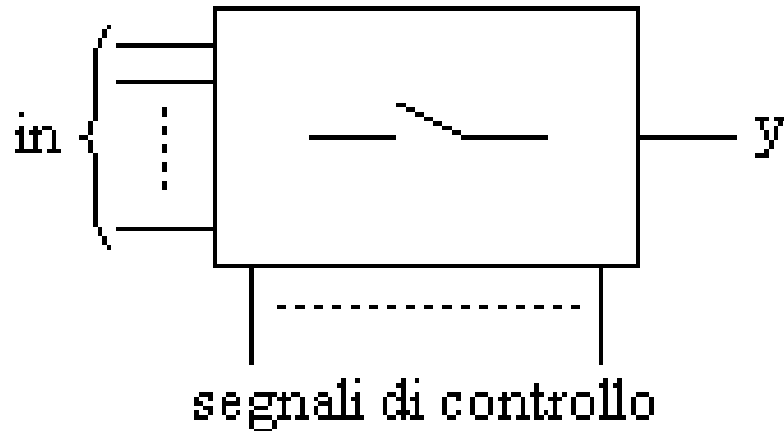
Dimensionamento



Circuiti con porte di trasmissione

Logiche a porte di trasmissione

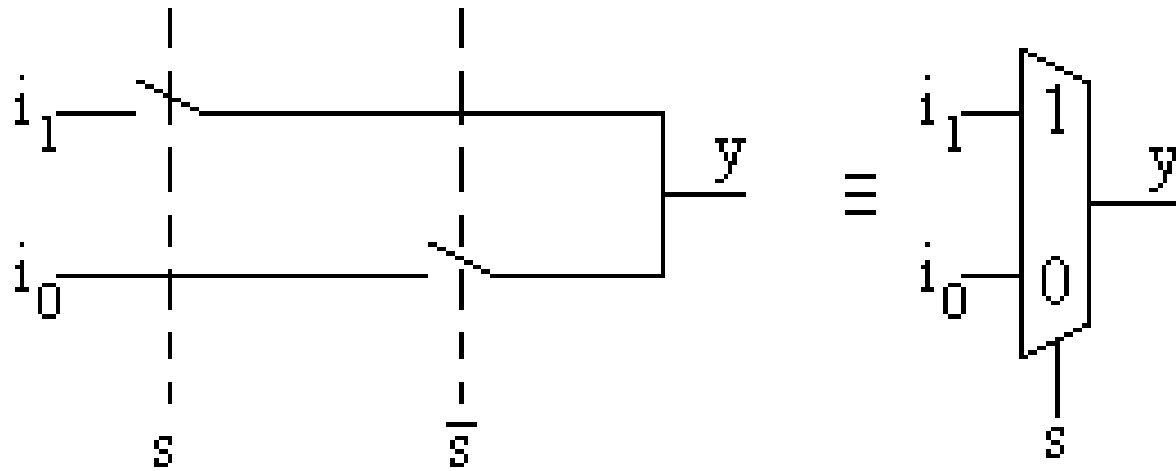
Alcune funzioni logiche possono essere realizzate molto efficacemente utilizzando degli interruttori controllati posti in serie fra i segnali di ingresso e quelli di uscita, secondo questo schema di principio:



Si parla in questo caso di **logiche a porte di trasmissione**

Logiche a porte di trasmissione

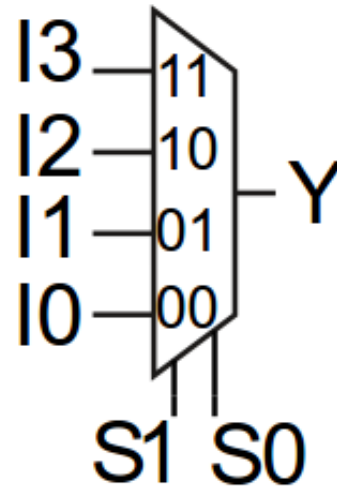
Esempio: funzione di multiplexing



A seconda del valore di S si smista in uscita il segnale i_1 oppure il segnale i_0 .

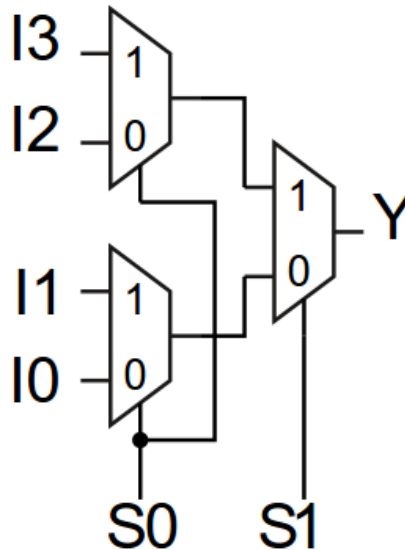
Multiplexer

L'operazione di multiplexing può essere estesa al caso di più ingressi. Esempio: un multiplexer 4→1 è in grado di inviare sull'uscita uno dei suoi 4 ingressi $I_0 \dots I_3$, in base a due segnali di selezione S_1 ed S_0



Multiplexer

Un multiplexer 4→1 può essere realizzato collegando in una struttura "ad albero" più multiplexer 2→1; questa tecnica può essere facilmente estesa per realizzare multiplexer con numero maggiore di ingressi.

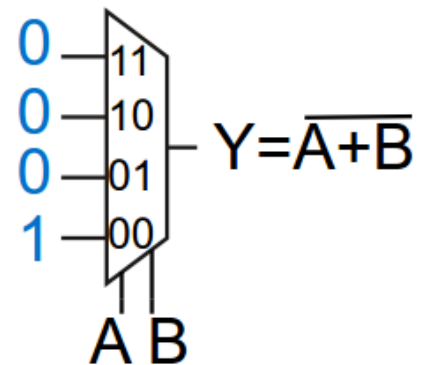
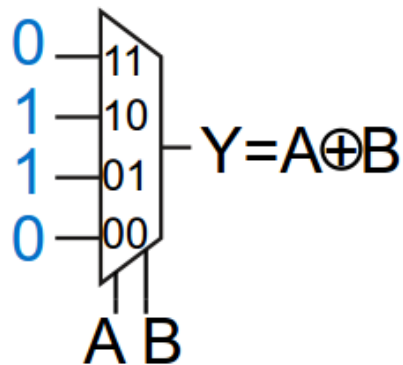
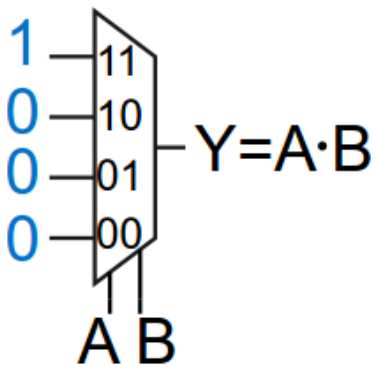


Multiplexer

Un multiplexer è un blocco logico universale, in quanto è possibile realizzare una qualsiasi funzione booleana con dei multiplexer. Ad esempio, con un multiplexer $4 \rightarrow 1$ si può realizzare una qualsiasi funzione logica di due segnali booleani A e B collegando A e B agli ingressi di selezione e scegliendo opportunamente i valori '0' o '1' da assegnare agli altri ingressi $I_0 \dots I_3$

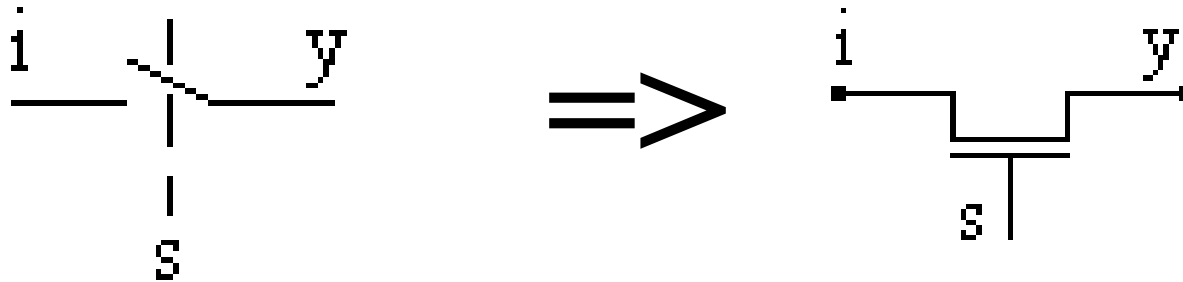
Multiplexer

Un multiplexer è un blocco logico universale



Realizzazione dell'interruttore

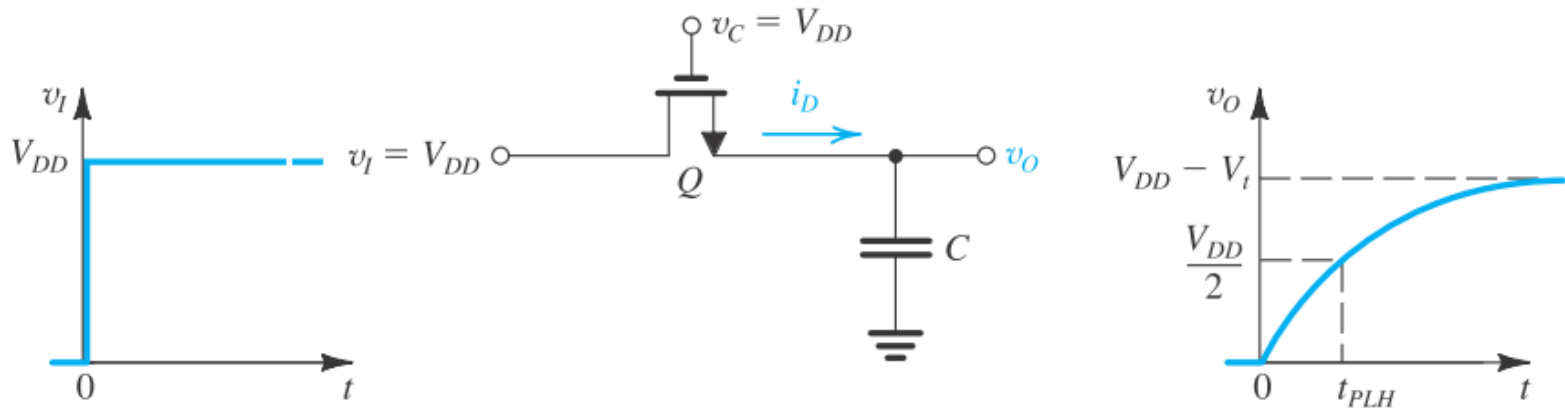
Il modo più semplice per realizzare l'interruttore utilizza un singolo dispositivo NMOS:



Questo approccio mostra tuttavia delle limitazioni.

Interruttore con singolo NMOS

Supponiamo di dover trasferire un livello logico alto dall'ingresso all'uscita (il segnale d'ingresso commuti da 0 ad 1, mentre il segnale di controllo è alto)



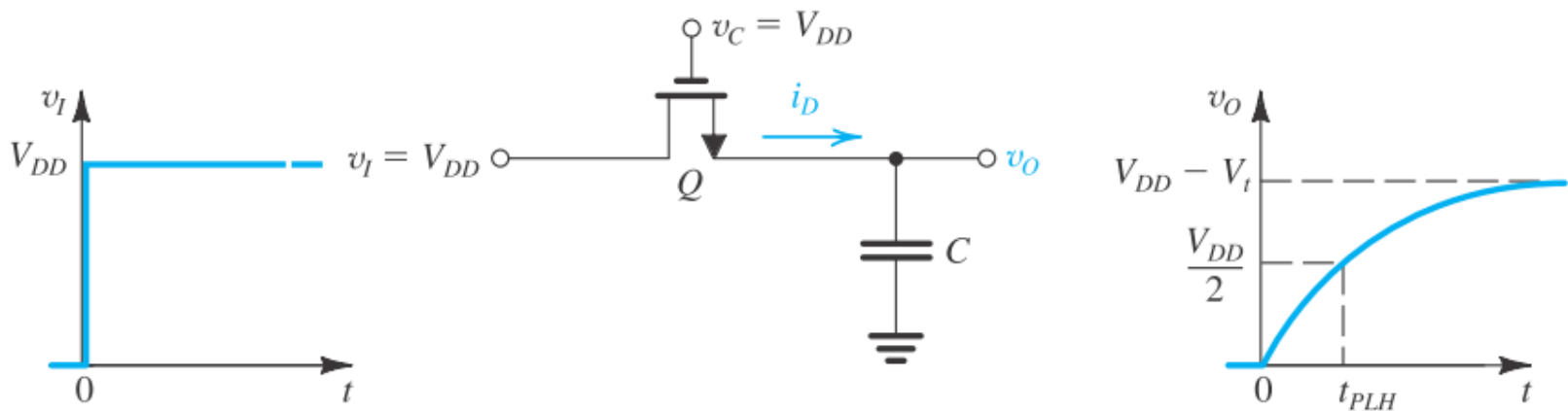
L'uscita inizialmente è 0 e comincia ad aumentare.

La tensione di controllo del MOS è: $V_{GS} = V_{DD} - V_O$

V_{GS} decresce all'aumentare di V_O

Interruttore con singolo NMOS

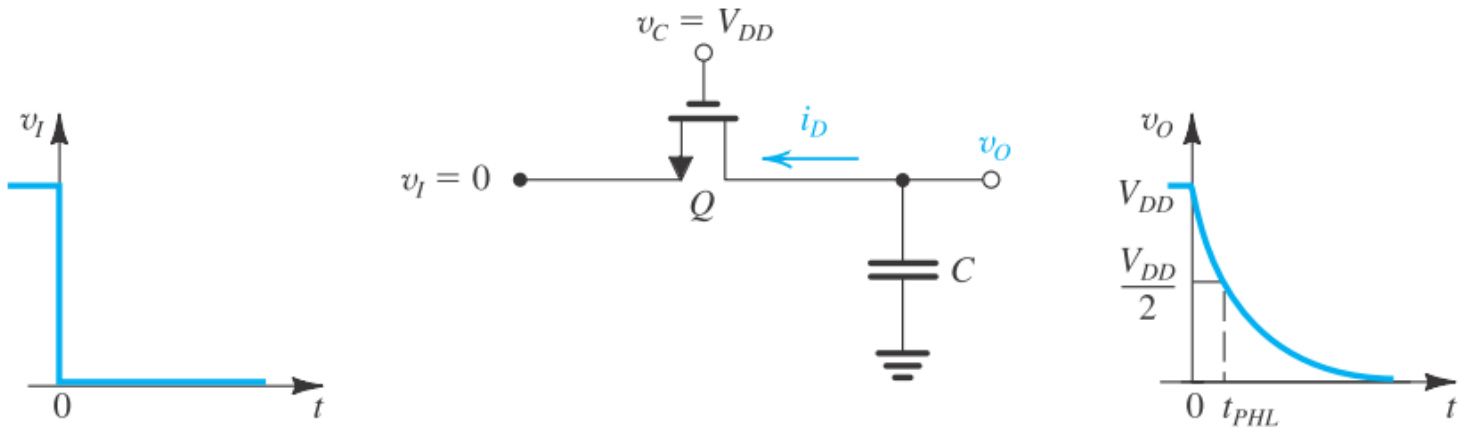
Per $V_{GS}=V_T$ il dispositivo si interdice: Questo accade quando:
 $V_{DD}-V_O=V_T$ ovvero: $V_O=V_{DD}-V_T$



La tensione di uscita non può raggiungere V_{DD}
(fenomeno di “perdita della soglia”)

Interruttore con singolo NMOS

Supponiamo di dover trasferire un livello logico basso dall'ingresso all'uscita (il segnale d'ingresso commuti da 1 ad 0, mentre il segnale di controllo è alto)



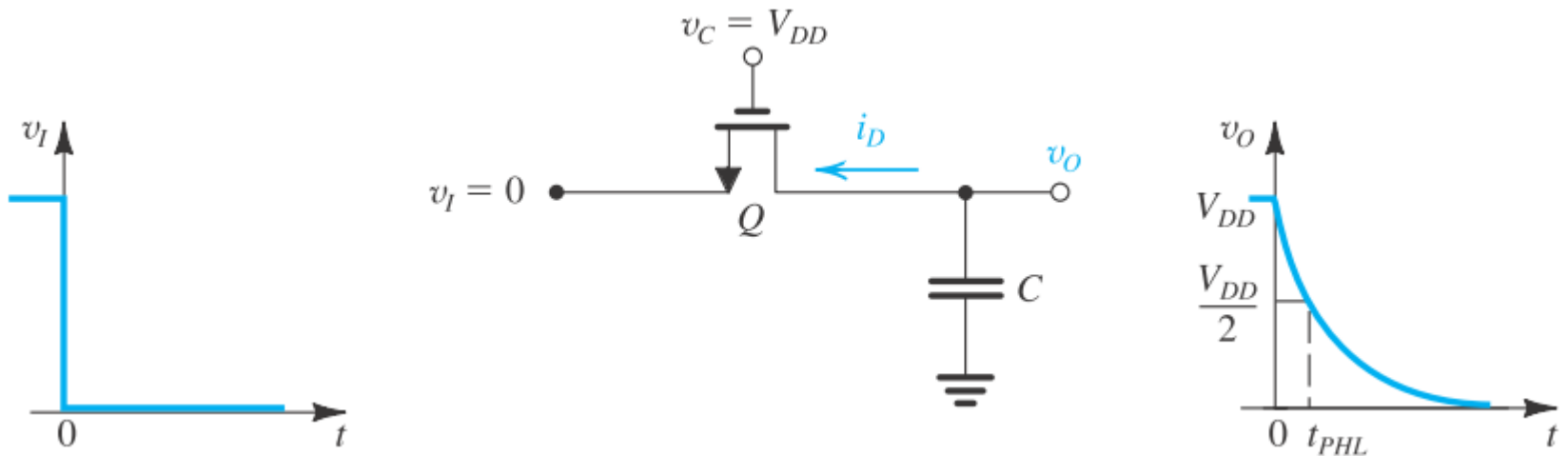
L'uscita inizialmente è 1 e comincia ad diminuire.

La tensione di controllo del MOS è: $V_{GS} = V_{DD} = \text{costante}$

(notare che il source è ora il terminale a sinistra nello schema)

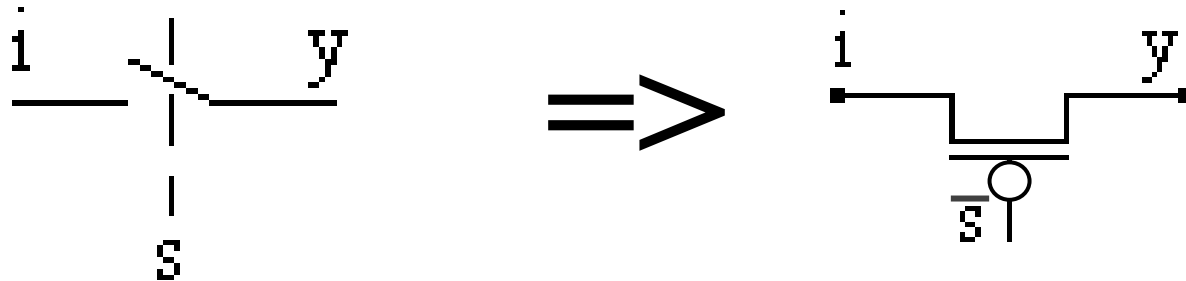
Interruttore con singolo NMOS

Il livello logico basso viene trasmesso correttamente



Realizzazione dell'interruttore

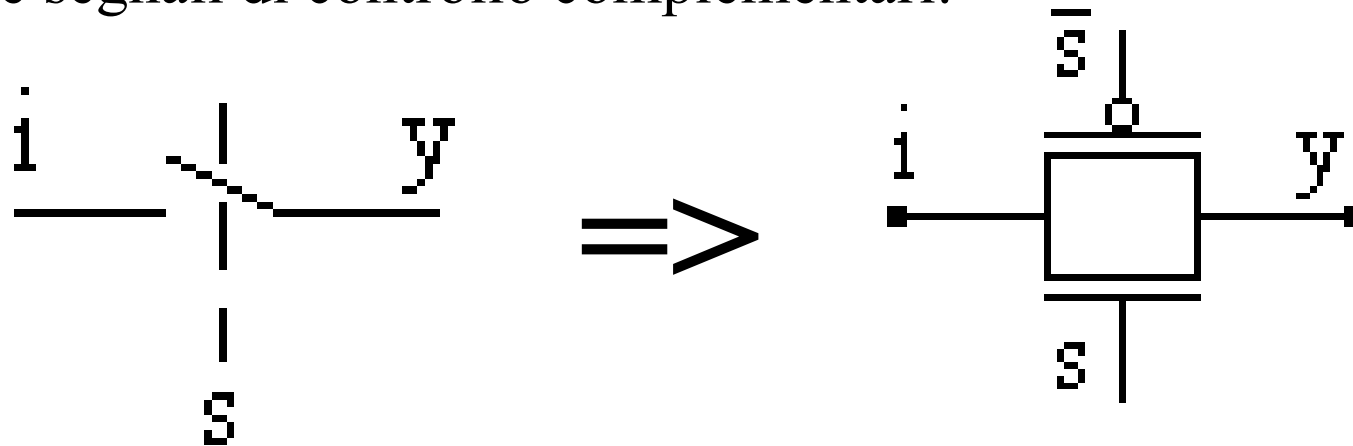
Proviamo ad utilizzare un singolo PMOS come interruttore serie (che sarà in conduzione quando il segnale di controllo è basso):



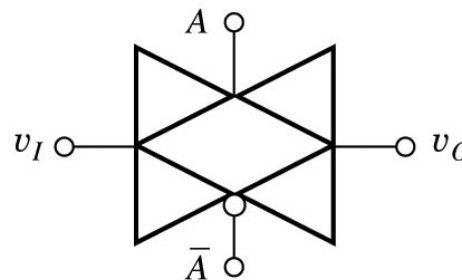
E' facile verificare che in questo caso si ha un problema opposto rispetto a quanto visto in precedenza: il livello logico alto viene trasferito correttamente, mentre si ha la perdita della soglia nel trasferire il livello logico basso.

Porta di trasmissione complementare

Utilizziamo un NMOS ed un PMOS in parallelo, comandati da due segnali di controllo complementari:

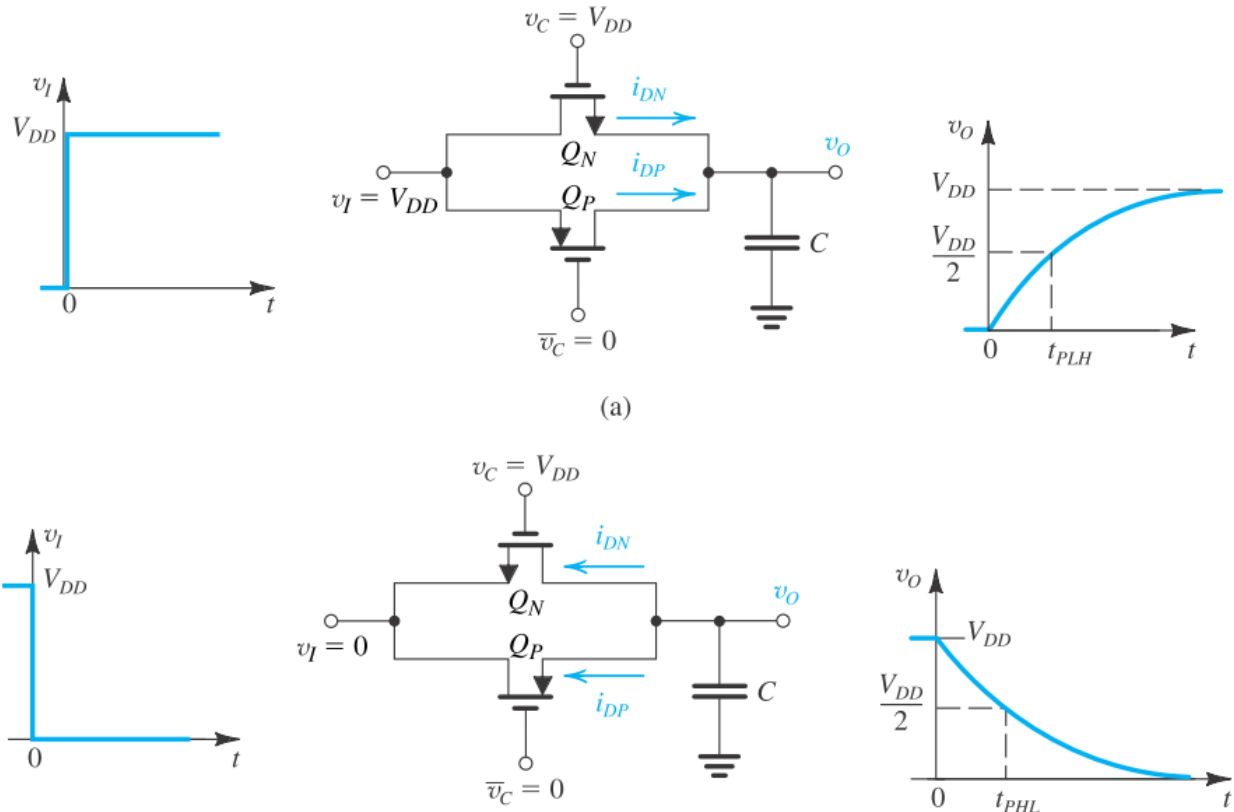


Si adotta talvolta un simbolo particolare per la porta di trasmissione complementare:



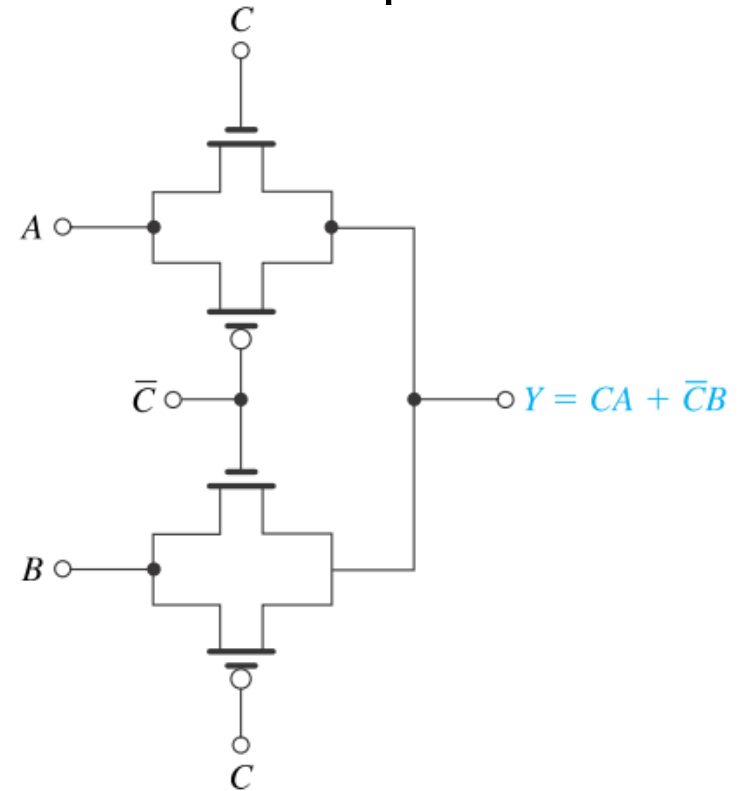
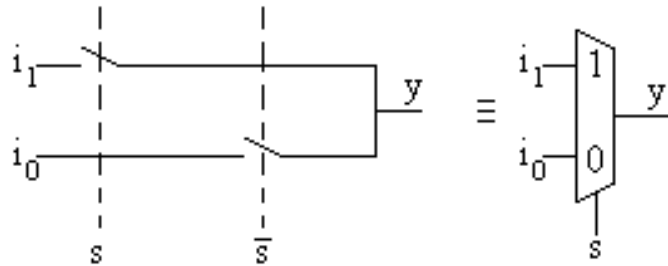
La porta di Trasmissione CMOS

Nel circuito i due dispositivi collaborano nel trasferire il segnale dall'ingresso all'uscita. Il PMOS è più efficace nel caso in cui il valore da trasferire sia alto, l'NMOS nel caso opposto.



Applicazioni

Multiplexer 2→1 con porte di trasmissione complementari:

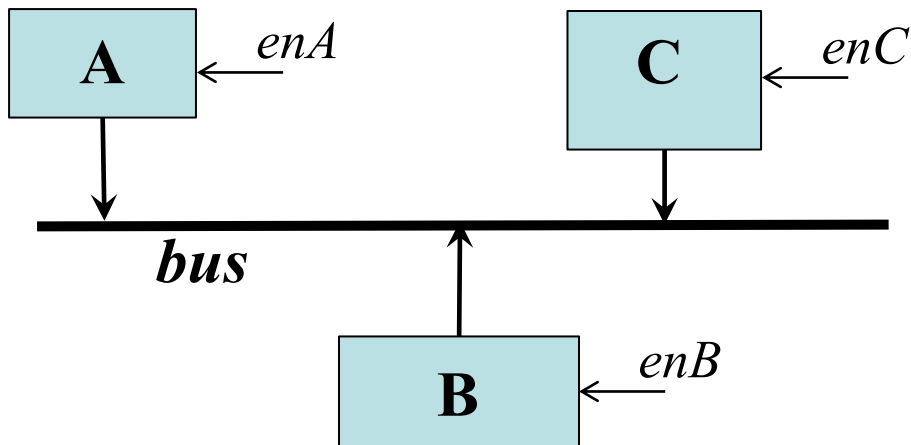


Porte tristate

Porte tristate

In molte applicazioni c'è la necessità di collegare le uscite di differenti blocchi logici su una linea condivisa (bus).

Di volta in volta, uno solo dei blocchi è abilitato a pilotare il bus; gli altri blocchi devono essere disabilitati per evitare conflitti sul bus.

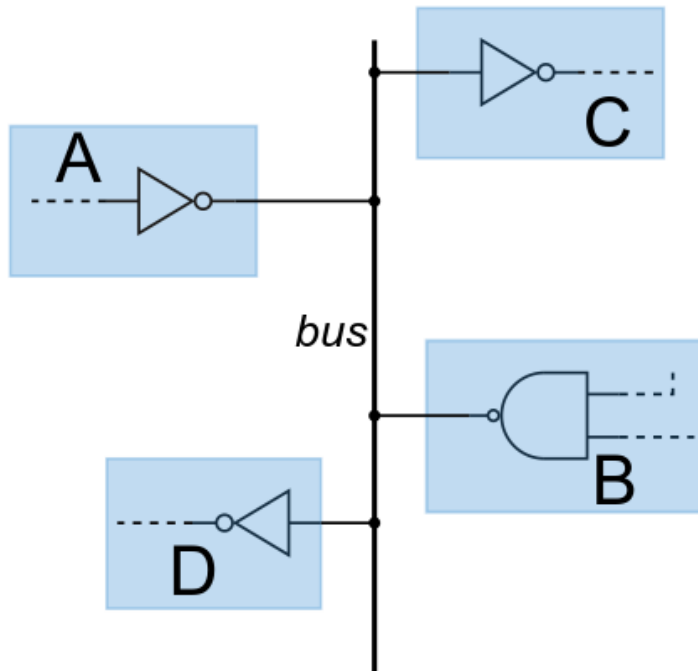


Ogni blocco deve essere dotato di un opportuno segnale di abilitazione (*enable*)

Uno solo dei tre segnali di enable può essere alto.

Porte tristate

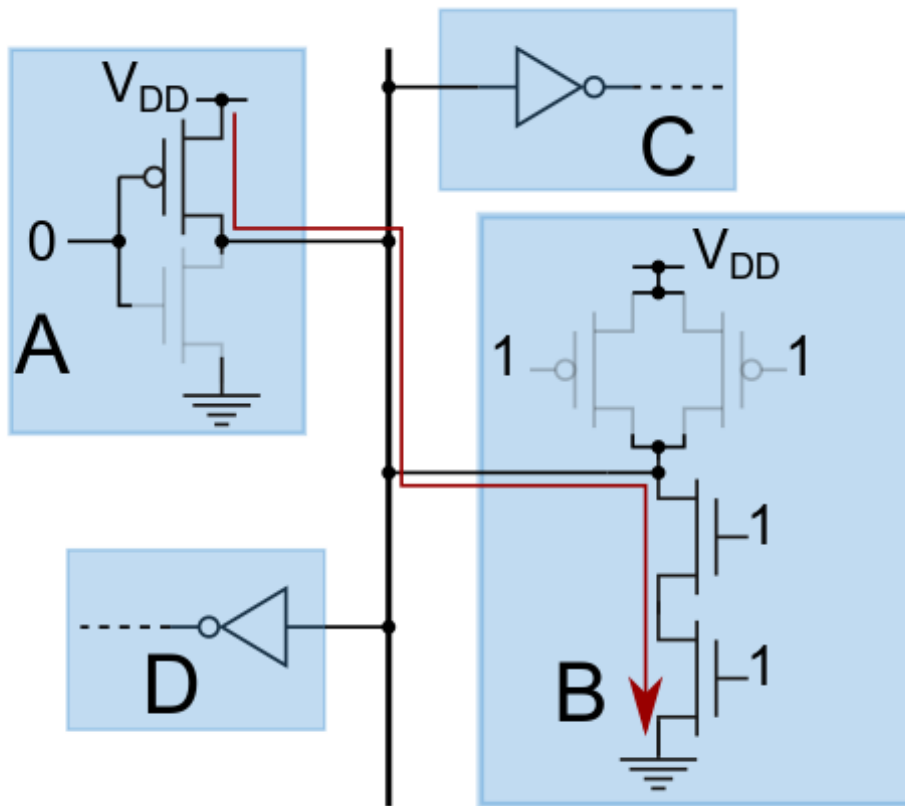
Cosa succederebbe se collegassimo delle porte senza abilitazione su un bus comune?



Supponiamo $A=1$, $B=0$

Porte tristate

Supponiamo $A=1$, $B=0$

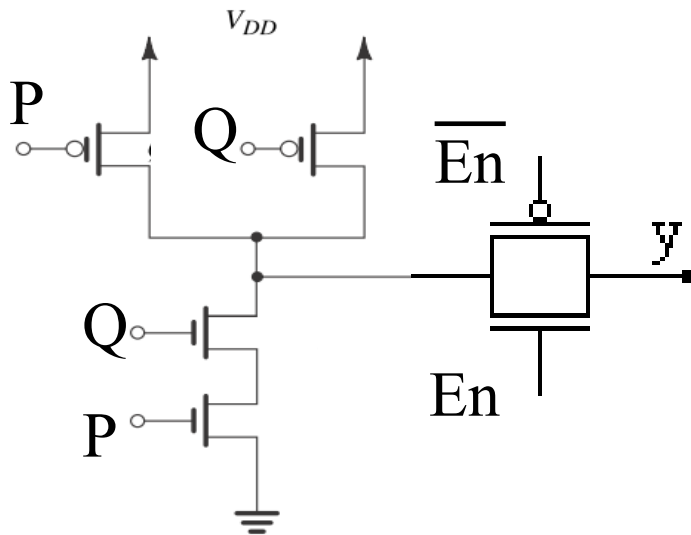


Sono contemporaneamente in conduzione la rete di pull-up dell'invertitore ed il pull-down della NAND.

1. Si ha un notevole passaggio di corrente in condizioni stazionarie.
2. **Il livello logico sul bus è indefinito.**

Porte tristate

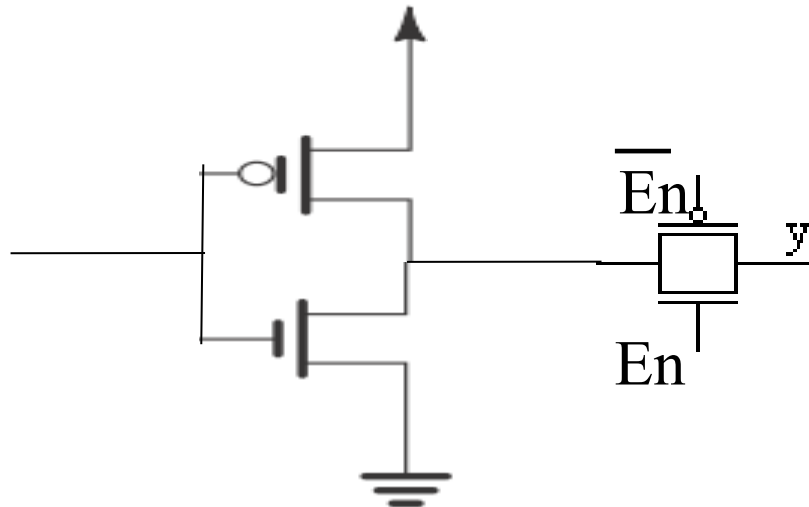
E' necessario introdurre un meccanismo che possa **disconnettere le uscite delle porte**, posizionandole in una condizione di **alta impedenza**



Poniamo in serie alla gate una porta di trasmissione.
Se En è basso, la porta di trasmissione è interdetta e l'uscita è in alta impedenza.
Se En è alto, la porta di trasmissione conduce e l'uscita è $y = \overline{P \cdot Q}$

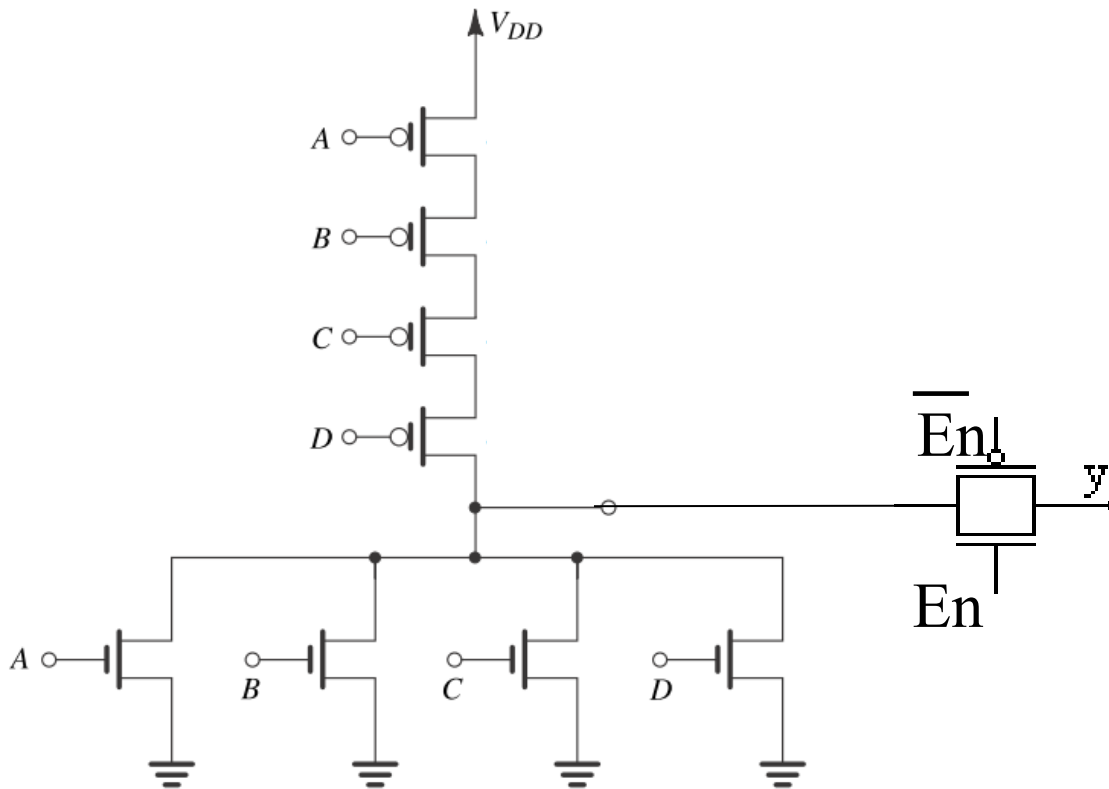
Porte tristate

Questa tecnica può ovviamente essere applicata ad una qualsiasi porta logica

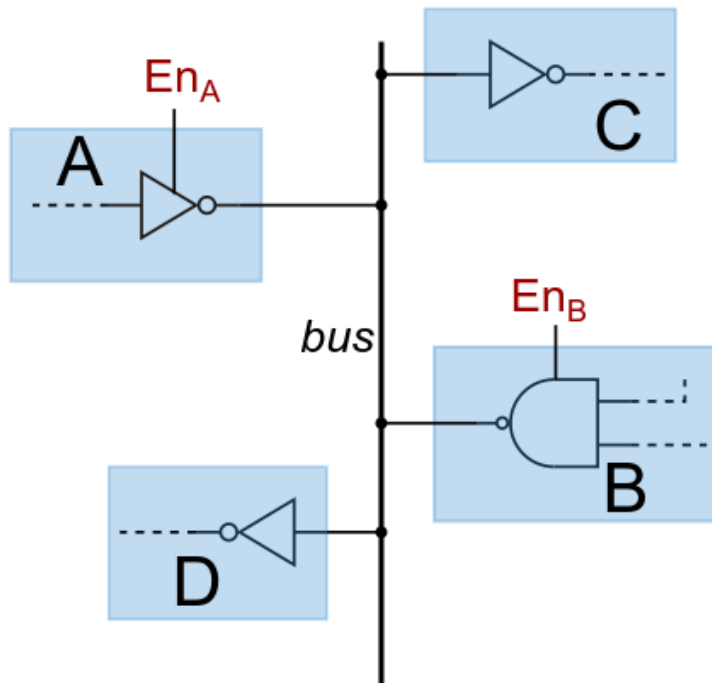


Porte tristate

Questa tecnica può ovviamente essere applicata ad una qualsiasi porta logica



Porte tristate



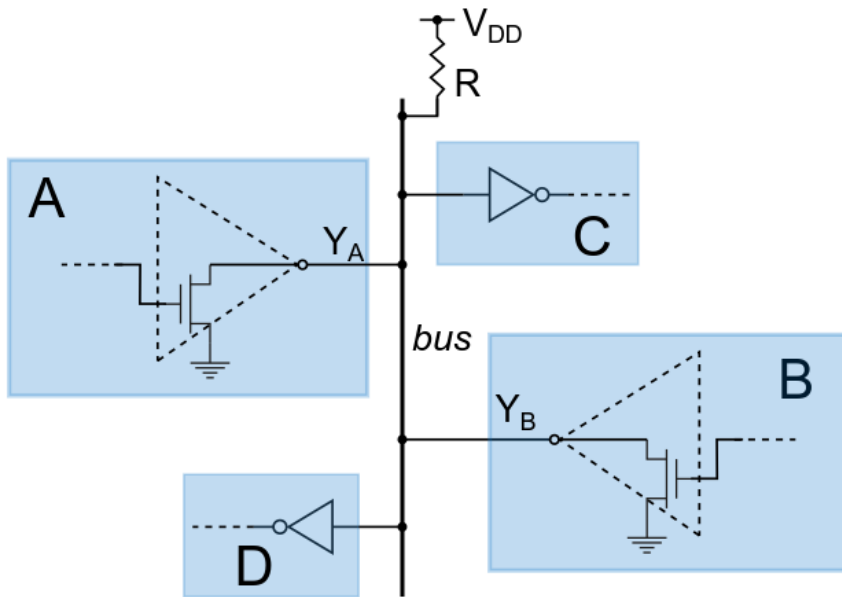
Ritornando all'esempio iniziale, dobbiamo dotare i blocchi A e B di un ingresso di abilitazione. Uno solo dei due segnali di abilitazione En_A ed En_B può essere alto.

Porte Open Drain (o Open Collector)

Le porte a "drain aperto" (open drain o anche open collector) rappresentano un'altra tecnica che può essere utilizzata quando devono essere collegati più dispositivi su un bus comune.

Nelle porte open drain **manca la rete di pull-up**, di conseguenza si rende necessario collegare al bus un opportuno resistore, collegato alla V_{DD} , che ha il compito di portare l'uscita ad 1.

Porte Open Drain (o Open Collector)



In figura i due dispositivi A e B pilotano il bus con un invertitore open drain. Il valore del bus è 0 se almeno uno dei due dispositivi porta al valore basso la propria uscita (negli altri casi il resistore di pull-up R mantiene il bus a livello 1). Indicando con Y_A e Y_B le uscite dei due invertitori open drain, è facile osservare che il valore del bus sarà: $Y_A Y_B$; il collegamento realizza pertanto la funzione AND delle uscite dei vari dispositivi (*logica cablata*).

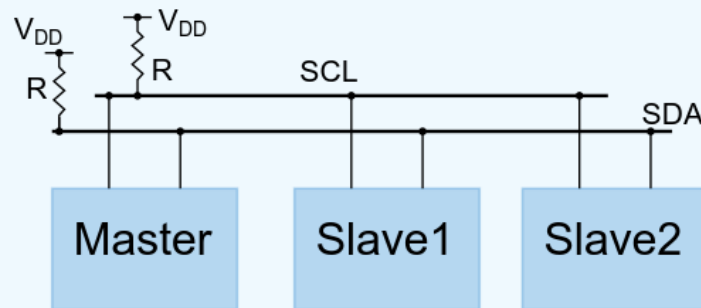
Porte Open Drain (o Open Collector)

L'utilizzo delle porte open drain evita per costruzione la possibilità di conflitti sul bus.

La presenza del resistore di pull-up comporta una aliquota di dissipazione di potenza statica ed il valore della resistenza influisce sul tempo necessario per portare il bus ad 1 (c'è un compromesso fra potenza dissipata e velocità).

Esempio: bus I²C

Il bus I^2C , utilizzato diffusamente in molti microcontrollori, rappresenta un esempio pratico di bus open drain. Il bus utilizza due linee seriali di comunicazione, una dedicata ai dati (SDA, Serial DAta) l'altra al segnale di clock che cadenza le varie operazioni (SCL, Serial CLock).



Uno dei dispositivi collegati al bus ne controlla il funzionamento; è questo il dispositivo detto *master* mentre gli altri sono detti *slave*. Il master controlla la linea SCL e trasmette a (o riceve da) uno slave i dati tramite la SDA. In alcuni casi anche uno slave può prendere il controllo della linea SCL mantenendola bassa, ad indicare che non è ancora pronto a trasmettere o ricevere dati; in questo caso (*clock stretching*) il master deve attendere che lo slave rilasci la linea prima di proseguire la comunicazione.

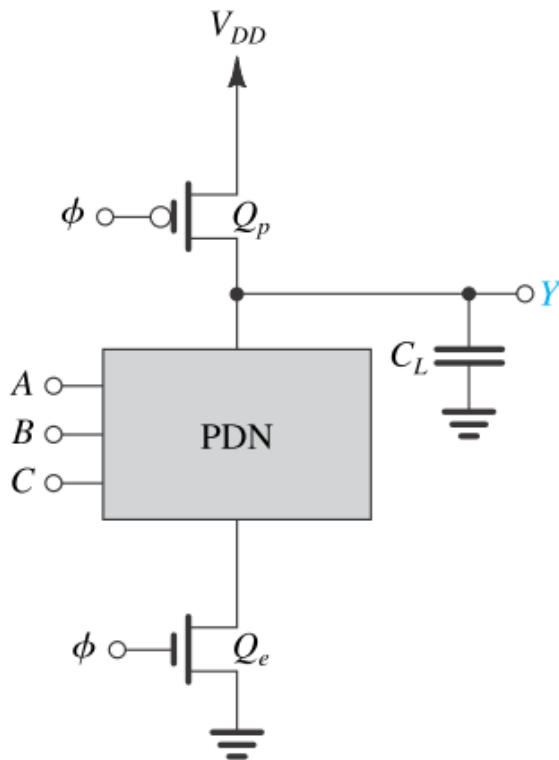
Circuiti dinamici

Circuiti logici dinamici

Cercano di mettere insieme i pregi delle logiche pseudo-NMOS e delle logiche CMOS:

	Numero di dispositivi per realizzare una funzione complessa	Dissip. di potenza	Livelli logici	Tempi di propagazione
Pseudo-NMOS	Ridotto	Elevata (potenza statica)	$V_{OL} > 0;$ $V_{OH} = V_{DD}$	Asimmetrici $t_{pLH} > t_{pHL}$
CMOS	Elevato	Ridotta (solo dinamica)	$V_{OL} = 0;$ $V_{OH} = V_{DD}$	Simmetrici $t_{pLH} = t_{pHL}$
Logiche dinamiche	Ridotto	Ridotta (solo dinamica)	$V_{OL} = 0;$ $V_{OH} = V_{DD}$	Asimmetrici

Circuiti logici dinamici

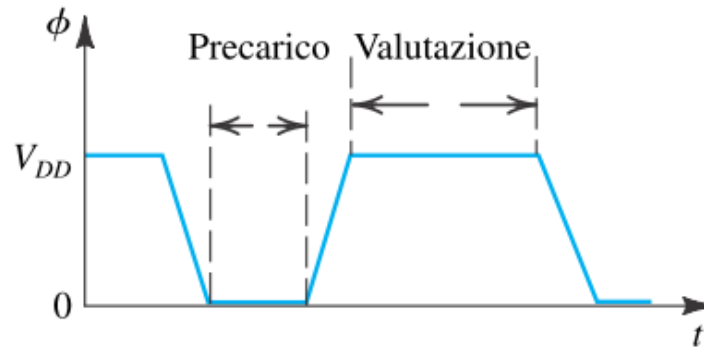
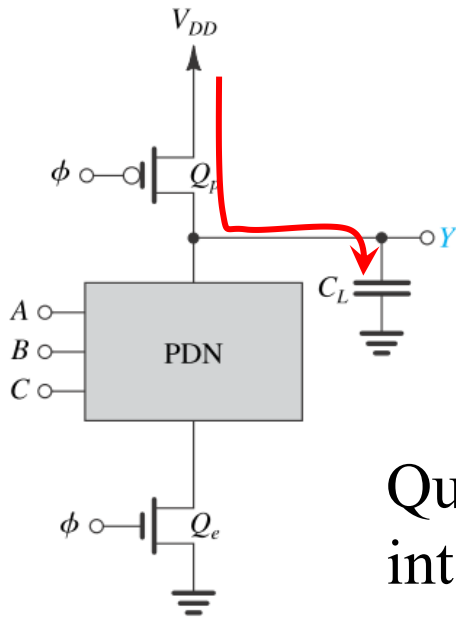


La funzione logica è realizzata tramite una rete di pull-down, costituita da dispositivi NMOS comandati dai segnali di ingresso. I due dispositivi Q_e e Q_p sono comandati da un segnale periodico detto segnale di fase o di clock.

La capacità C_L schematizza le capacità parassite all'uscita del circuito (non è un componente aggiuntivo!).

Da notare che le logiche dinamiche sfruttano la presenza di tale capacità.

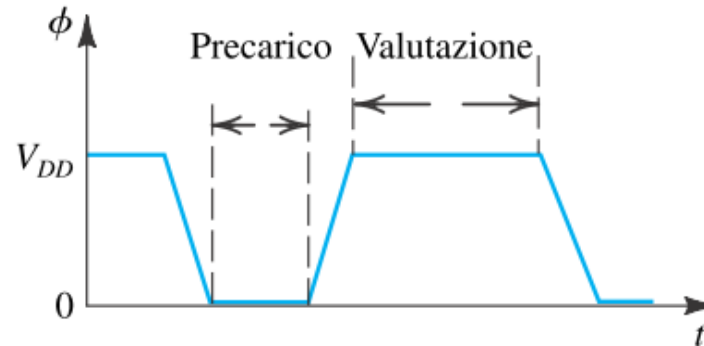
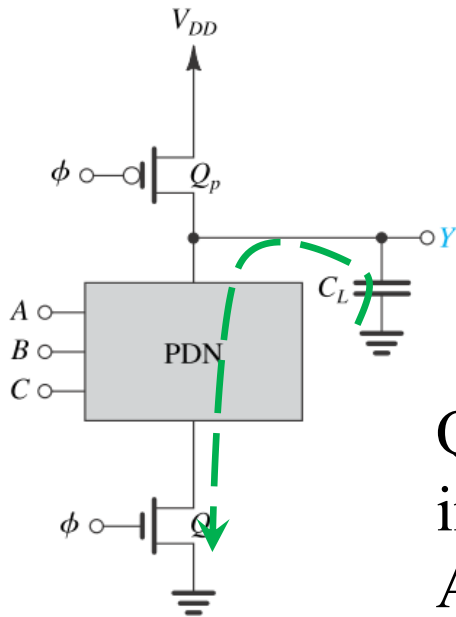
Circuiti logici dinamici



Quando $\phi=0$ siamo in fase di **precarica**: Q_e è interdetto mentre Q_p conduce caricando la capacità C_L .

In questa fase l'uscita è sempre alta ed i segnali d'ingresso sono ininfluenti.

Circuiti logici dinamici



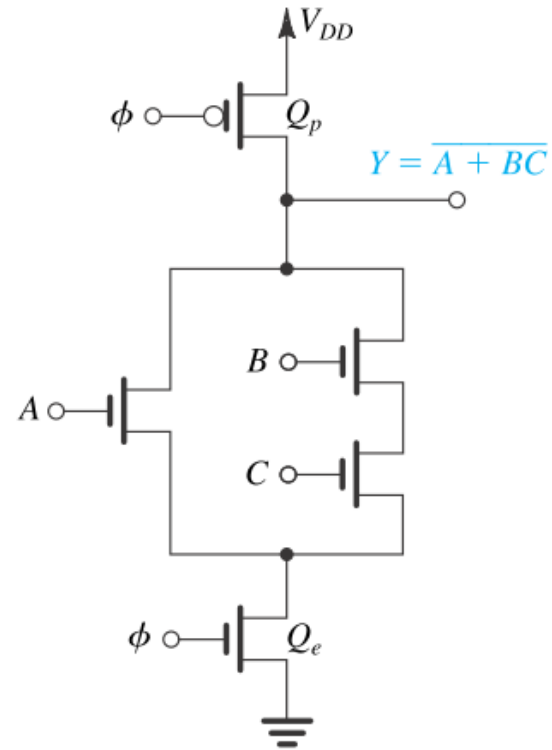
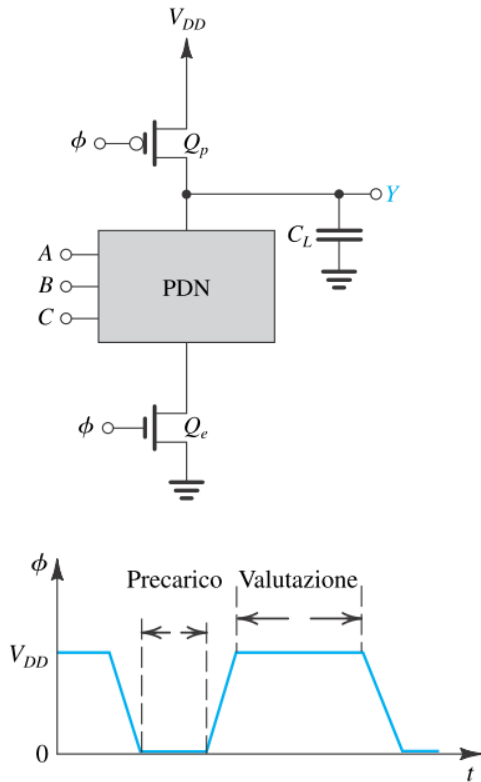
Quando $\phi=1$ siamo in fase di **valutazione**: Q_p è interdetto mentre Q_e conduce.

A seconda dei valori dei segnali di ingresso e della rete di pull-down la capacità C_L può scaricarsi oppure può rimanere carica.

Solo in questa fase l'uscita è funzione degli ingressi.

Circuiti logici dinamici

Esempio di circuito dinamico che realizza una funzione complessa



Circuiti logici dinamici

Problematiche dei circuiti dinamici:

- Necessità del segnale di clock.
- Le uscite sono significative solo in fase di valutazione (problema di temporizzazione).
- Quando in valutazione l'uscita è alta, la tensione di uscita è mantenuta a V_{DD} solo grazie alla carica immagazzinata in C_L . La presenza di correnti di perdita (leakage) può comportare un degrado della tensione di uscita: la fase di valutazione deve avere una durata limitata (qualche ms).