



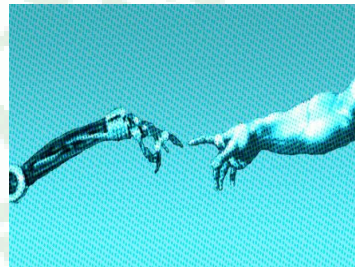
DIE
TI.

UNI
NA

VERSITA' DEGLI STUDI DI
POLI FEDERICO II

DIPARTIMENTO DI INGEGNERIA ELETTRICA
E DELLE TECNOLOGIE DELL'INFORMAZIONE

Sistemi di Acquisizione Dati



DIE
TI.

UNI
NA

Sistemi di acquisizione dati

Outline

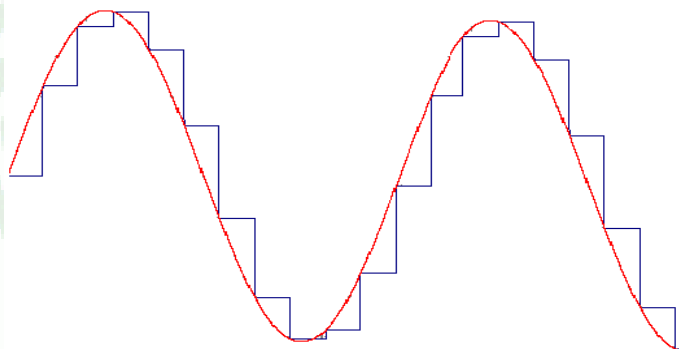
- **Circuito di Sample & Hold**
- **Principali Architetture dei sistemi di acquisizione dati**
- **Convertitori SAR**
- **Convertitori Flash**

Circuito di Sample & Hold

Nei sistemi finora analizzati abbiamo fatto sempre l'ipotesi che il segnale di ingresso si dovesse mantenere costante durante l'intero processo di misurazione.

Per garantire che ciò accada si può inserire un circuito detto di Sample & Hold. Tale circuito campiona (sample) il segnale in ingresso e mantiene costante il segnale fino al successivo istante di campionamento.

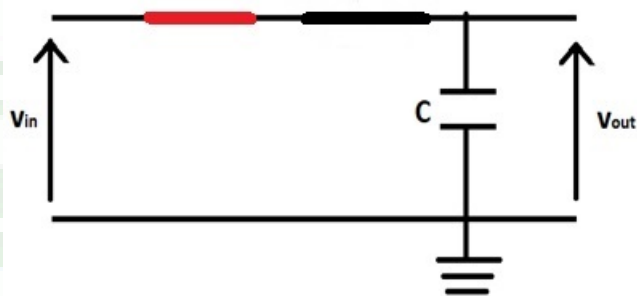
Se avessimo un S&H ideale, avremmo una situazione del genere:



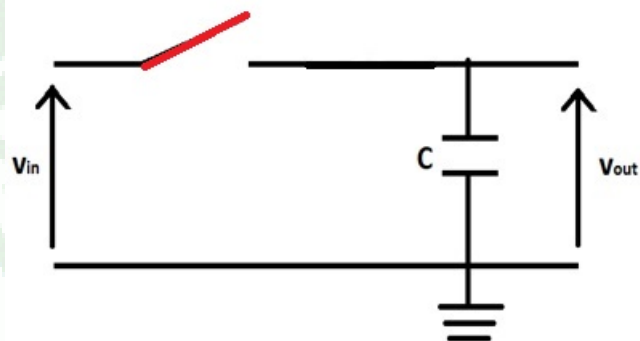
La grandezza in ingresso al circuito di S&H è una funzione analogica sinusoidale (in rosso) mentre la tensione in uscita al circuito S&H è ancora una funzione analogica ma caratterizzata da variazioni rapide (sono presenti fronti di salita e di discesa)

Circuito di Sample & Hold - Ideale

Idealmente potremmo vedere il S&H come un interruttore e un condensatore, con due stadi di funzionamento.



Fase di SAMPLE.
Interruttore chiuso.
Durata infinitesima
Il condensatore si carica istantaneamente
al valore della V_{in} .

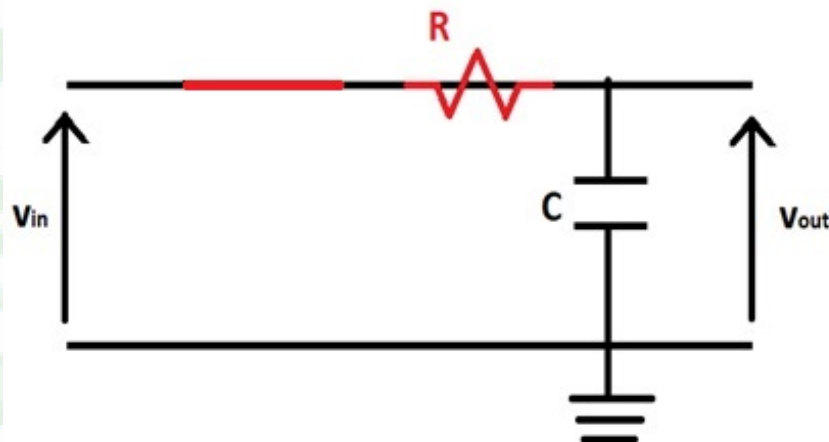


Fase di HOLD.
Interruttore aperto.
Il condensatore trasferisce la tensione cui
si è portato nella fase di sample all'uscita
 V_{out} .

Circuito di Sample & Hold - Reale

Un modello migliore prevede una piccola resistenza.

Pertanto avremo un circuito RC e il sistema si comporta come un filtro passa basso.



Nel passare dalla fase HOLD alla fase SAMPLE e viceversa l'interruttore non si chiude/apre mai istantaneamente ma c'è sempre un ritardo sia durante l'apertura che durante la chiusura.

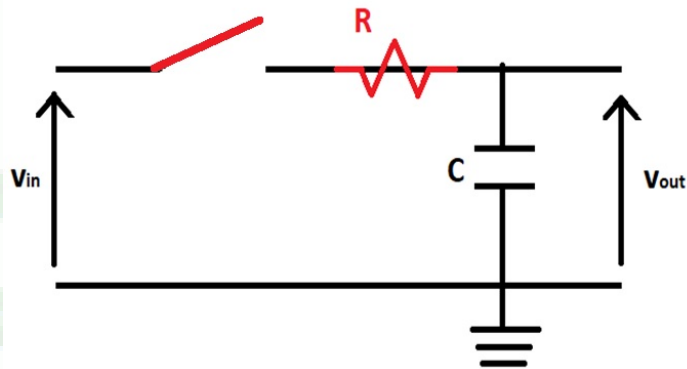
Il ritardo di chiusura consiste nell'intervallo di tempo che intercorre tra il comando di chiusura e la chiusura effettiva dell'interruttore.

Quando l'interruttore si chiude (**HOLD** → **SAMPLE**), si verifica il processo di carica del condensatore che determina un aumento della tensione ai suoi capi; questo processo termina quando la tensione ai capi del condensatore assume il valore da campionare, cioè il valore del segnale in ingresso (sample).

Pertanto dovremo attendere un tempo di salita pari a quello del transitorio del condensatore che deve caricarsi e un tempo di assestamento.

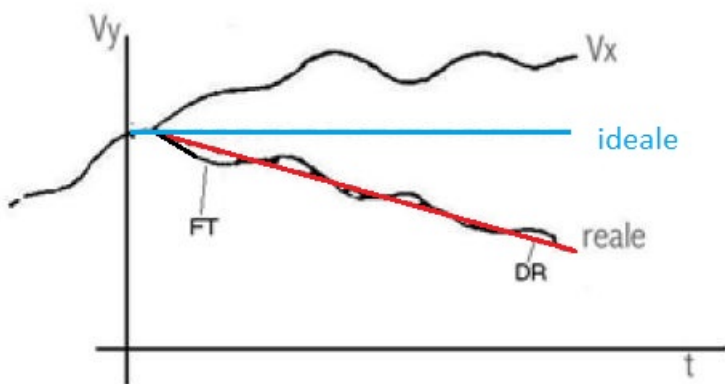
Durante la fase di sample il circuito si comporta da inseguitore cioè $v_{out} = v_{in}$.

Circuito di Sample & Hold - Reale



La transizione inversa **SAMPLE** → **HOLD** consiste nell'apertura dell'interruttore. Questa transizione rappresenta il vero e proprio campionamento.

Anche in questo caso c'è un ritardo di apertura ma meno influente di quello di chiusura.



Il progettista deve inoltre garantire che il condensatore mantenga il valore di tensione da convertire.

Infatti nel caso reale possono verificarsi due fenomeni di **non-idealità**:

Droop: A causa di correnti parassite di dispersione il valore di tensione mantenuto va a diminuire.

Feed-Through: Nella transizione **S-H** possono verificarsi delle oscillazioni.

Circuito di Sample & Hold - Reale



CMOS Quad Sample-and-Hold Amplifier

SMP04

FEATURES

Four Independent Sample-and-Holds

Internal Hold Capacitors

High Accuracy: 12 Bit

Very Low Droop Rate: 2 mV/s typ

Output Buffers Stable for $C_L \leq 500$ pF

TTL/CMOS Compatible Logic Inputs

Single or Dual Supply Applications

Monolithic Low Power CMOS Design

APPLICATIONS

Signal Processing Systems

Multichannel Data Acquisition Systems

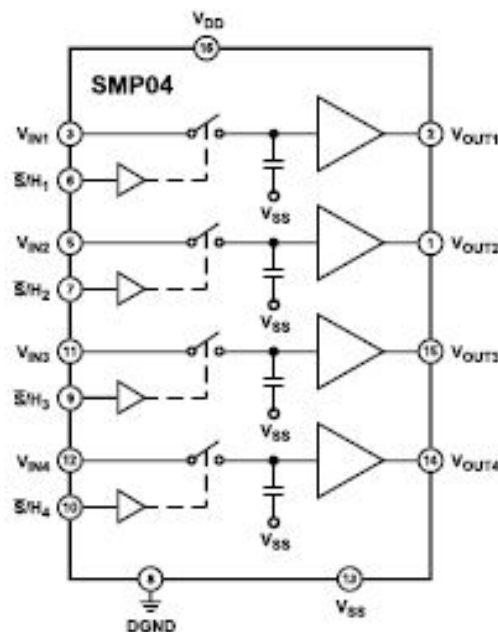
Automatic Test Equipment

Medical and Analytical Instrumentation

Event Analysis

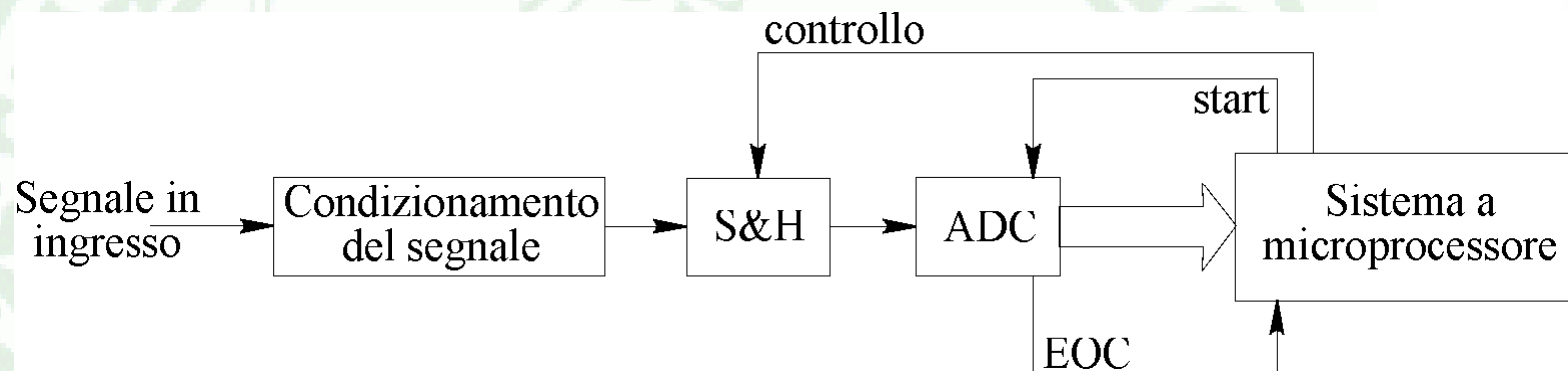
DAC Deglitching

FUNCTIONAL BLOCK DIAGRAM



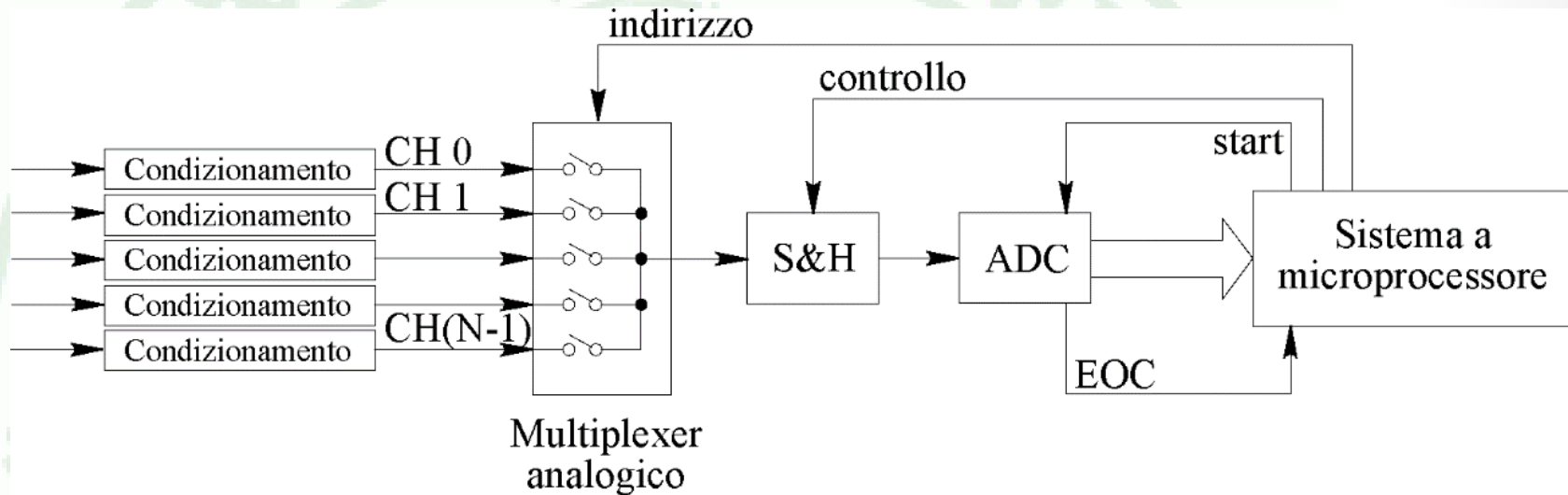
Principali Architetture dei Sistemi Acquisizione Dati

Data Acquisition (DAQ) Systems



Principali Architetture dei Sistemi Acquisizione Dati

Data Acquisition (DAQ) Systems



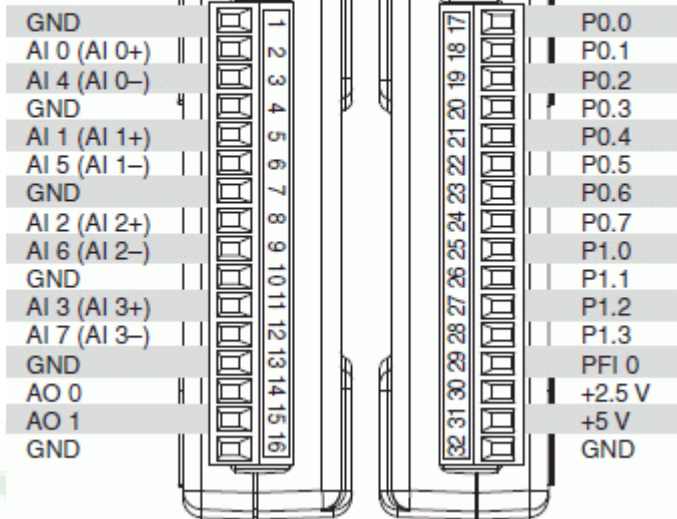
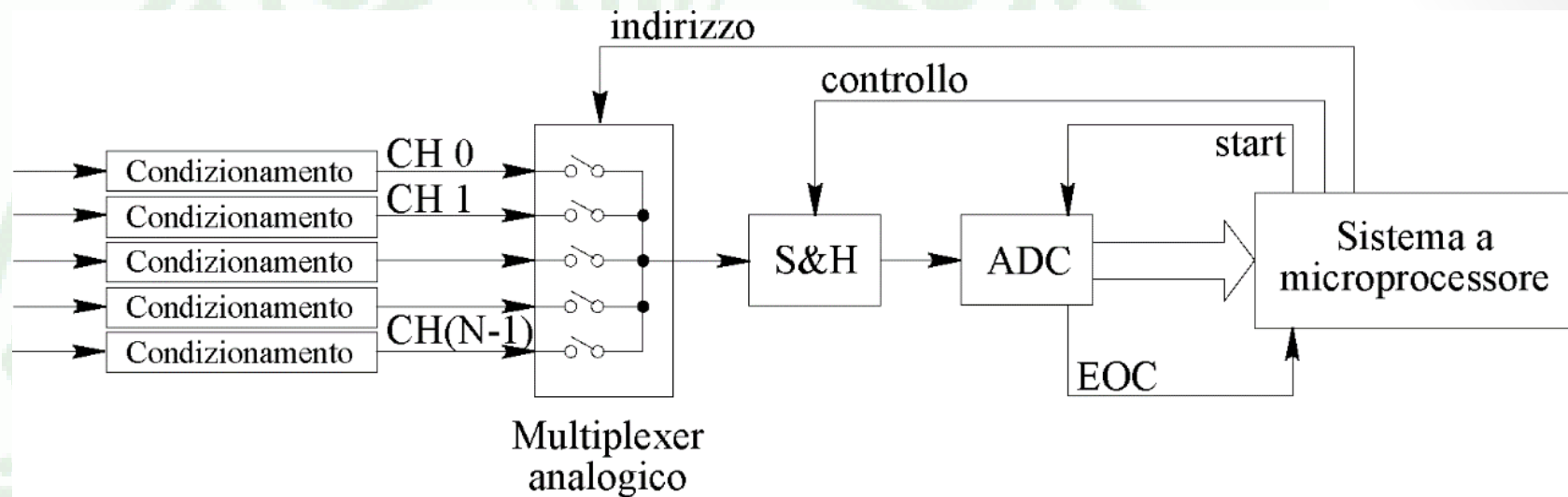
La problematica maggiore è legata al fatto che il campionamento non avviene simultaneamente!

E' presente un ritardo tra i vari canali (**Interchannel Delay**) che provoca uno sfasamento «fittizio».

E' una architettura ampiamente diffusa nelle schede di acquisizione dati economiche.

Principali Architetture dei Sistemi Acquisizione Dati

Data Acquisition (DAQ) Systems

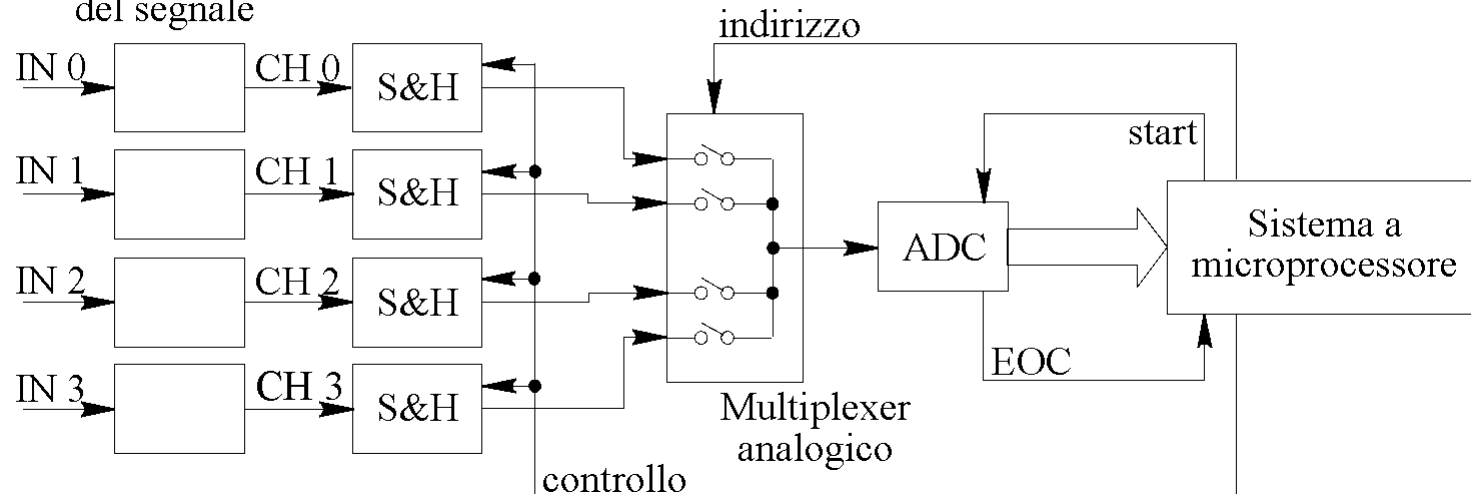


National Instruments USB 6009
8 Canali ma un unico S&H ed
un unico ADC!

Principali Architetture dei Sistemi Acquisizione Dati

Data Acquisition (DAQ) Systems

Condizionamento
del segnale

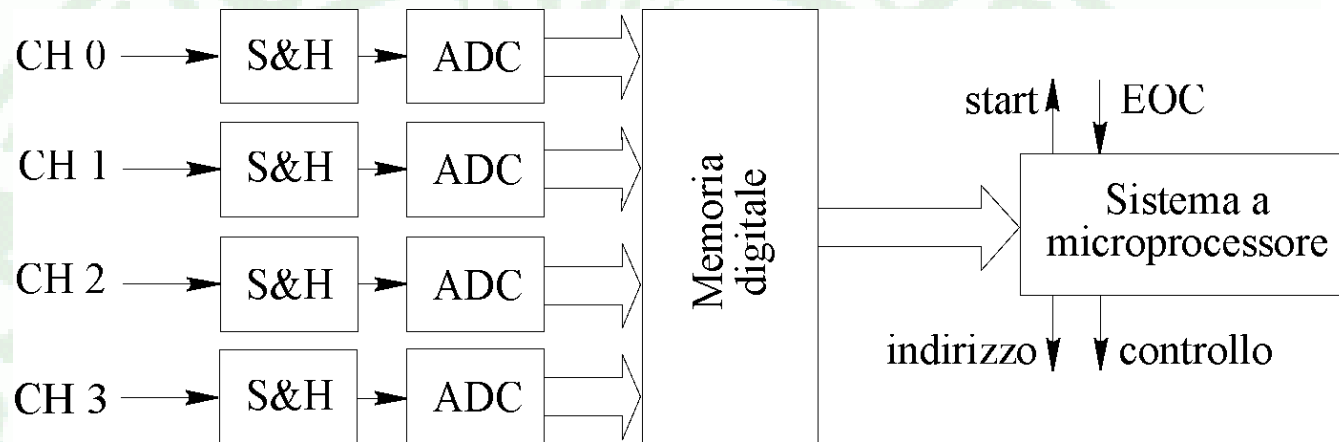


Con questa architettura più complessa, che prevede tanti circuiti di Sample & Hold per quanto sono i canali d'ingresso si riesce a gestire il problema dell'Interchannel Delay.

Il Campionamento avviene simultaneamente sui vari canali e solo il processo di conversione avviene in tempi differenti.

Principali Architetture dei Sistemi Acquisizione Dati

Data Acquisition (DAQ) Systems



L'architettura hardware più completa:
la replica di tutti gli stadi di conversione AD per
ogni singolo canale d'ingresso



National Instruments USB 9215

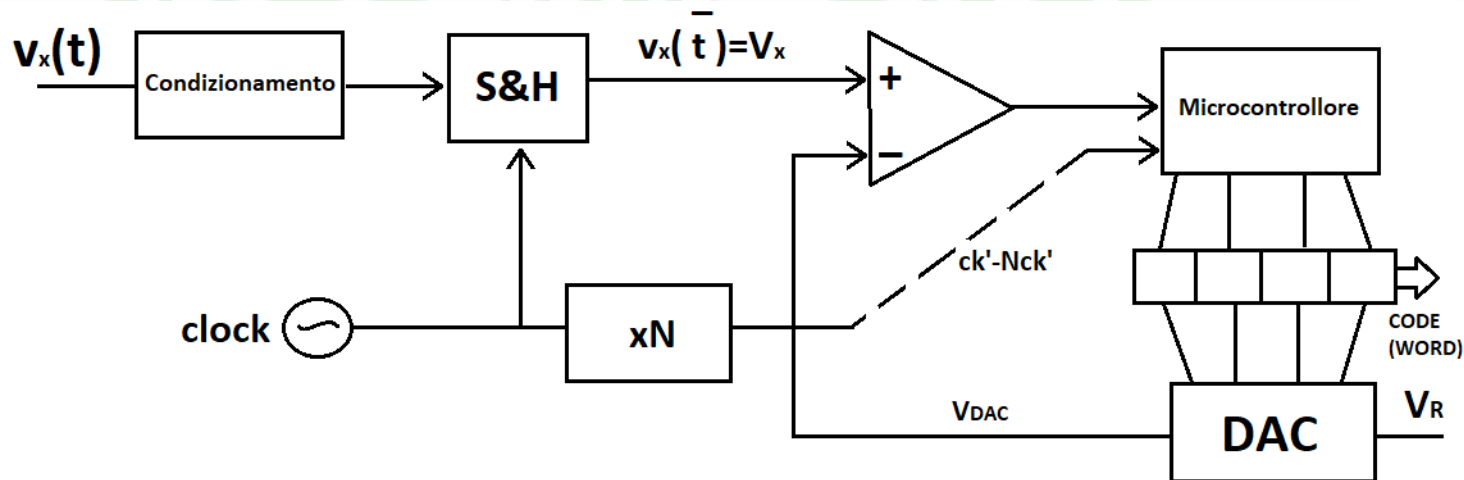
Descrizione

Servizi

Risorse

NI USB-9215 include quattro canali di ingressi di tensione con campionamento simultaneo con accuratezza a 16-bit per fornire minimo ritardo di fase tra i canali. Il software incluso contiene un'applicazione per la registrazione dei dati pronta all'uso in grado di acquisire e salvare fino a quattro canali di dati analogici. È possibile utilizzare il software driver incluso NI-DAQmx Base per lo sviluppo di applicazioni personalizzate per l'acquisizione di dati con NI LabVIEW oppure con ambienti di sviluppo basati su C.

Successive Approximation Register Analog to Digital Converter

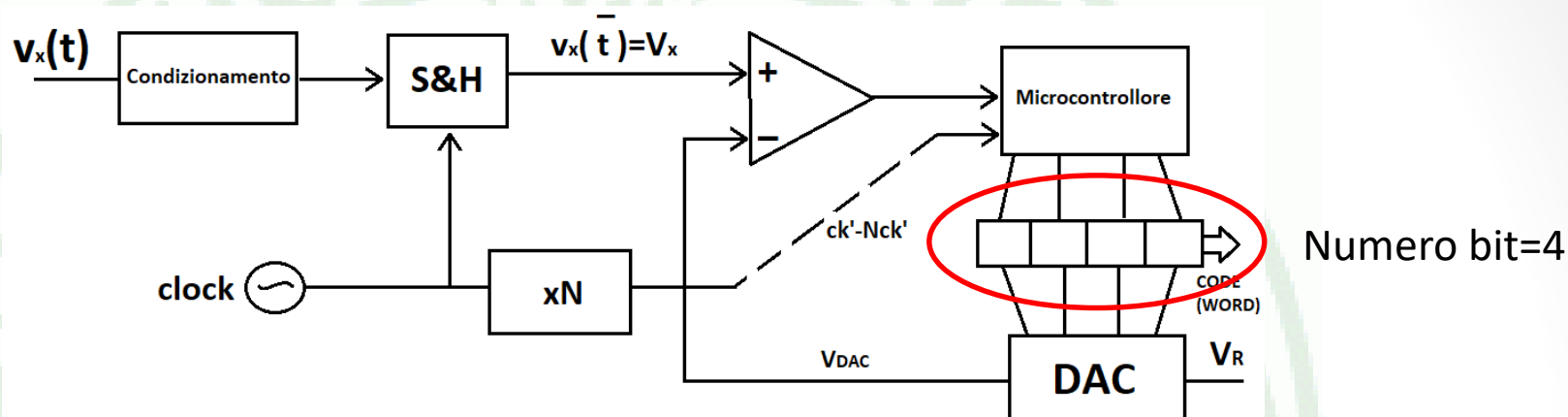


La tensione $v_x(t)$ è posta in ingresso ad un blocco di condizionamento il quale a seconda dei valori assunti da $v_x(t)$ può essere un amplificatore o un attenuatore.

L'uscita del blocco di condizionamento è posta in ingresso ad un blocco SAMPLE&HOLD il quale è attivato mediante un segnale di temporizzazione (ad ogni colpo del clock si verifica la transizione sample→hold) e fornirà a sua volta in uscita il valore della tensione d'ingresso nell'istante di tempo $\bar{t}$ in cui è avvenuto il campionamento: $v_x(\bar{t})$.

Il periodo del clock è pari alla durata della fase di hold.

Successive Approximation Register Analog to Digital Converter



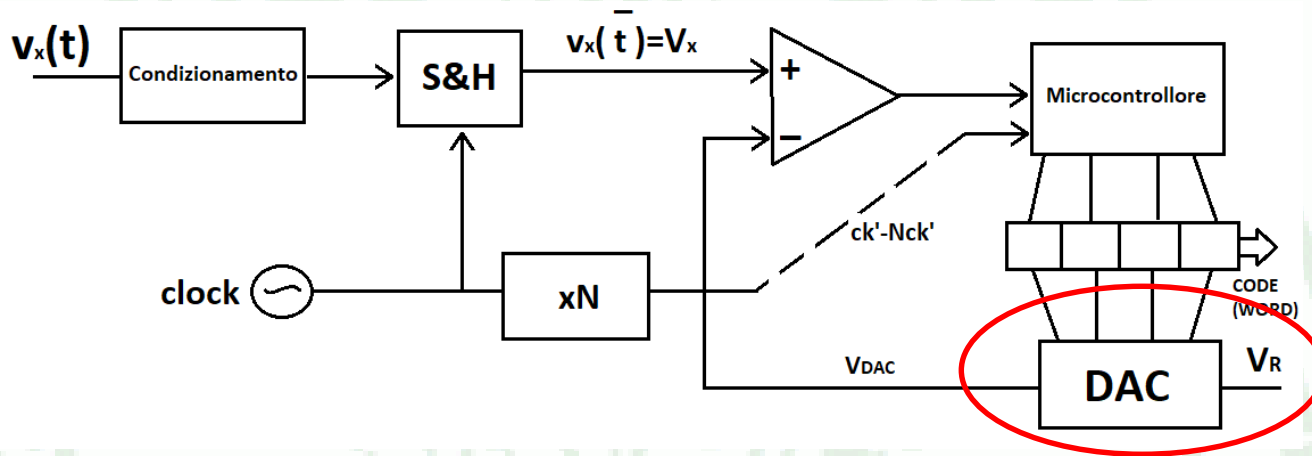
Il valore $v_x(\bar{t})$ è poi posto in ingresso ad un comparatore la cui uscita è a sua volta posta in ingresso ad un microcontrollore, il quale definisce la logica di controllo del sistema che configura il registro binario SAR.

Se abbiamo ad esempio un registro SAR a 4 bit, è possibile ottenere in uscita $2^4 = 16$ configurazioni

Il registro binario SAR contiene le parole codice (word) le quali sono sia riprodotte in uscita sia date in ingresso ad un sistema DAC (Digital to Analog Converter).

Pertanto potremo ottenere in uscita $2^4 = 16$ configurazioni, cioè la tensione V_{DAC} può assumere 16 diversi valori.

Successive Approximation Register Analog to Digital Converter



Numero bit=4

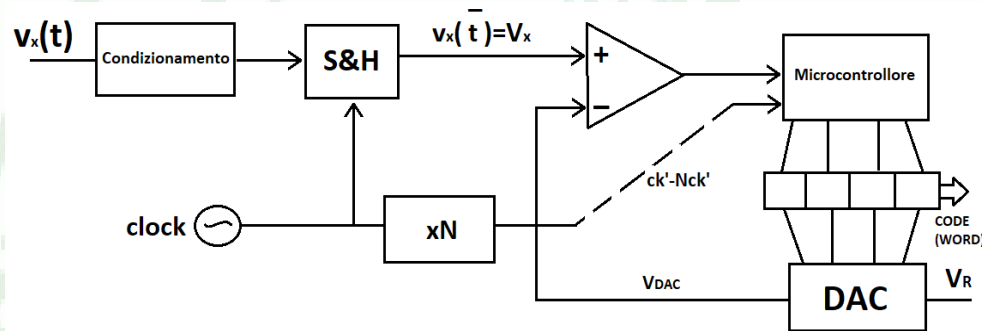
Il sistema DAC riceve in ingresso una sequenza di bit e restituisce in uscita una tensione analogica.

Il blocco DAC presenta in ingresso la tensione di alimentazione continua V_R e produce in uscita una tensione V_{DAC} la quale è una frazione della tensione di riferimento V_R ottenibile mediante la seguente relazione:

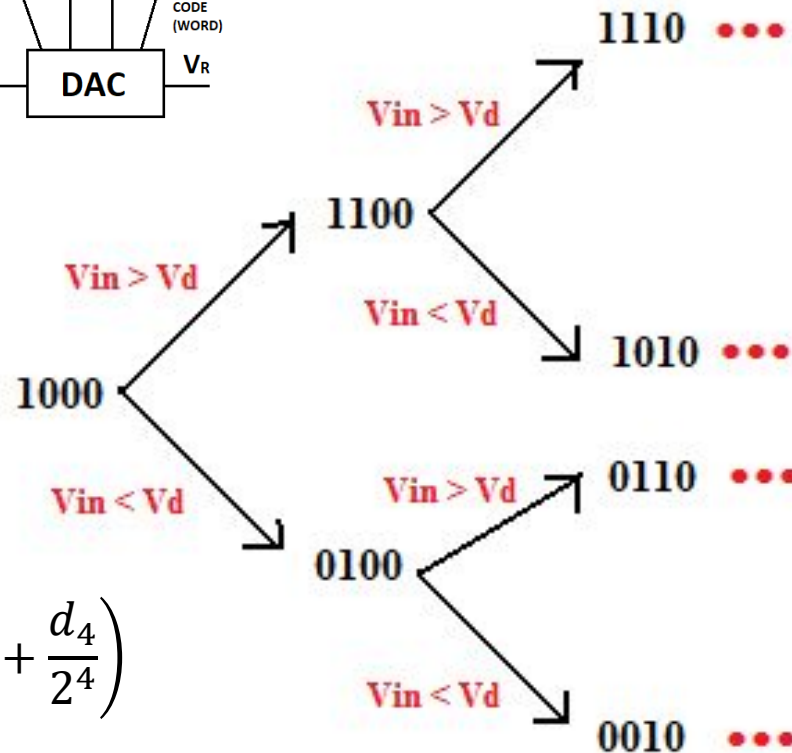
$$V_{DAC} = V_R \sum_{i=0}^N \frac{d_i}{2^i}$$

Dove d_i è il parametro binario che assume valore 1 o 0.

Successive Approximation Register Analog to Digital Converter



$$V_{DAC} = V_R \sum_{i=0}^N \frac{d_i}{2^i} = V_R \left(\frac{d_1}{2^1} + \frac{d_2}{2^2} + \frac{d_3}{2^3} + \frac{d_4}{2^4} \right)$$



Successive Approximation Register Analog to Digital Converter

La velocità di conversione del convertitore SAR è costante ed uguale al tempo richiesto per l'esecuzione degli N confronti (con N si indicano i bit del SAR) ciascuno eseguito ad ogni periodo di clock T_c quindi:

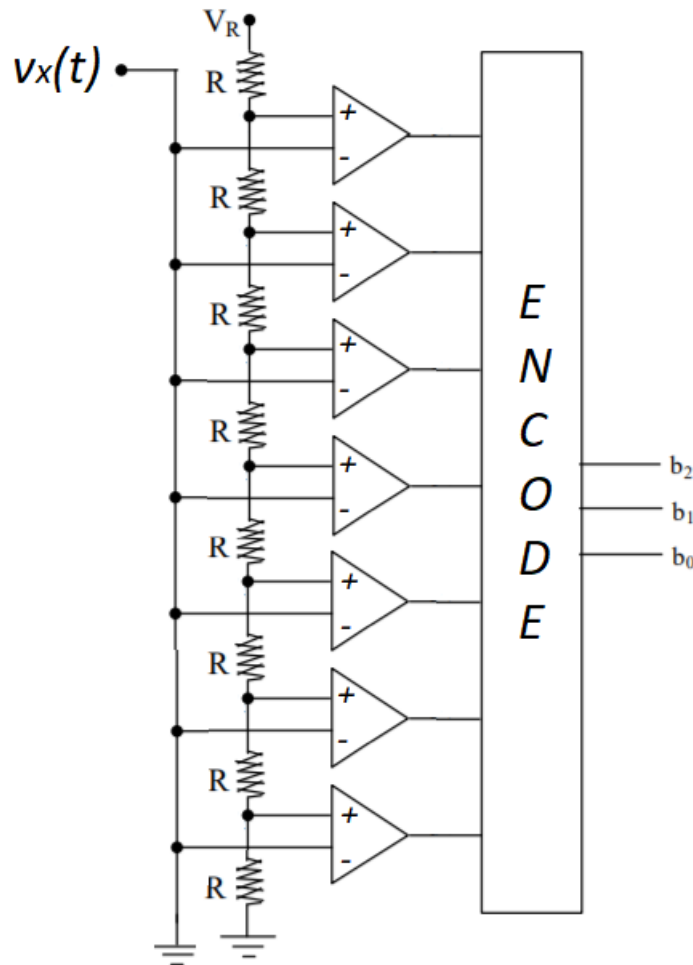
$$\text{Tempo di conversione} = N T_c$$

Tempi di conversione tipici: da centinaia di kSps fino a qualche MSps.

La risoluzione di questo tipo di convertitori è limitata dal numero di bit dei DAC disponibili sul mercato.

Oggi sono disponibili SAR converter che possono arrivare a 18 bit di risoluzione

Flash Converter



Una tensione di riferimento V_R è applicata ai capi di un partitore resistivo costituito da 2^N elementi resistivi con resistenza R in serie

Nell'esempio mostrato abbiamo un flash ADC $N=3$ bit.

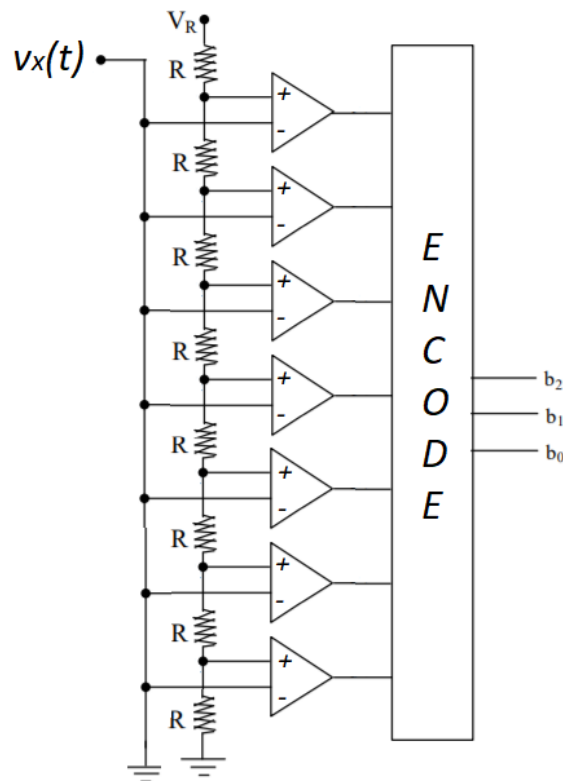
Il partitore resistivo è costituito da 8 resistenze in cui l'ultimo elemento resistivo è collegato a terra.

Nel partitore resistivo scorre una corrente $I = V_R/8R$, la quale fa sì che la caduta di potenziale ai capi di ogni resistenza sia pari a $V_R/8$.

Sui nodi tra le resistenze, è possibile individuare 7 livelli di tensione, detti *soglie di transizione del convertitore*:

partendo da terra: $\left(\frac{V_R}{8}, \frac{2V_R}{8}, \frac{3V_R}{8}, \frac{4V_R}{8}, \frac{5V_R}{8}, \frac{6V_R}{8}, \frac{7V_R}{8} \right)$

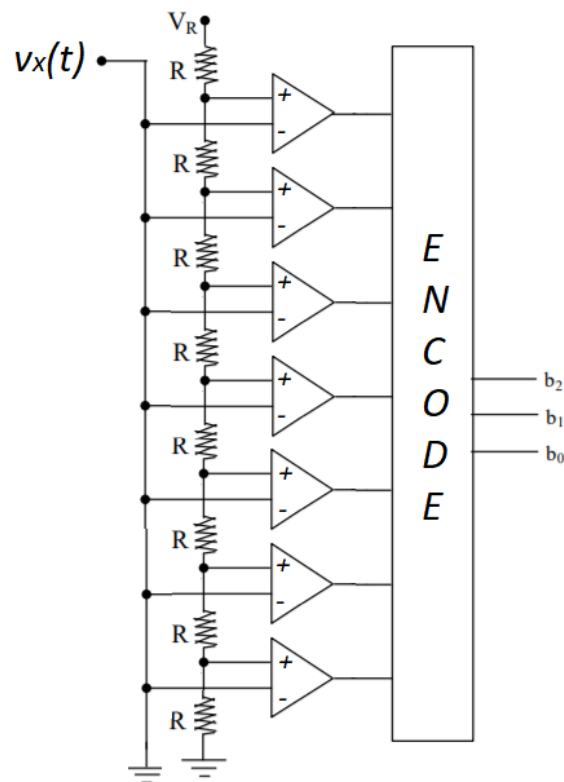
Flash Converter



I diversi livelli di tensione sono confrontati con la tensione di ingresso $v_x(t)$ mediante $2^N - 1$ comparatori (in ipotesi che $N=3$ si ricorre a 7 comparatori) i quali sono clockati, cioè sono sistemi elettronici ibridi a metà tra analogico e digitale la cui uscita si aggiorna con un colpo di clock.

L'uscita del comparatore è data in ingresso ad un flip-flop instabile che si propaga, solo dopo il colpo di clock, verso una rete di codifica ENCODE la quale implementa una funzione algebrica che associa ad una configurazione in ingresso la corrispondente configurazione in uscita rappresentata su soli 3 bit

Flash Converter



Si applichi una tensione $v_x(t)$ la quale varia nel tempo.

Essa è confrontata, istante per istante, contemporaneamente, con i livelli di tensione (soglie di transizione) tramite il comparatore:

- Se v_x è maggiore della soglia di transizione considerata, il comparatore fornirà al blocco ENCODE un'uscita alta 1;
- Se v_x è minore della soglia di transizione considerata, il comparatore fornirà al blocco ENCODE un'uscita bassa 0.

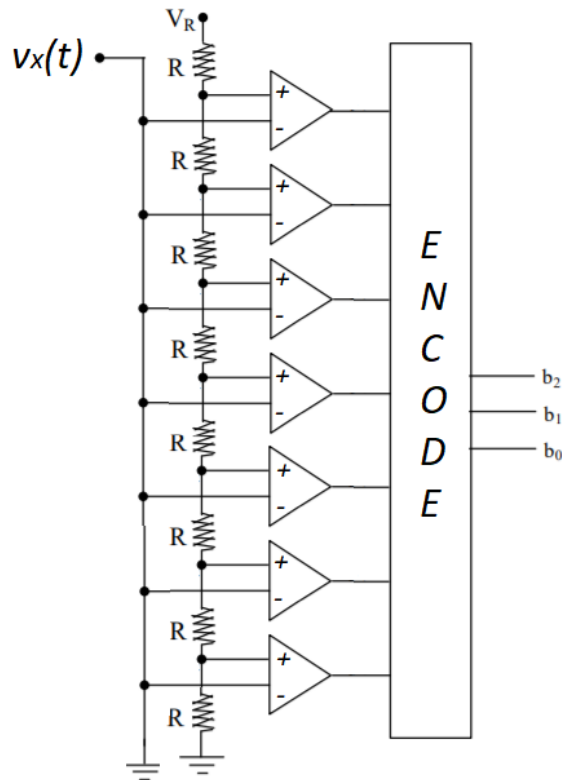
Se $v_x(t) > V_R/8$ l'uscita del comparatore sarà alta 1;

se $v_x(t) > 2V_R/8$ l'uscita del comparatore sarà alta 1;

se $v_x(t) > 3V_R/8$ l'uscita del comparatore sarà alta 1 e così via

se $v_x(t) < 3V_R/8$ l'uscita del comparatore sarà bassa 0 anche nei confronti con i livelli di tensione successivi (maggiori).

Flash Converter



Le configurazioni in ingresso al blocco ENCODE rispetteranno il codice termometrico:

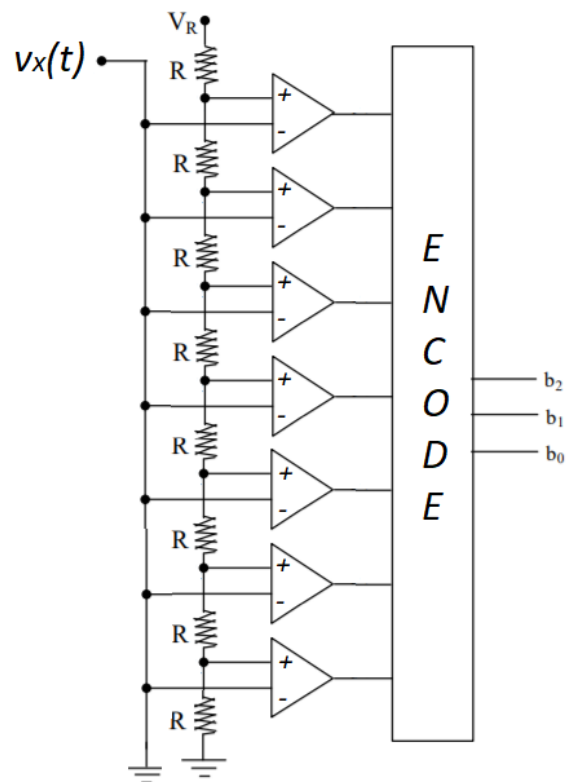
se nell'effettuare il confronto con i livelli di tensione in ordine crescente (cioè dal basso verso l'alto, da massa a V_R) la $v_x(t)$ risulterà minore di un livello di tensione, quindi l'uscita dal comparatore sarà bassa, allora sarà bassa anche nei confronti con i livelli di tensione successivi.

Le configurazioni in ingresso al blocco ENCODE saranno

quindi: $\left\{ \begin{array}{l} 0000000 \\ 0000001 \\ 0000011 \\ 0000111 \\ 0001111 \\ 0011111 \\ 0111111 \\ 1111111 \end{array} \right.$ $\uparrow$ $\downarrow$

Pertanto avremo delle combinazioni che non si possono realizzare in caso di corretto funzionamento del dispositivo.

Flash Converter



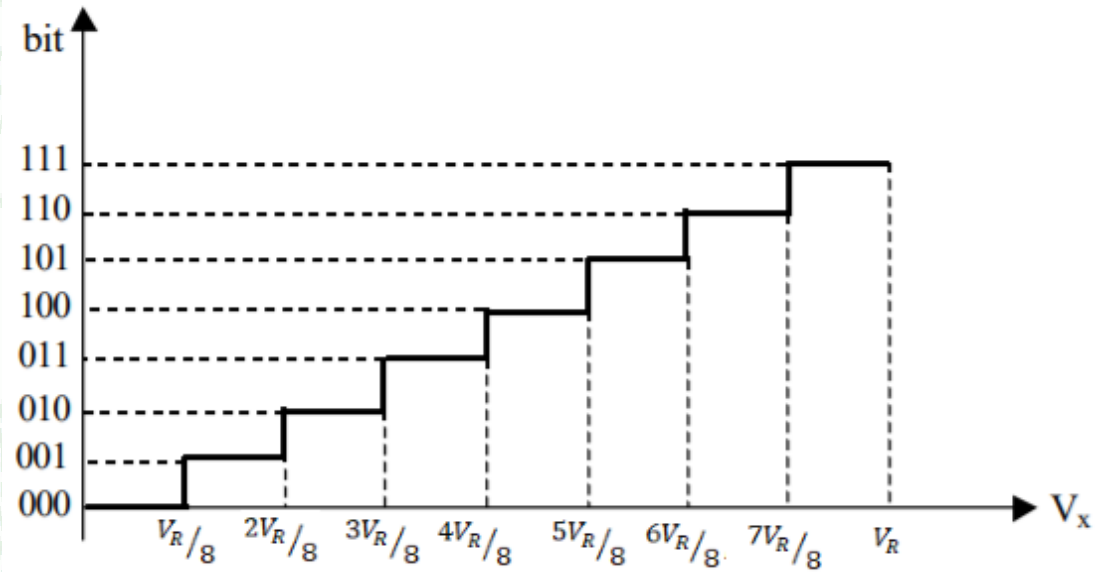
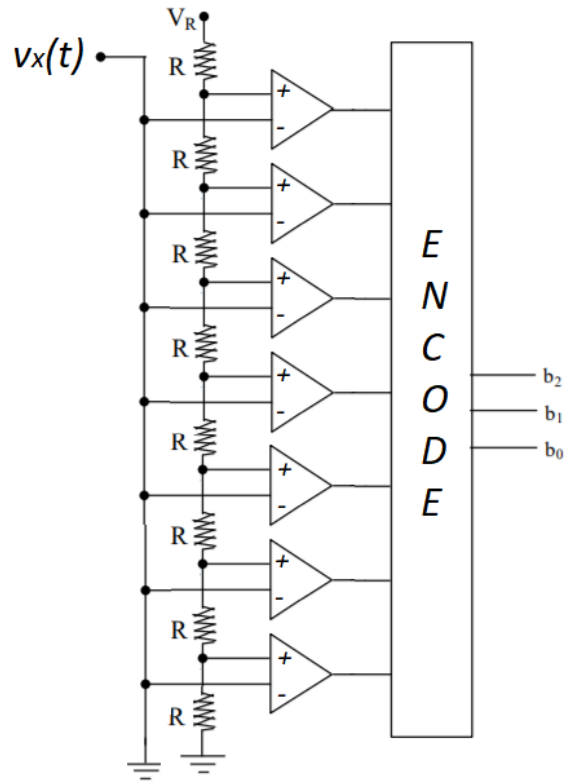
Le configurazioni in ingresso al blocco ENCODE saranno

quindi: $\left\{ \begin{array}{l} 0000000 \\ 0000001 \\ 0000011 \\ 0000111 \\ 0001111 \\ 0011111 \\ 0111111 \\ 1111111 \end{array} \right.$ $\uparrow$ $\downarrow$

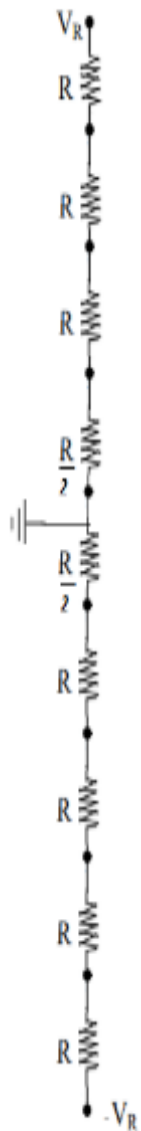
La rete di codifica ENCODE, come su detto, implementa una funzione algebrica che associa alla configurazione in ingresso la corrispondente configurazione in uscita rappresentata su soli 3 bit. Le configurazioni in uscita al blocco ENCODE

saranno: $\left\{ \begin{array}{l} 000 \\ 001 \\ 010 \\ 011 \\ 100 \\ 101 \\ 110 \\ 111 \end{array} \right.$ $\uparrow$

Flash Converter



Flash Converter



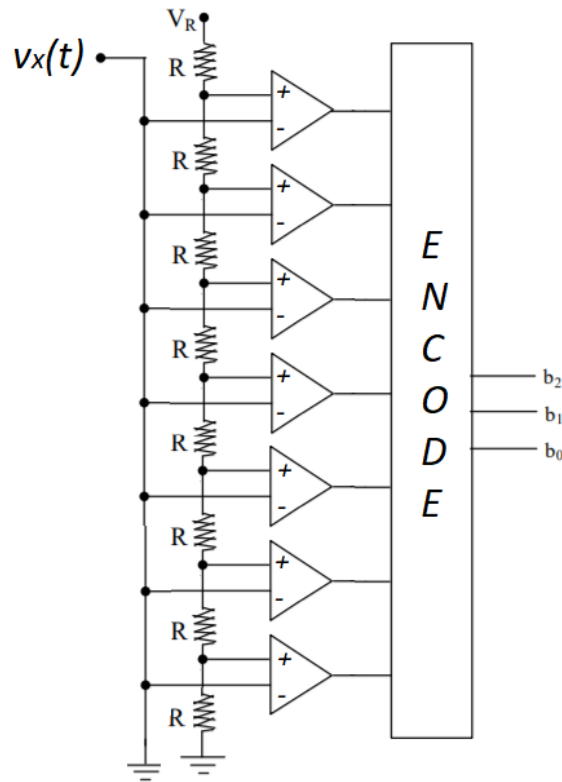
Per realizzare il convertitore bipolare è possibile considerare un partitore resistivo costituito da 9 resistenze

(7 resistori con resistenza R e 2 resistori centrali con resistenza $R/2$, il partitore resta quindi ancora uniforme) ai cui morsetti esterni sono applicate rispettivamente le tensioni V_R e $-V_R$.

Il morsetto che collega le due resistenze $R/2$ è collegato a terra.

Quando si lavora con convertitori bipolari, è conveniente utilizzare un convertitore “silenzioso” cioè un convertitore in cui lo zero non è una soglia di transizione.

Flash Converter



L'architettura è complessa infatti per incrementare di 1 bit la risoluzione del convertitore, la complessità del layout (numero di dispositivi) cresce con legge esponenziale.

Il convertitore flash è un convertitore quasi istantaneo perché aggiorna il proprio stato quasi subito dopo aver ricevuto il colpo di clock: dal punto di vista logico quindi la funzionalità del sistema richiede la simultaneità dei comparatori di aggiornare l'uscita in corrispondenza dello stesso colpo di clock.

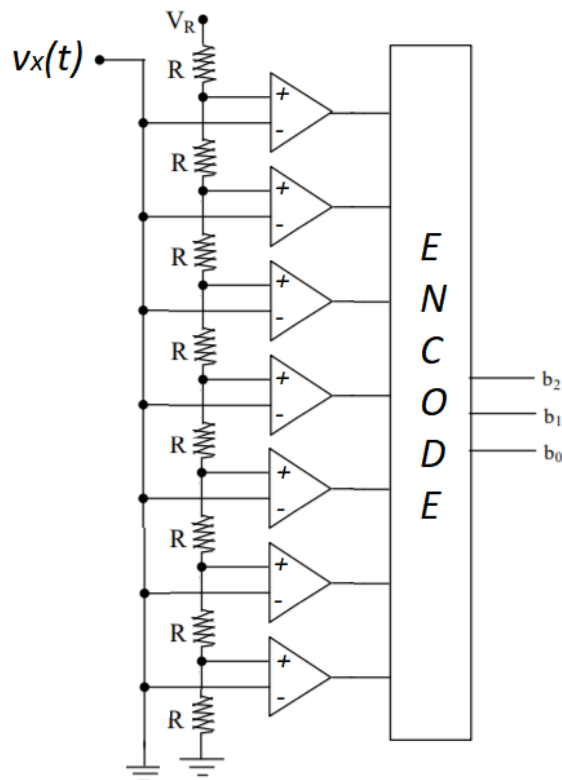
Flash Converter

Lavorando con frequenze di clock elevate quindi si perde la simultaneità d'azione dei comparatori e la macchina non lavora più in modo efficace.

Per poter ovviare a tale problema si può pensare di:

- Ridurre al massimo la distanza tra i componenti attivi che compongono il convertitore: ciò però può essere svantaggioso in quanto i componenti attivi dissipano potenza e se dissipano troppa potenza per unità di superficie si possono verificare problemi di surriscaldamento.
- Ridurre l'architettura del convertitore passando dagli 8 ai 6 bit: ciò però può essere svantaggioso in quanto si riduce la risoluzione, con rischio di avere un convertitore che produce un errore di quantizzazione elevato infatti l'errore di quantizzazione è legato al numero di bit usati con uno scostamento massimo atteso di ampiezza $\frac{V_R}{2^N}$; pertanto occorre operare con un numero significativo di bit in modo da rendere tale errore sufficientemente piccolo per l'applicazione in esame. D'altronde aumentare il numero di bit significa aumentare la complessità, le dimensioni e la potenza dissipata dal circuito.

Flash Converter



La $v_x(t)$ risulta applicata in parallelo agli $2^N - 1$ comparatori;

I comparatori, essendo ad alta impedenza, ed essendo reali possono dare origine ad effetti reattivi di tipo capacitivo.

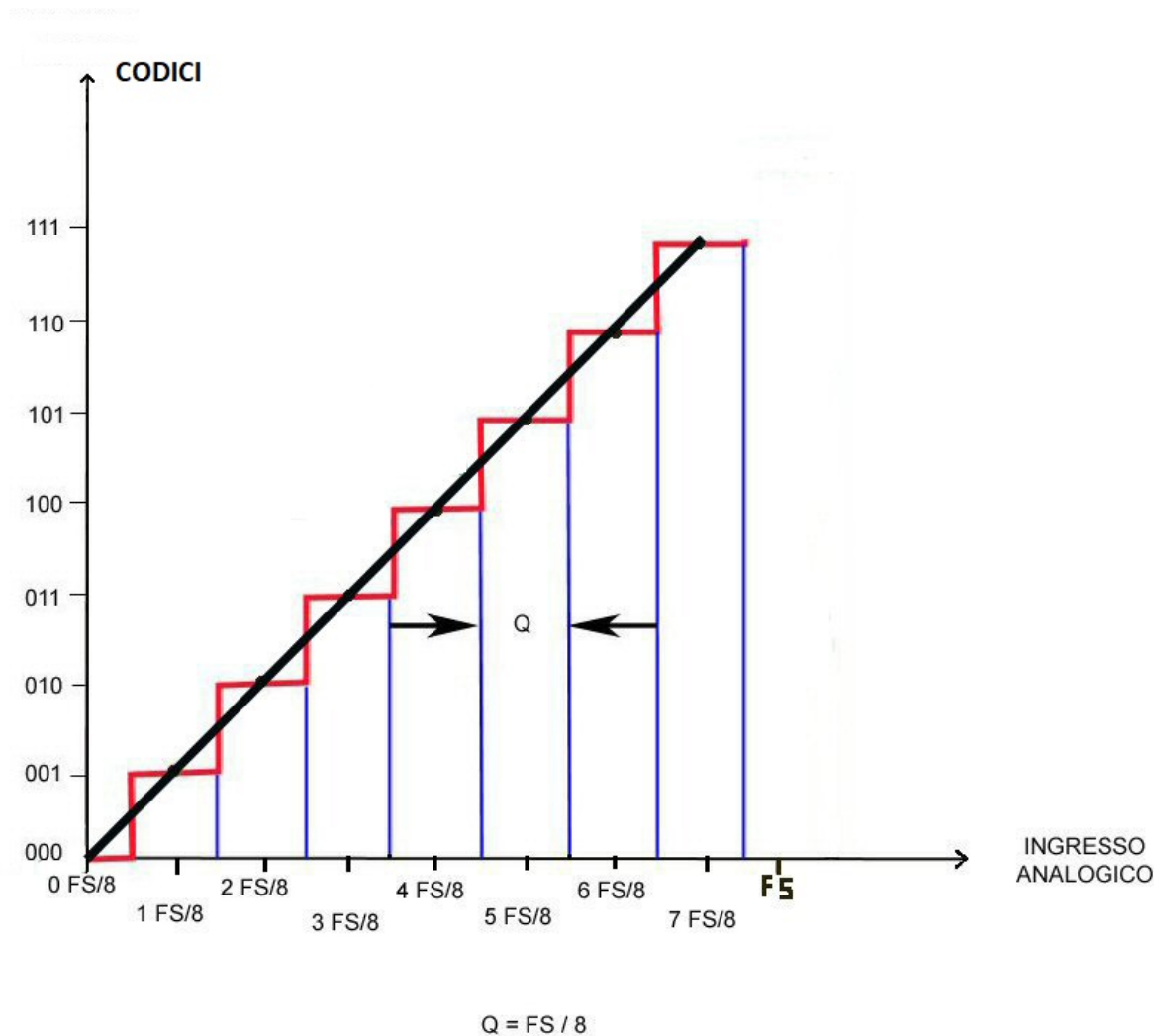
Per questo motivo, a frequenze di lavoro molto elevate, si può affermare che la $v_x(t)$ è applicata a $2^N - 1$ condensatori in parallelo (cioè ad un condensatore equivalente di capacità pari alla somma delle capacità dei singoli condensatori) che trasportano il segnale verso terra. Il segnale è quindi posto in ingresso ad un filtro RC passa-basso.

Nasce il seguente problema: se la banda del segnale in ingresso non è molto ampia e in parte è filtrata dal filtro RC passa-basso, si determina una perdita di informazione. Per ovviare questo problema è necessario che gli elementi resistivi che compongono l'architettura siano scelti in modo tale da garantire che la banda passante sia più ampia possibile così da raggiungere f_{ck} elevate.

La banda passante che si riesce ad ottenere senza particolari accorgimenti arriva fino a 30-35 GHz.

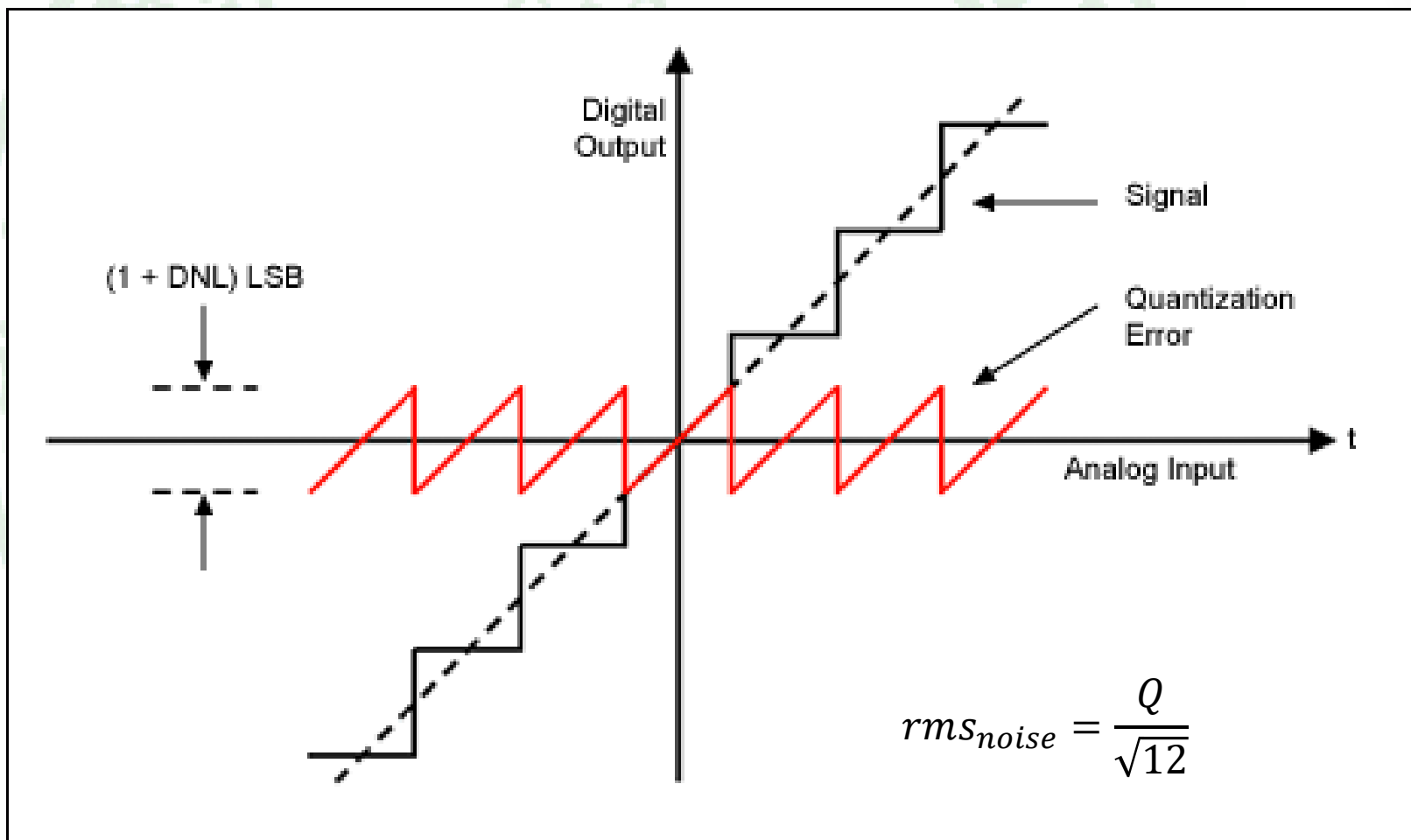
Valutazione Soglie Transizione

Normativa IEEE 1057: norma per la caratterizzazione dei DAQ



Valutazione Soglie Transizione

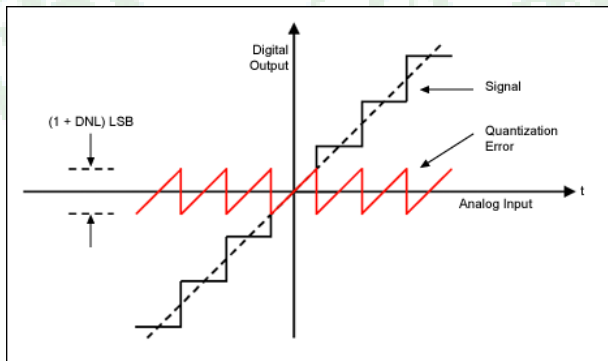
Normativa IEEE 1057: norma per la caratterizzazione dei DAQ



Valutazione Soglie Transizione

Normativa IEEE 1057: norma per la caratterizzazione dei DAQ

$$\begin{aligned} \text{RMS quantization error} &= \sqrt{\frac{1}{Q} \int_{-\frac{Q}{2}}^{\frac{Q}{2}} x^2 dx} = \sqrt{\frac{1}{Q} \left[\frac{x^3}{3} \right]_{-\frac{Q}{2}}^{\frac{Q}{2}}} = \sqrt{\frac{1}{Q} \left[\frac{1}{3} \left(\frac{Q^3}{8} \right) - \frac{1}{3} \left(\frac{-Q^3}{8} \right) \right]} = \\ &= \sqrt{\frac{1}{Q} \left[\frac{Q^3}{24} + \frac{Q^3}{24} \right]} = \sqrt{\frac{1}{Q} \frac{Q^3}{12}} = \frac{Q}{\sqrt{12}} = \frac{FS}{2^N \sqrt{12}} \end{aligned}$$



$$rms_{noise} = \frac{Q}{\sqrt{12}}$$

Valutazione Soglie Transizione

Normativa IEEE 1057: norma per la caratterizzazione dei DAQ

- Ricordiamo che, per stimolare correttamente tutti i codici di un ADC la norma IEEE 1057 prevede che:
 - L'ampiezza del segnale di stimolo (una sinusoide) deve essere pari al fondo scala del convertitore ($A_{pp}=FSR$).
 - Il numero di campioni da prelevare per un convertitore a N bit deve essere uguale o maggiore di: $S \geq \pi \times 2^N$.
 - Bisogna usare un segnale sinusoidale con frequenza pari a circa la metà della frequenza di Nyquist ossia a un quarto della frequenza di campionamento dell'ADC sotto test.
-

Nota: A_{pp} = Ampiezza picco-picco FSR=Full Scale Range

Valutazione Soglie Transizione

Normativa IEEE 1057 :

Numero minimo di punti da trattare

- Ricordiamo che, per stimolare correttamente tutti i codici di un ADC la norma IEEE 1057 prevede che:
- Il numero di punti per periodo da usare per convertitore a N bit deve essere uguale o maggiore di: $M \geq \pi \times 2^N$.
- Dim. Basta imporre che alla massima pendenza del segnale due codici non differiscano più di un quanto. Con la sinusoide la condizione di massima pendenza si realizza nell'intorno del passaggio per lo zero.
- Indicando allora con M il numero di punti per periodo da trovare, la condizione da imporre deve essere:

$$A \sin\left(\frac{2\pi}{M}\right) < Q = \frac{FS}{2^N}$$

Valutazione Soglie Transizione

Normativa IEEE 1057 :

Numero minimo di punti da trattare

- Ricordiamo che:
 - l'ampiezza della sinusoide di stimolo deve essere pari alla metà del fondo scala del convertitore
 - per angoli piccoli possiamo confondere il seno con il suo argomento.

$$\frac{FS}{2} \sin\left(\frac{2\pi}{M}\right) \cong \frac{FS}{2} \frac{2\pi}{M} < \frac{FS}{2^N} \Rightarrow M > 2^N \pi$$

Questa relazione sembrerebbe contrastare l'idea di voler stressare dinamicamente il convertitore!

Vedremo come invece è possibile superare questo problema con una opportuna scelta della frequenza del segnale rispetto a quella di campionamento.

Valutazione Soglie Transizione

Normativa IEEE 1057:

Scelta della frequenza del segnale di stimolo

- Per riuscire a sollecitare dinamicamente il convertitore dobbiamo lavorare a circa un quarto della frequenza di campionamento, prendendo poi almeno 800 punti e facendo in modo da sollecitare codici differenti in periodi differenti (e mai gli stessi codici. Per verificare queste condizioni dobbiamo andare a prendere un numero di campioni pari ad una potenza di 2 e il numero di periodi dispari (in modo da avere due numeri coprimi) pertanto il loro rapporto non sarà un numero intero.

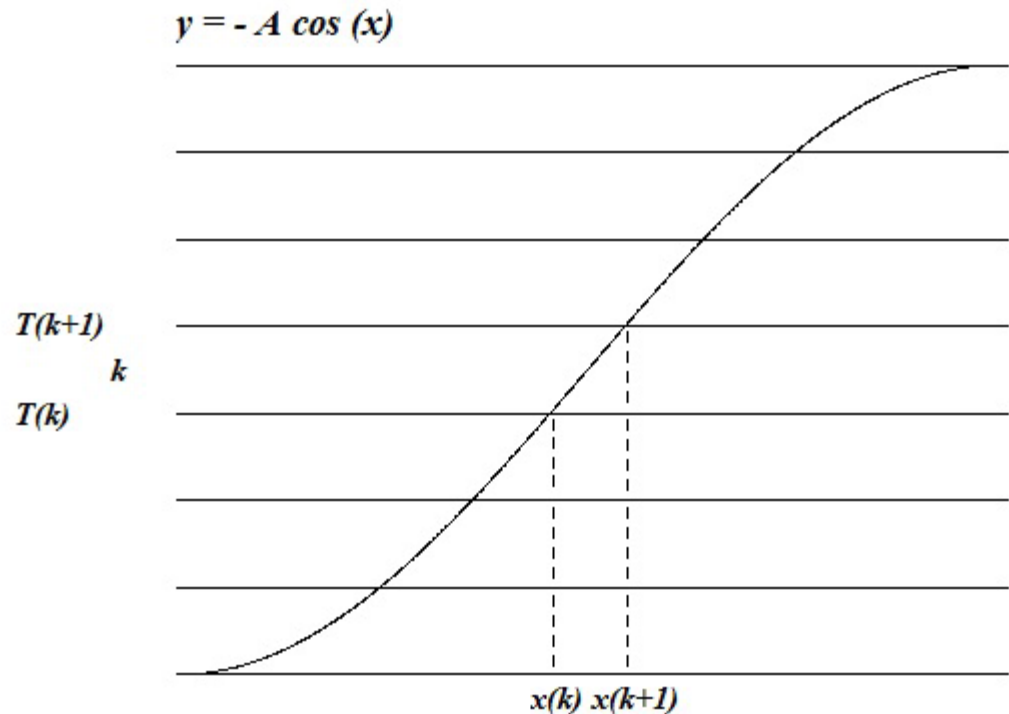
- Avremo:

$$\frac{T_s}{T_c} = \frac{F_c}{F_s} = N_{pp} = \frac{N_{campioni}}{N_{periodi}} \cong 4$$

Valutazione Soglie Transizione

Procedimento per ottenere le $T(k)$

- Ipotizziamo di sollecitare il convertitore con un segnale $y(x) = -A \cos(x)$, di durata pari a π radianti (in modo da rendere indipendente il discorso da frequenza di segnale e di campionamento).
- Supponiamo che l'ampiezza del segnale ricopra il fondo scala del convertitore ($F_s = 2A$)
- Dividiamo l'asse delle tensioni (y) in un numero di intervalli pari ai codici del convertitore.
- La larghezza della pedata è data dalla differenza tra le tensioni di soglia $T(k+1)$ e $T(k)$.
- Per un convertitore ideale tutte le pedate sono uguali e pari al quanto Q



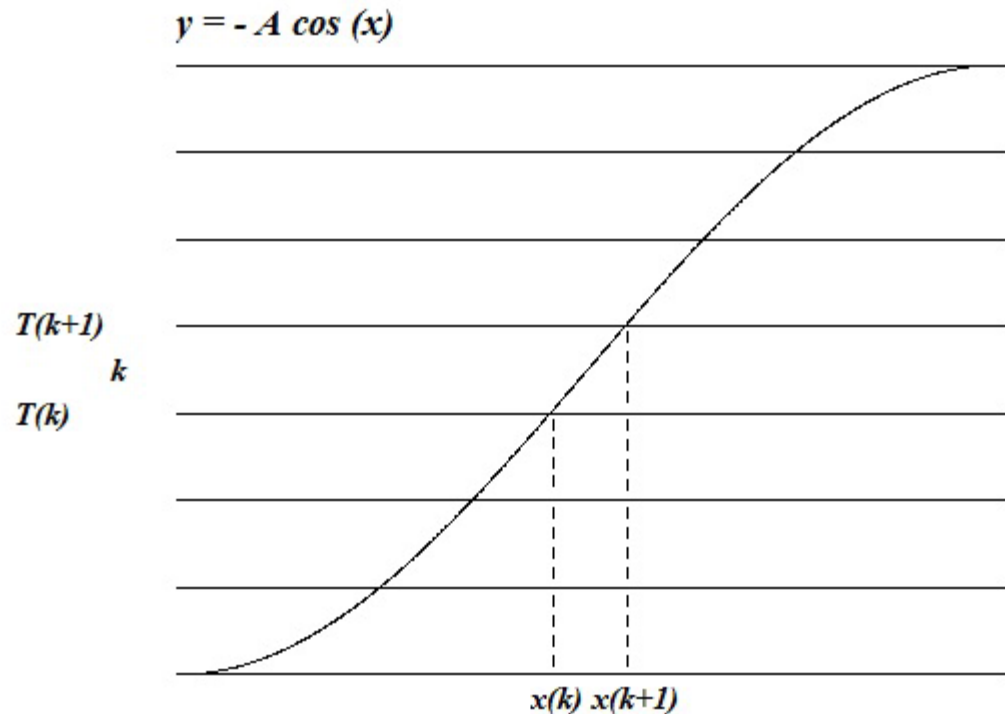
ADC con 3 bit, quantizzazione silenziata uniforme (7 codici)

Valutazione Soglie Transizione

Procedimento per ottenere le $T(k)$

- Campioniamo il segnale con passo dx .
- I campioni che cadono nell'intervallo $\Delta x(k) = x(k+1) - x(k)$ apparterranno tutti al codice k .
- La numerosità di tali campioni (ossia le loro occorrenze) è pari al valore dell'istogramma delle occorrenze relativo al codice k : $H(k)$. Nell'arco $\Delta x(k)$ ricadono $H(k)$ campioni distanziati di dx .
- $\Delta x(k) = H(k) \cdot dx$.
- L'arco $x(k)$ è pari alla somma di tutti i suoi precedenti:
 $\Delta x(0) + \Delta x(1) + \dots + \Delta x(k-1)$

$$x(k) = \sum_{i=0}^{k-1} \Delta x(i) = dx \cdot \sum_{i=0}^{k-1} H(i)$$



ADC con 3 bit, quantizzazione silenziosa uniforme (7 codici)

Valutazione Soglie Transizione

Procedimento per ottenere le T(k)

La sommatoria dell'istogramma delle occorrenze viene chiamato istogramma cumulativo.

Se indichiamo con M il numero di campioni acquisiti in π radianti avremo:

$$dx = \frac{\pi}{M}$$

$$x(k) = \frac{\pi}{M} H_c(k-1)$$

$$y(x) = -A \cos(x)$$

$$T(k) = -A \cos[x(k)] = -A \cos\left[\frac{\pi}{M} H_c(k-1)\right]$$

$$H_c(k) = \sum_{i=0}^k H(i)$$

$$x(k) = dx \cdot H_c(k-1)$$

Valutazione Soglie Transizione

- Fissare Fondo Scala e Frequenza di Campionamento
- Scegliere opportunamente Ampiezza e Frequenza Sinusoide di stimolo
- Acquisire il segnale
- Creare il vettore delle $H(k)$ (Istogramma delle occorrenze) e plottarlo.
- Creare il vettore $H_c(k)$ (Istogramma cumulativo) e plottarlo.
- Creare il vettore $T(k)$ (Soglie di transizione) e plottarlo.
- Acquisire più volte il segnale per ottenere un istogramma delle occorrenze mediato su N acquisizioni: una sola acquisizione potrebbe non essere sufficiente per stimolare correttamente il convertitore (ricordiamo inoltre che la norma, nella definizione di “soglie di transizione” parla di “probabilità”).

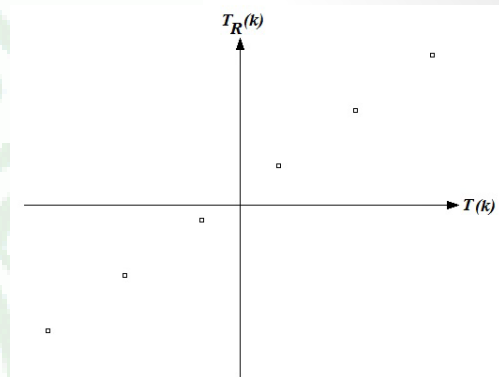
Valutazione Errori ADC

Errori offset e guadagno

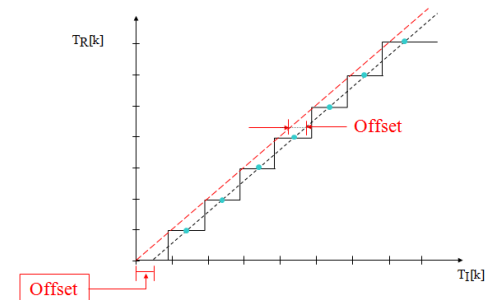
Ipotesi preliminare: sono state valutate le soglie di transizione $T_R(k)$

- Ottenute le soglie di transizione le confrontiamo con le soglie di transizione di un ADC ideale $T_I[k]$ che lavori con gli stessi parametri nominali.
- Se avessimo un comportamento ideale un diagramma $T_I(k)$ vs $T_R(k)$ i punti appartenerebbero alla retta $y=x$ (bisettrice primo e terzo quadrante).
- In realtà la presenza di errori di offset e guadagno fa sì che questa retta abbia una pendenza differente ed un passaggio per lo zero non nullo.

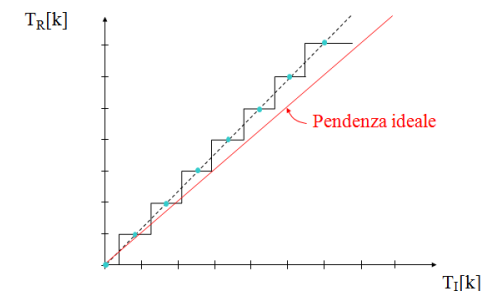
Attenzione alla taratura degli assi...



ERRORE di OFFSET



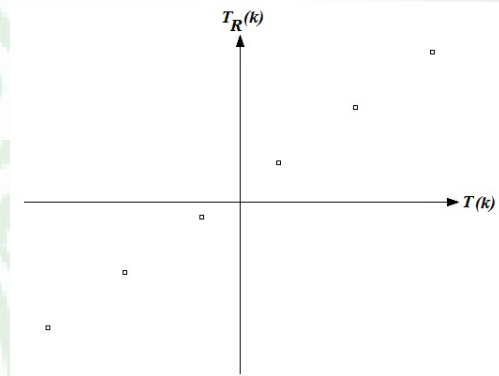
ERRORE di GUADAGNO



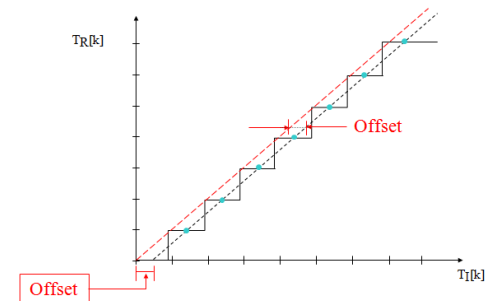
Valutazione Errori ADC

Errori offset e guadagno

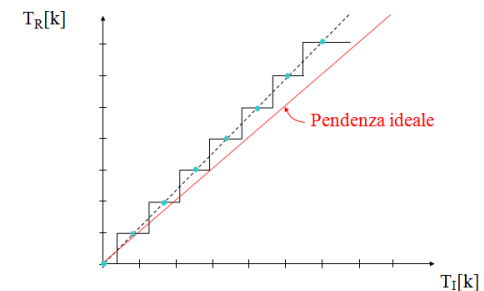
- Per valutare gli errori i offset e guadagno dobbiamo usare una tecnica di linear fit.
- La retta interpolante avrà una espressione del tipo $y = mx + n$.
- La pendenza m definisce l'errore di guadagno.
- L'ordinata all'origine n l'errore di offset.



ERRORE di OFFSET



ERRORE di GUADAGNO



Valutazione Errori ADC

Errori offset e guadagno: compensazione

1. Si corregge l'errore di offset sottraendo a ciascuna $T_R(k)$ il valore n .
2. Si corregge l'errore di guadagno dividendo le $[T_R(k)-n]$ per il valore m .
3. Si ottengono così le soglie di transizione compensate $T_c(k)$.

L'errore di non linearità integrale esprime, per ogni codice, lo scostamento della soglia di transizione compensata: $\varepsilon(k) = T_c(k) - T_l(k)$ e si esprime in valore percentuale sul fondo scala. Pertanto avremo che:

$$INL(k) = \frac{\varepsilon(k)}{FS} * 100 = \frac{T_c(k) - T_l(k)}{FS} * 100$$

Viene in genere fornito dai costruttori un parametro sintetico che esprime la non linearità integrale massima osservata lungo tutta la caratteristica:

$$INL = \max [INL(k)]$$

Valutazione Errori ADC

Errore di Non Linearità Differenziale:DNL (Differential Non Linearity)

L'errore di non linearità differenziale esprime, per ogni codice, lo scostamento tra la pedata reale e quella ideale.

Fornisce quindi una informazione su come ogni larghezza di pedata si discosta da quella nominale (pari a un quanto).

$$DNL(k) = \frac{[T_c(k+1) - T_c(k)] - Q}{Q}$$

Viene in genere fornito dai costruttori un parametro sintetico :

$$DNL = RMS[DNL(k)] = \sqrt{\frac{1}{N} \sum_k DNL(k)^2}$$

Nota: La norma impone di segnalare un codice mancante anche solo se $DNL(k) > 0,9$

Valutazione Errori ADC

ENOB

Effective Number Of Bit

Ricordiamo che un ADC ideale presenta solo rumore di quantizzazione, il cui valore efficace vale:

$$rms_{noise} = \frac{Q}{\sqrt{12}}$$

Definiamo ora, per un **convertitore reale**, la quantità:

$$ENOB = \log_2 \left(\frac{Fondo\ Scala}{rms_{noise}^{ADC\ reale} * \sqrt{12}} \right)$$

In letteratura, operando nel dominio della frequenza si trova la relazione:

$$SNR = 6,02 N + 1,76 \text{ (per un ADC ideale)}$$

$$SINAD = 6,02 ENOB + 1,76 \text{ (per un ADC reale)}$$

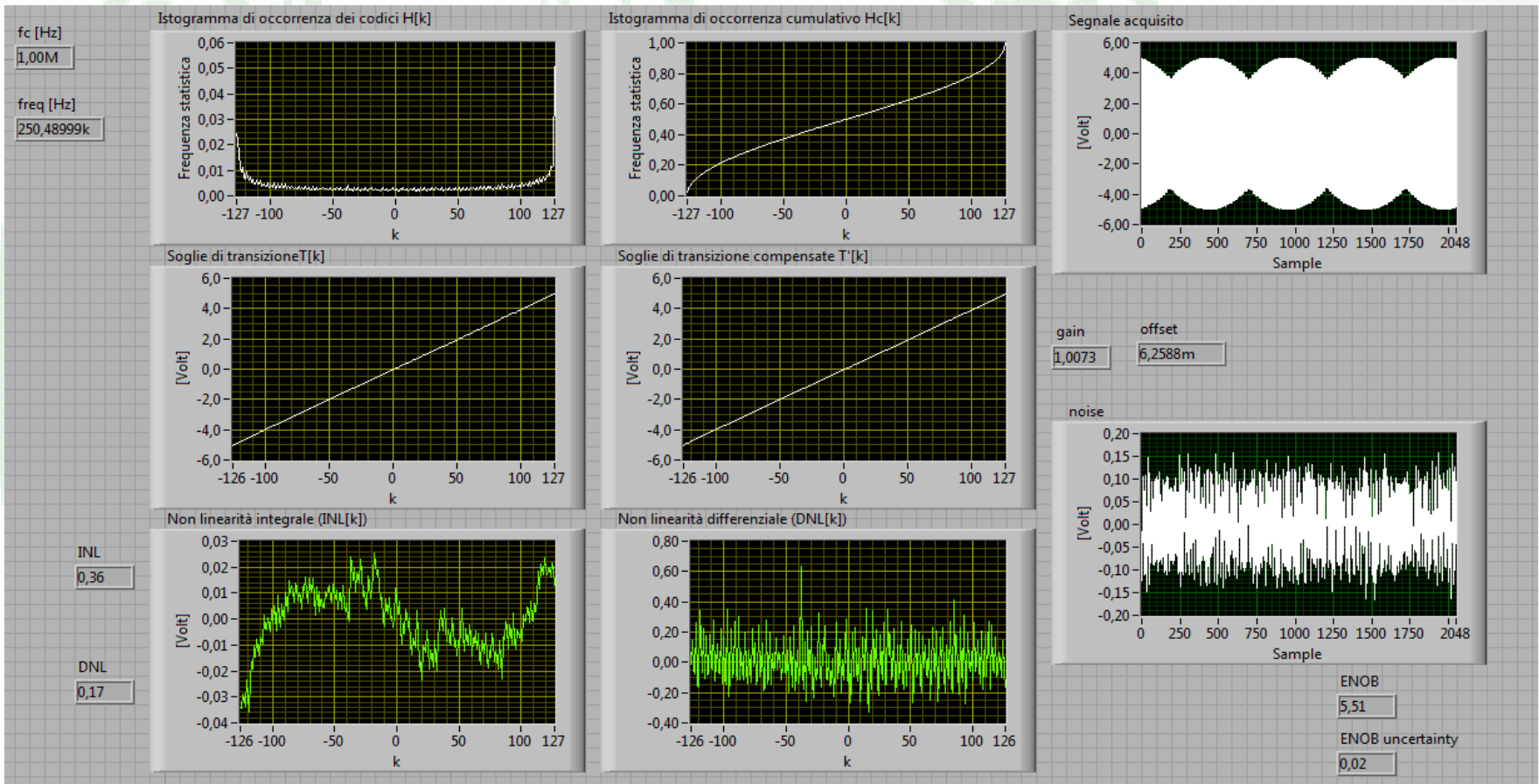
SNR = Signal to Noise Ratio

SINAD= Signal-to-Noise And Distortion ratio

Esercitazione

Valutazione Errori ADC

Esempio report prova



Report di prova dell'ADC del canale 1 di un DSO Tektronix TDS210