

# Introduzione ai circuiti digitali

## Premessa

I circuiti digitali binari eseguono operazioni su variabili *logiche* (o *booleane*), che possono assumere 2 soli valori, convenzionalmente indicati con 0 ed 1:

$$x \in \{0,1\}$$

La variabile logica è, tuttavia, solo un'*astrazione matematica*. In una implementazione fisica (circuitale), essa è rappresentata da una *quantità elettrica*, che è una tensione in corrispondenza di particolari nodi dei circuiti di interesse. In riferimento a tale tensione, si introducono un livello nominale “basso”  $V_{OL}$  (L = *low*), corrispondente allo “0” logico e un livello nominale “alto”  $V_{OH}$  (H = *high*) corrispondente all’“1” logico.

E' importante rilevare, peraltro, che una tensione appartiene al mondo analogico (cioè può assumere un range continuo di valori), con conseguenze che saranno chiarite nel prosieguo.

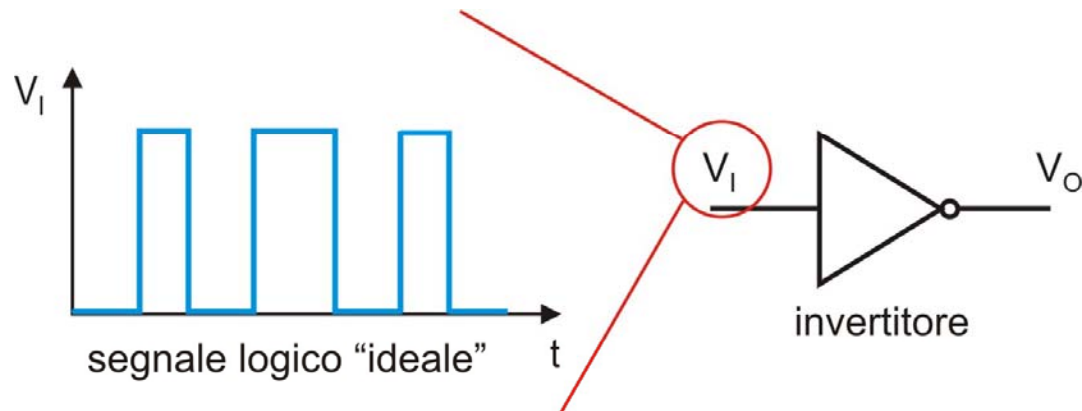
## Immunità al rumore di un sistema digitale

Come si è detto in precedenza, uno dei motivi più importanti per cui i sistemi elettronici digitali stanno viepiù soppiantando quelli analogici è l'*immunità al rumore* (non c'è bisogno di filtri come in un circuito analogico) [gli altri motivi sono (a) la riduzione dei costi di progettazione e realizzazione e (b) la possibilità - da parte di un circuito digitale - di effettuare operazioni *logiche*].

Per meglio comprendere il primo punto si farà riferimento alla porta logica elementare per antonomasia, ovvero l'*invertitore*, che costituisce il blocco base dei sistemi digitali (per ottenere porte logiche atte ad implementare funzioni più complesse basterà modificare lo schema dell'invertitore). Si dimostrerà che l'immunità al rumore è conseguenza di una importante caratteristica delle porte logiche, che è la proprietà di *ripristino dei livelli logici*.

N.B. Negli schemi circuitali che seguono, per una data porta logica non vengono disegnati i terminali relativi alla alimentazione ed alla massa (fisicamente presenti), al fine di "snellire" gli schemi stessi.

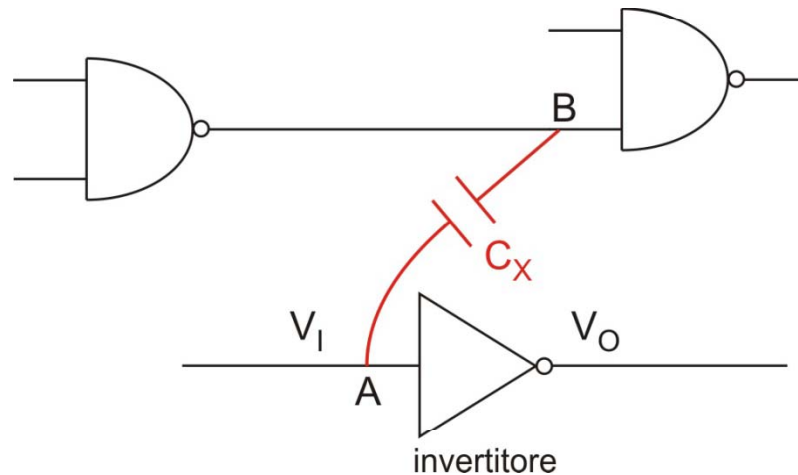
Poiché si ha a che fare con un sistema digitale *binario*, ci si aspetta che le tensioni presenti nel circuito possano assumere solo 2 valori, uno corrispondente al livello logico basso "0" (che assumiamo pari a 0 V per semplicità) ed uno corrispondente al livello logico alto "1" (che assumiamo pari alla tensione di alimentazione  $V_{DD}$ ). Ci si aspetta, cioè, che il segnale logico  $V_I$  in ingresso all'invertitore abbia la forma ideale (con transizioni *brusche*) mostrata in figura.



In realtà bisogna tenere presente che (1) il segnale ha natura analogica e (2) possono esserci inevitabili rumori sovrapposti la cui natura può essere legata a:

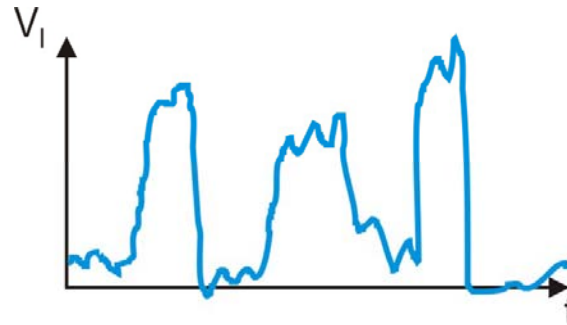
1. Disturbi sovrapposti alla *tensione di alimentazione*: questa grandezza si supporrà costante in tutte le analisi che seguono; tuttavia essa non lo è perché viene fuori dal raddrizzamento di una tensione alternata attraverso una serie di operazioni.

2. Effetti di *cross-talk*: supponiamo che l'invertitore considerato si trovi molto vicino ad un'altra porta logica. Questo vuol dire che ci sarà una capacità di accoppiamento  $C_x$  non trascurabile tra l'ingresso  $V_I$  dell'invertitore e (ad esempio) un ingresso di tale porta. Se la d.d.p. ai capi di  $C_x$  varia nel tempo, allora essa conduce corrente e quindi produce un disturbo.



3. Effetti di *deriva termica*: è noto che ogni porta logica è costituita da transistori e che la modalità di funzionamento di questi ultimi è dipendente dalla temperatura; allora può capitare che, per effetto della potenza dissipata dalle porte e degli accoppiamenti termici tra di esse, vi sia un certo gradiente di temperatura sul circuito che è fonte di ulteriore rumore.
4. Disturbi legati alle non idealità delle porte logiche stesse (imperfezioni di varia natura che si ripercuotono sui segnali).

Sulla base di quanto detto, al segnale è sovrapposto del rumore; inoltre sarà presente una certa “inerzia” per il passaggio da un livello logico all’altro.



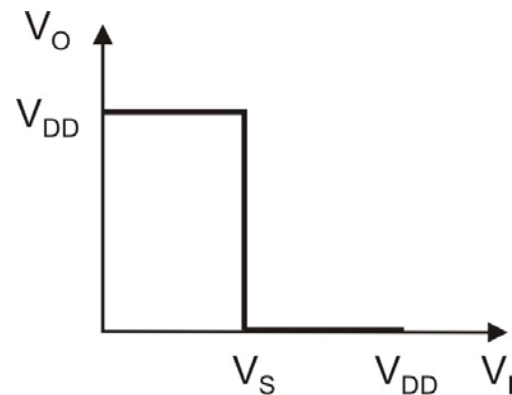
segnale logico distorto

Fortunatamente, l’invertitore (e, più in generale, ogni circuito digitale) gode della proprietà (intrinseca) di *ripristino dei livelli logici*: le non idealità vengono ad essere attenuate al propagarsi del segnale all’interno del circuito (i singoli stadi operano come dei filtri). Di contro, in un circuito analogico, in assenza di filtri, il rumore si propaga, amplificandosi (*effetto valanga*) attraverso i vari stadi. Uno degli obiettivi nella fase di progetto è quello di “massimizzare” questa proprietà, in modo tale che, anche se l’ingresso è affetto dalla presenza di rumore, l’uscita sia quanto più possibile tendente ad un segnale logico “ideale”. L’invertitore deve, cioè, essere realizzato in modo tale da ripristinare *il più possibile* i livelli logici.

Allo scopo di comprendere la proprietà di ripristino dei livelli logici, bisogna introdurre la *caratteristica di trasferimento* di un invertitore (o VTC = *Voltage Transfer Characteristic*).

## Caratteristica di trasferimento “ideale” di un invertitore

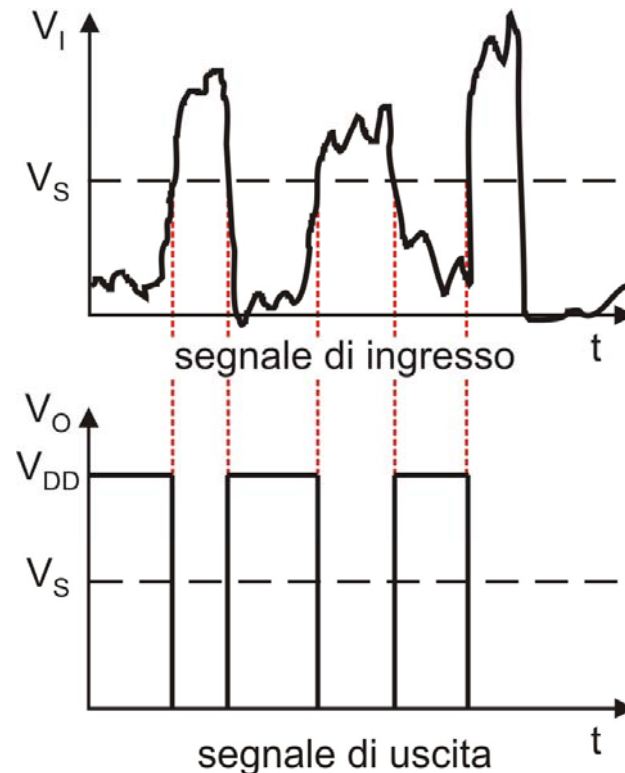
Continuiamo a supporre che il livello di tensione corrispondente allo stato logico basso ( $V_{OL}$ ) sia pari a 0 V e quello corrispondente allo stato logico alto ( $V_{OH}$ ) sia pari alla tensione di alimentazione  $V_{DD}$ . La *funzione di trasferimento* dell'invertitore è definita come la legge che lega la tensione di uscita  $V_O$  alla tensione di ingresso  $V_I$  in condizioni stazionarie. La *caratteristica di trasferimento* è semplicemente la rappresentazione grafica di questa legge. La VTC di un invertitore *ideale* ha l'andamento a gradino mostrato in figura.  $V_S$  (o  $V_{REF}$ ) è la cosiddetta *soglia logica*, ovvero il valore di tensione oltre il quale il segnale di ingresso viene rivisto dal circuito come alto.



caratteristica di trasferimento  
dell'invertitore “ideale”

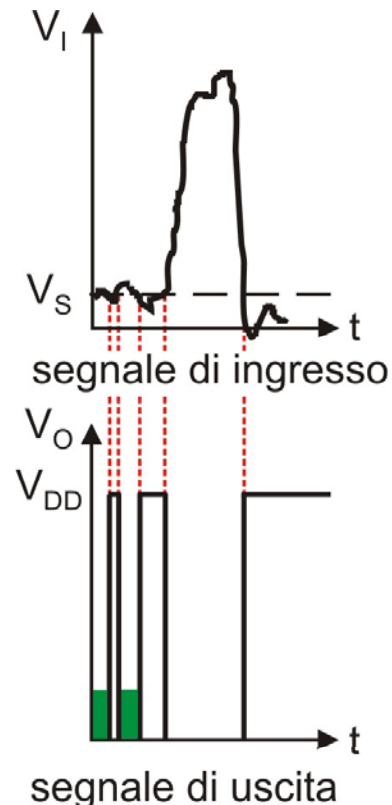
Partendo dall'ipotesi di avere una VTC ideale è facile comprendere perché l'invertitore goda della proprietà di ripristino dei livelli logici.

Si consideri il segnale d'ingresso distorto  $V_I$ . I livelli logici vengono ripristinati dall'invertitore ideale perché (1) laddove  $V_I$  è inferiore alla soglia logica  $V_S$  il segnale di ingresso viene rivisto come basso e si ottiene  $V_{DD}$  in uscita; (2) di contro, laddove  $V_I$  eccede la soglia logica  $V_S$  il segnale di ingresso viene rivisto come alto e si ottengono 0 V in uscita. Quindi il fatto stesso che il segnale si propaghi attraverso il circuito permette l'azione di ripristino dei livelli logici (se la VTC è "ideale", il segnale di uscita  $V_O$  è "ideale").



A questo punto bisogna determinare quale possa essere il *valore ottimale* della soglia logica  $V_S$ .

E' chiaro che collocare la soglia logica in prossimità del livello di tensione corrispondente allo stato logico basso (in questo caso 0 V) non è conveniente, perché eventuali disturbi sovrapposti al segnale  $V_I$  potrebbero far sì che  $V_I(t) > V_S$  provocando transizioni indesiderate ( $V_{DD} \rightarrow 0$  V) del segnale di uscita  $V_O$ .



Il segnale di uscita risulterà basso anche in intervalli di tempo in cui il segnale di ingresso è basso (ma distorto); in tal caso si dice che l'invertitore ha una ridotta immunità al rumore quando l'ingresso è nello stato logico basso.

E' possibile definire un parametro che consente di quantificare l'immunità al rumore in dipendenza dal livello logico relativo al segnale di ingresso. Questo parametro prende il nome di *margin di rumore* ( $NM = Noise Margin$ ).

Esiste un margine di rumore corrispondente allo stato logico basso ( $NM_L$  con  $L = Low$ ) ed un margine di rumore corrispondente allo stato logico alto ( $NM_H$  con  $H = High$ ). Il margine di rumore è una tensione.

Si consideri il margine di rumore  $NM_L$ ; esso può essere definito come la massima ampiezza di un eventuale disturbo sovrapposto al segnale di ingresso (quando questo si trova al livello di tensione corrispondente allo stato logico basso) tale da non provocare transizioni indesiderate del segnale di uscita.

Si tenga presente che  $V_S \rightarrow 0$  V equivale a dire che l'invertitore è praticamente immune al rumore quando l'ingresso si trova nello stato logico alto, ma, di contro, è molto sensibile ai disturbi quando l'ingresso si trova nello stato logico basso.

Secondo la definizione data di margine di rumore, essendo  $V_{OL} = 0$  V e  $V_{OH} = V_{DD}$ , si ha che:

$$NM_L = V_S - V_{OL} = V_S$$

$$NM_H = V_{OH} - V_S = V_{DD} - V_S$$

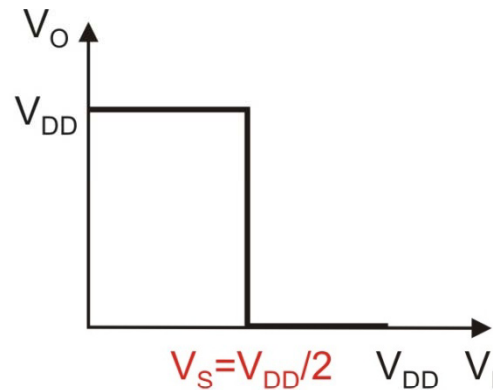
Dato che comunque l'ingresso commuta tra i 2 stati basso ed alto, è meglio associare un unico *margine di rumore* "integrale" alla porta logica, dato da:

$$NM = \min(NM_L, NM_H)$$

La massimizzazione del margine di rumore NM si ottiene semplicemente ponendo la soglia logica pari alla metà della tensione di alimentazione, e cioè:

$$V_S = V_{DD}/2 \Rightarrow NM = NM_{\max} = V_{DD}/2$$

La VTC relativa ad un invertitore ideale “ottimizzato” (simmetrico) è, allora, quella rappresentata in figura:



caratteristica di trasferimento  
dell’invertitore ideale “simmetrizzato”

Come si arguisce dall’espressione dell’NM “ottimo”, una immunità al rumore molto elevata può essere ottenuta aumentando la tensione di alimentazione  $V_{DD}$ . Tuttavia aumentare  $V_{DD}$  equivale ad aumentare la potenza dissipata dalla porta logica, e quindi diminuire l’integrabilità, la portabilità della porta stessa. La tendenza attuale, dunque, consta nel *diminuire* la potenza dissipata attraverso una riduzione della tensione  $V_{DD}$ . Il “rovescio della medaglia” consiste in una inevitabile degradazione dei margini di rumore. Si tende, cioè, ad avere porte sempre più integrabili ma sempre *meno* immuni al rumore. A questo proposito, si è passati dal valore  $V_{DD} = 5\text{ V}$  (standard nella logica TTL) ai valori 3.3, 2.5, 1.8, 1.0 V (che equivale a parlare, nel caso ideale, di un margine di rumore NM pari a 500 mV).

In conclusione,  $NM_L$  ed  $NM_H$  rappresentano dei “margin di sicurezza” (in termini di tensione) che evitano che la porta logica possa produrre dei livelli logici errati in presenza di eventuale rumore sovrapposto al segnale di ingresso. Nel progetto di un sistema digitale (ovvero nel *dimensionamento* dei parametri geometrici di layout) bisognerà - tra la altre cose - assicurarsi che i margini di rumore non scendano al di sotto di determinati limiti.

Si può affermare che per certi aspetti i margini di rumore “assorbono” le differenze di tensione inevitabilmente presenti in ingresso rispetto al segnale “ideale” (cioè assorbono e “neutralizzano” i disturbi), evitando che queste producano effetti sull’uscita della porta logica.

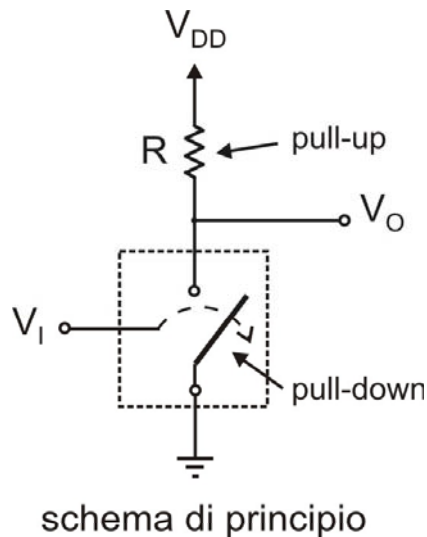
N.B. Fino a questo momento abbiamo assunto che  $V_{OL} = 0 \text{ V}$  e  $V_{OH} = V_{DD}$  per semplificare la trattazione. Nel prosieguo (1) si darà una definizione *rigorosa* di questi livelli di tensione nominali nel caso “reale” e (2) si vedrà che tali tensioni assumono i valori  $0 \text{ V}$  e  $V_{DD}$  solo nel caso della logica a MOS complementare (CMOS).

## Schemi circuitali di principio

Come si realizza un invertitore?

Per comprenderlo, nel seguito si farà riferimento a *schemi di principio*, in cui compare l'elemento "interruttore", senza chiarire - per il momento - il modo in cui tale interruttore è realizzato fisicamente.

Una possibilità consta nell'adottare un interruttore pilotato dalla tensione di ingresso  $V_I$  (come elemento di *pull-down*, cioè con la funzione di portare l'uscita allo stato basso) ed una resistenza  $R$  (come elemento di *pull-up*, cioè con la funzione di portare l'uscita allo stato alto).



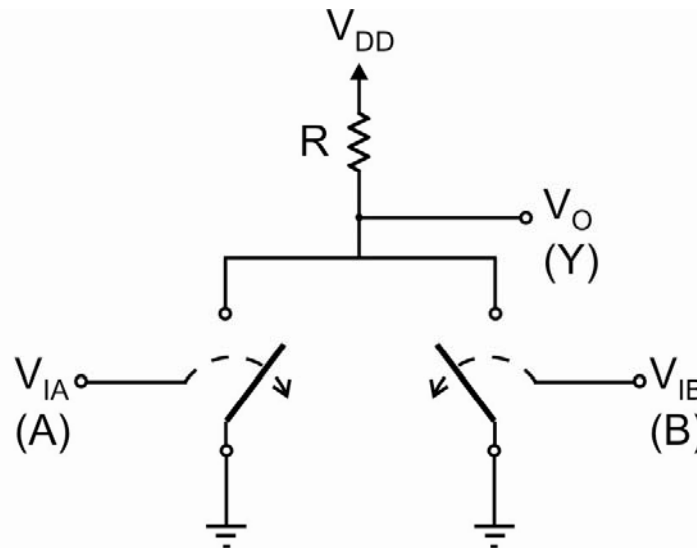
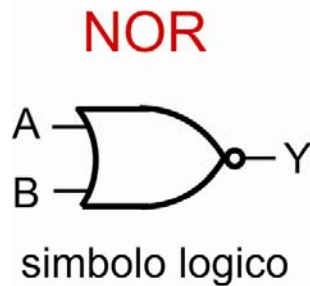
Assumiamo che l'interruttore sia *ideale*; questo significa che: (1) esibisce una resistenza serie (parassita) nulla quando è chiuso e (2) una resistenza parallelo (parassita) infinita quando è aperto.

Se si riesce a realizzare un interruttore che si chiude quando  $V_I > V_{DD}/2$  e si apre quando  $V_I < V_{DD}/2$  allora si ottiene l'invertitore ideale (simmetrizzato perché  $V_S = V_{DD}/2$ ).

Ovviamente nella pratica la VTC delle porte logiche di interesse si scosta da quella di un invertitore ideale.

Come si è detto, è importante che l'analisi sia incentrata su un invertitore (che realizza la funzione NOT), perché rappresenta il "blocco base" dell'elettronica digitale. A partire dall'invertitore - attraverso semplici modifiche circuitali - è possibile realizzare gli schemi di principio di funzioni logiche più complesse.

Nel caso della NOR, ad esempio, basta considerare 2 interruttori in *parallelo* nella rete di pull-down. L'unico caso in cui l'uscita si porta allo stato logico *alto* è quello in cui nessuno dei 2 interruttori è chiuso; al contrario, l'uscita si porta allo stato logico *basso* (la rete di pull-down adempie al suo compito) quando almeno uno dei 2 interruttori risulta chiuso.

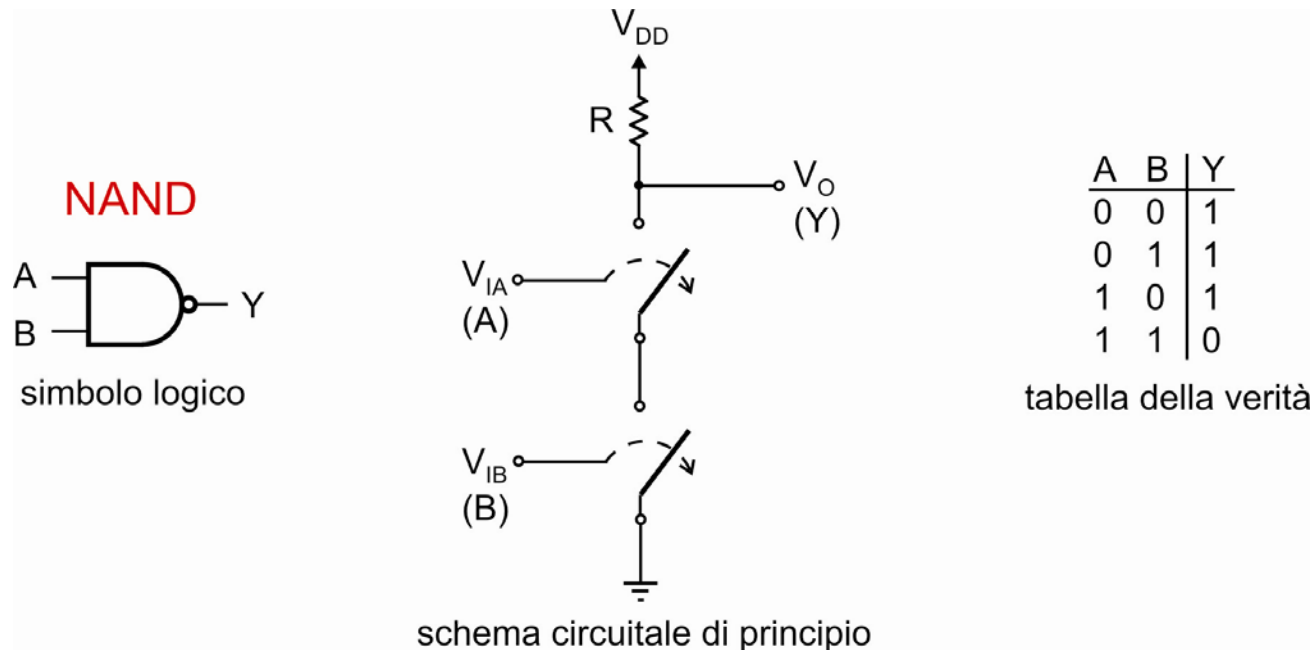


schema circuitale di principio

A	B	Y
0	0	1
0	1	0
1	0	0
1	1	0

tabella della verità

Nel caso della NAND si considerano 2 interruttori in *serie* nella rete di pull-down. L'unico caso in cui la rete di pull-down riesce ad adempiere al suo compito (portare l'uscita al livello logico basso) è quello in cui ambo gli interruttori risultano chiusi; di contro, l'uscita si porta al livello logico alto quando uno almeno dei 2 interruttori risulta aperto (non esiste, infatti, alcun percorso conduttivo tra il morsetto di uscita e massa).



Nel prosieguo si vedrà che, nel caso delle porte NMOS, al posto degli interruttori presenti nella rete di pull-down ci sono dei transistori MOS, mentre l'elemento della rete di pull-up (*non* controllato dagli ingressi) è un circuito atto a funzionare come una resistenza (costituito o da un mero resistore o da un MOS montato "a bipolo").

Osservazione: è più conveniente considerare la NOR o la NAND per ottenere un insieme *funzionalmente completo*?

Non è possibile rispondere in modo univoco a questa domanda; in realtà dipende dalla particolare famiglia logica che si prende in considerazione. Nel caso delle logiche NMOS e pseudo-NMOS conviene adottare la NOR; nel caso della logica CMOS conviene la NAND; nel caso della TTL standard conviene la NAND (grazie all'utilizzo del transistor bipolare multiemettitore).

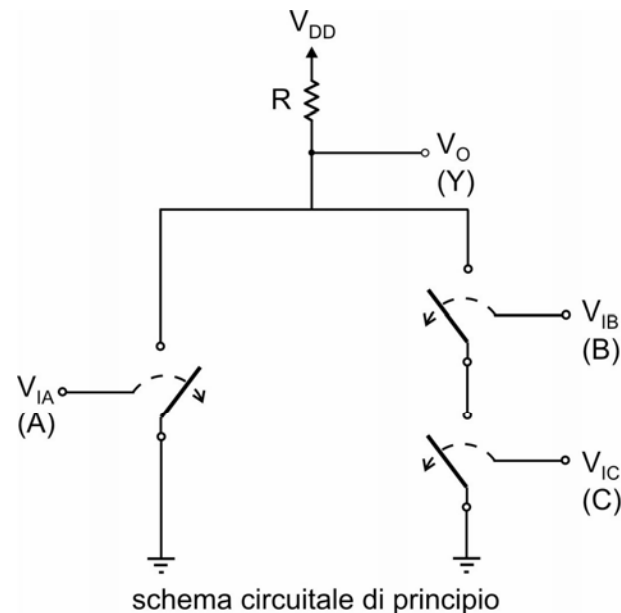
---

A partire dal semplice schema circuitale di principio dell'invertitore è possibile non solo realizzare porte logiche "elementari" come la NOR e la NAND, ma anche porte atte a descrivere funzioni logiche più complesse senza la necessità di ricorrere a più stadi; basterà, infatti, andare a modificare in modo opportuno la rete di pull-down.

Ad esempio, cerchiamo di realizzare lo schema di principio atto ad implementare la funzione AOI (And-Or-Invert) a 3 ingressi (A, B e C) data da:

$$Y = \overline{A + B \cdot C}$$

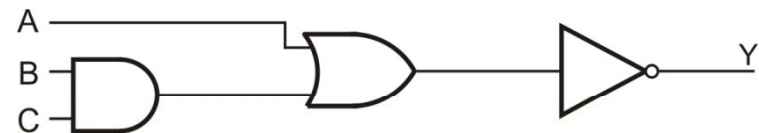
La rete di pull-down viene implementata attraverso il parallelo (OR) tra l'interruttore A e la serie (AND) degli interruttori B e C. Se l'ingresso A è basso ed almeno uno tra B e C è basso, allora non esiste alcun percorso conduttivo che connette il terminale di uscita e massa, e l'uscita Y si porta al livello logico alto attraverso la resistenza di pull-up R. In tutti gli altri casi la rete di pull-down (costituita da 3 interruttori) adempie al suo compito, e l'uscita si porta al livello logico basso.



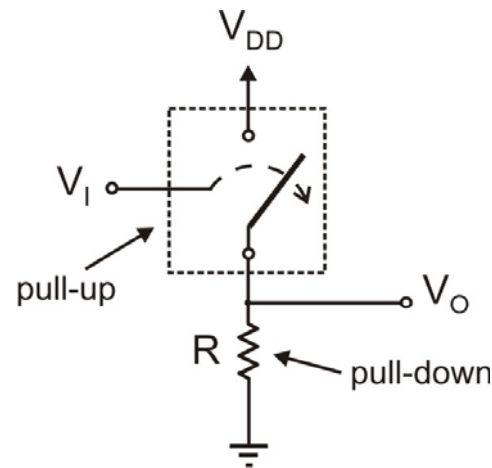
A	B	C	Y
0	0	0	1
0	0	1	1
0	1	0	1
0	1	1	0
1	0	0	0
1	0	1	0
1	1	0	0
1	1	1	0

tabella della verità

Alternativa: circuito complesso con ingombro e potenza dissipata maggiori.



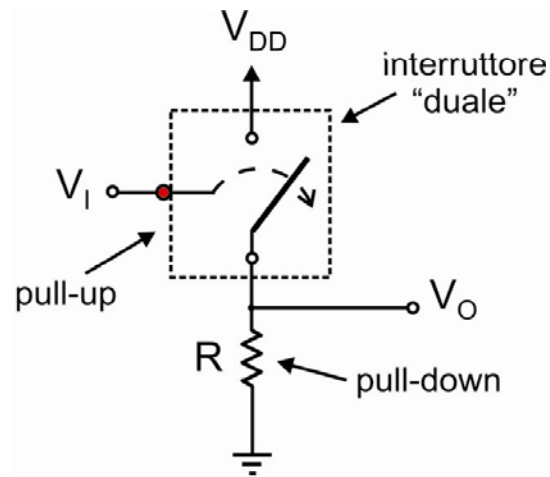
Osservazione: è possibile realizzare lo schema di principio di un invertitore prendendo in considerazione una *configurazione duale* (resistenza R come rete di pull-down ed interruttore controllato come rete di pull-up)?



schema di principio  
"duale"

Si tenga anzitutto presente che se si continua a considerare un interruttore che si chiude per  $V_I > V_{DD}/2$  e si apre per  $V_I < V_{DD}/2$ , allora lo schema non corrisponde ad un invertitore ma alla funzione logica *identità*. Sarebbe possibile, in linea di principio, sfruttare questo schema per realizzare funzioni AND, OR, ma non risulterebbe conveniente, dato che queste funzioni *non* corrispondono ad insiemi funzionalmente completi (bisognerebbe comunque realizzare un'inversione da qualche parte nel circuito).

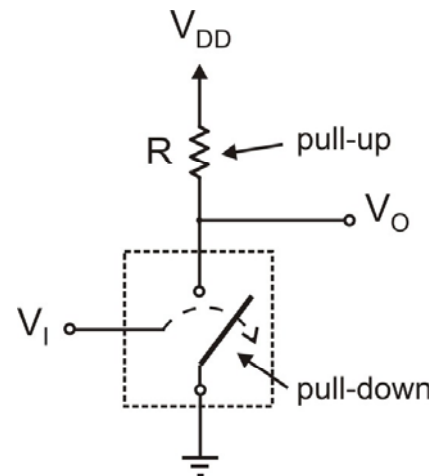
Per realizzare un invertitore partendo da questo schema di principio bisognerebbe considerare un interruttore che funzioni in modo duale rispetto a quello visto in precedenza, ovvero che sia chiuso per  $V_I < V_{DD}/2$  e sia aperto per  $V_I > V_{DD}/2$ . In tal caso lo schema deve essere modificato con l'introduzione di un simbolo diverso:



schema di principio "duale"  
con interruttore "duale"

Si vedrà nel seguito che l'interruttore "normale" può essere realizzato attraverso un NMOS (MOS a canale N), mentre quello "duale" può essere realizzato attraverso un PMOS (MOS a canale P). Si può dire sin d'ora che è più conveniente adoperare lo schema precedente, che fa uso dell'NMOS. Infatti un NMOS - a parità di dimensioni [di gate] e di polarizzazione - ha un'attitudine a condurre corrente pari a 2.5 volte quella di un PMOS (a causa della diversa mobilità dei portatori nella regione di canale).

*Repetita iuvant!* - Si è detto che - a parte l'immunità al rumore - i parametri di costo più importanti atti a caratterizzare le prestazioni di un sistema elettronico sono l'area (ingombro), la potenza dissipata (consumi) ed il tempo di propagazione (velocità). Si è altresì detto che la potenza dissipata costituisce un limite alla integrabilità delle porte logiche. Ciò posto, prendiamo in considerazione il primo schema di invertitore considerato (interruttore [transistore] di pull-down e resistenza R di pull-up).



schema di principio

Se  $V_I > V_{DD}/2$  l'interruttore si chiude e l'uscita si porta al livello di tensione corrispondente allo stato logico basso. In tal caso si crea un percorso conduttivo tra alimentazione e massa, e pertanto la batteria  $V_{DD}$  eroga una corrente pari a

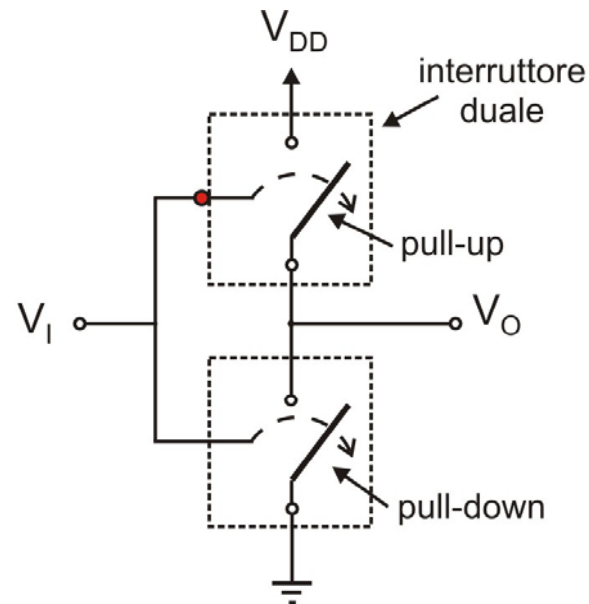
$$i = \frac{V_{DD}}{R}$$

Pertanto la porta - per il principio di conservazione dell'energia - dissipa una potenza statica data da:

$$P_D = i \cdot V_{DD} = \frac{V_{DD}^2}{R}$$

Questo vuol dire che - se l'ingresso è alto - questo invertitore dissipa potenza statica anche se si trova in un punto del circuito che non sta lavorando (cioè in condizioni di quiescenza). Come si vedrà nel seguito, questo è un problema tipico delle porte realizzate in tecnologia NMOS e pseudo-NMOS (e che ha portato al loro totale - o quasi - disuso nel momento in cui si è arrivati a livelli di integrazione estremamente spinti, all'inizio degli anni '80).

E' possibile, peraltro, pensare ad uno schema circuitale di principio che consenta di evitare dissipazione di potenza statica. Basta considerare un interruttore "normale" (che si chiude per  $V_I > V_{DD}/2$ ) come elemento di pull-down ed un interruttore "duale" (che si chiude per  $V_I < V_{DD}/2$ ) come elemento di pull-up. Ambo gli interruttori sono controllati dallo stesso ingresso.

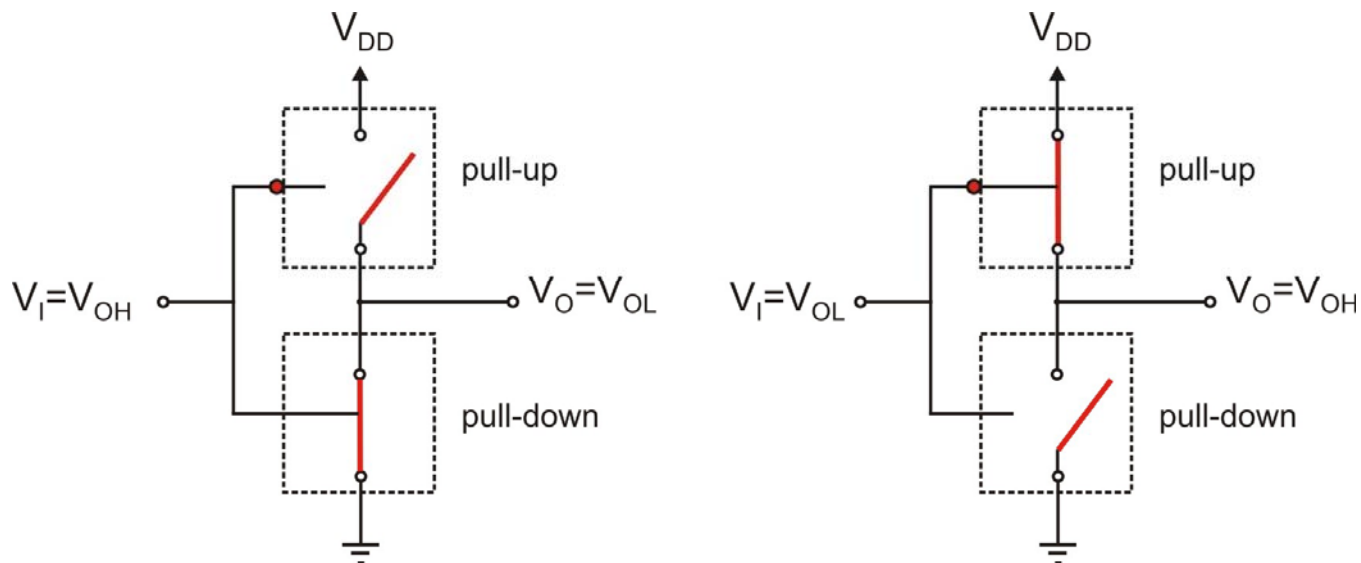


schema di principio  
di invertitore con  $P_D$  statica nulla

Verifichiamo anzitutto se questo schema di principio corrisponde effettivamente ad un invertitore. Diciamo  $V_{OH}$  il segnale  $> V_{DD}/2$  (corrispondente allo stato logico alto) e  $V_{OL}$  il segnale  $< V_{DD}/2$  (corrispondente allo stato logico basso).

Se l'ingresso è pari a  $V_{OH}$ , allora l'interruttore di pull-up è aperto mentre quello di pull-down è chiuso, e l'uscita si porta al livello basso  $V_{OL}$  attraverso quest'ultimo (in questa configurazione si ha che  $V_{OL} = 0$  V anche se gli interruttori sono "reali" perché il terminale di uscita è completamente sconnesso dall'alimentazione se l'ingresso è alto). Quindi: ingresso alto - uscita bassa.

Se, di contro, l'ingresso è basso, allora l'interruttore di pull-down è aperto mentre quello di pull-up è chiuso, sicché si crea un percorso conduttivo tra alimentazione e uscita, che si porta allo stato logico alto (si ha che  $V_{OH} = V_{DD}$ ). Quindi: ingresso basso - uscita alta.



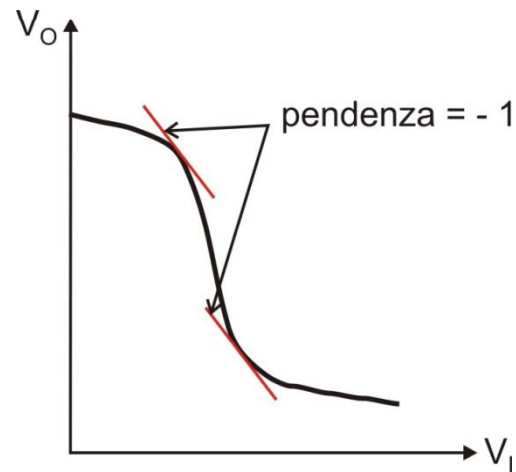
In effetti c'è lo svantaggio di dover realizzare fisicamente l'interruttore "duale". Come si è accennato, viene adoperato un PMOS (MOS a canale P), ma per rendere quest'ultimo idoneo a condurre la stessa corrente di un NMOS a parità di polarizzazione bisogna farlo di area 2.5 volte più grande; inoltre ci sono problemi tecnologici connessi all'integrazione di un PMOS ed un NMOS sulla stessa fetta di materiale semiconduttore (che comportano ulteriore ingombro).

Tuttavia questo è un prezzo che si paga ben volentieri: indipendentemente dallo stato logico del segnale in ingresso, *non si crea mai un percorso conduttivo tra alimentazione e massa* (almeno uno dei 2 interruttori è aperto), e quindi non si dissipa mai potenza statica. Questa, come si è visto, è un'importante prerogativa dal punto di vista dell'integrabilità della porta.

Lo schema circuitale di principio testé introdotto corrisponde ad un invertitore "a MOS complementare" (o CMOS). Si vedrà che la dissipazione di potenza in una porta logica CMOS è di tipo meramente dinamico (ovvero relativa alla fase di commutazione) ed è dovuta (1) alla presenza di una capacità parassita di uscita e (2) al fatto che scorrono delle correnti tra  $V_{DD}$  e massa a causa della non idealità del segnale d'ingresso  $V_I$ .

## Caratteristica di trasferimento “reale” di un invertitore

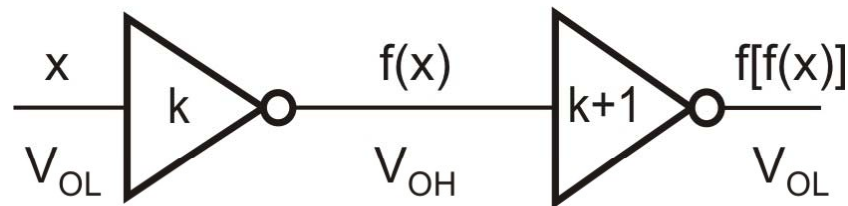
Se si considera un invertitore “reale” (realizzato con transistori e resistenze) e si esegue una misura oppure una simulazione circuitale (ad esempio con SPICE) si ottiene una caratteristica di trasferimento del tipo mostrato:



Si tratta di una curva caratterizzata da pendenza negativa per ogni valore del segnale di ingresso  $V_I$ . Sono presenti: (a) un primo tratto in cui la VTC decresce con pendenza relativamente bassa in modulo ( $> -1$ ); (b) un secondo tratto in cui la pendenza è molto elevata in modulo ( $< -1$ ); (c) un terzo tratto a pendenza bassa in modulo ( $> -1$ ). Pertanto la pendenza risulta esattamente pari a  $-1$  in corrispondenza di 2 valori del segnale di ingresso  $V_I$ .

Ciò posto, l'obiettivo è quello di generalizzare la definizione dei parametri che sono stati introdotti per il caso ideale ( $V_{OL}$ ,  $V_{OH}$ ,  $NM_L$ ,  $NM_H$ ).

Partiamo dalla definizione - per il caso reale - dei livelli di tensione corrispondenti allo stato logico basso ( $V_{OL}$ ) ed allo stato logico alto ( $V_{OH}$ ). Si consideri una cascata di invertitori reali (ognuno dei quali è ovviamente caratterizzato da una VTC reale).

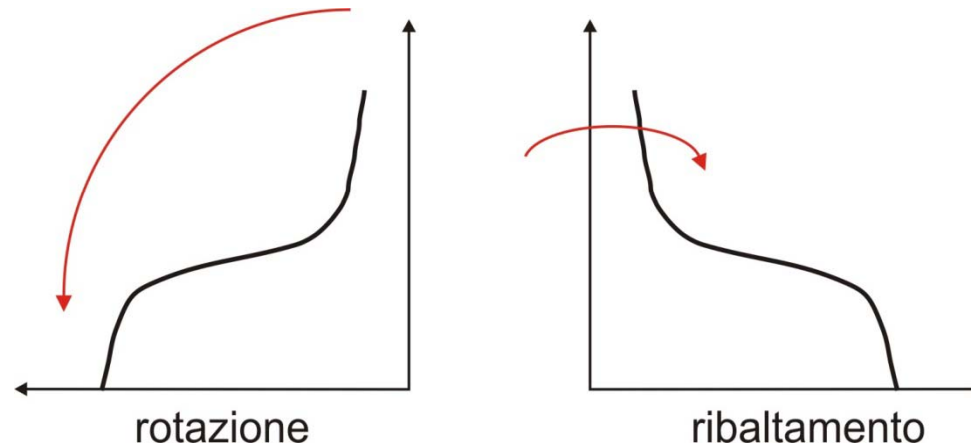


Per semplicità di notazione indichiamo con  $f(x)$  la funzione (di trasferimento) implementata dalla VTC reale; se  $x$  è l'ingresso dell'invertitore  $k$  allora l'uscita di questo invertitore è  $f(x)$ , mentre l'uscita dell'invertitore  $k+1$  è  $f[f(x)]$ .

Supponiamo di avere  $V_{OL}$  in ingresso all'invertitore  $k$ ; in tal caso, l'uscita di questo invertitore deve corrispondere a  $V_{OH}$ , e, di conseguenza, l'uscita dell'invertitore  $k+1$  deve essere pari a  $V_{OL}$ .

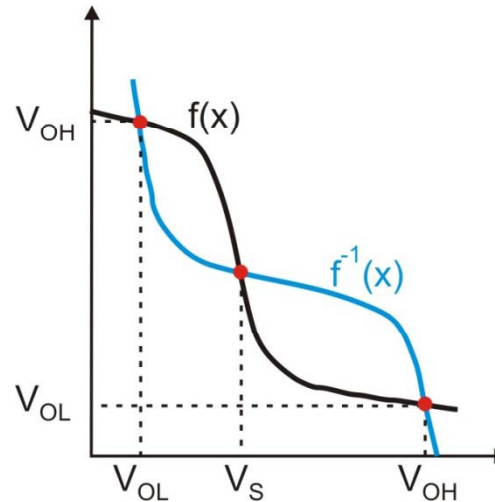
Questo suggerisce la seguente definizione per i livelli di tensione corrispondenti ai 2 stati logici: sono quei valori di tensione  $V_l$  in ingresso ad una cascata di 2 invertitori tali da essere uguali alle uscite della cascata, ovvero quei valori "x" di  $V_l$  tali che  $x = f[f(x)]$ , o, ciò che è lo stesso,  $f^1(x) = f(x)$ .

Dato che  $V_{OL}$  e  $V_{OH}$  devono soddisfare l'equazione  $f^{-1}(x) = f(x)$ , allora si può pensare di risolvere tale equazione “geometricamente”, tenendo conto del fatto che  $f(x)$  è la funzione implementata dalla VTC. La  $f^{-1}(x)$  si ottiene attraverso un'operazione di rotazione di  $90^\circ$  in senso antiorario della caratteristica di trasferimento seguita da un “ribaltamento” rispetto all'asse  $y$ :



Per trovare geometricamente le soluzioni dell'equazione  $f^{-1}(x) = f(x)$  basta valutare i valori di  $x$  per cui la caratteristica “ruotata e ribaltata” e la VTC originaria [cioè  $f(x)$ ] si intersecano.

Sovrapponendo i 2 grafici si ha che, oltre alle soluzioni attese ( $V_{OL}$  e  $V_{OH}$ ) ce n'è un'altra; si tratta, cioè, di un ulteriore valore di  $V_I$  tale che, portato in ingresso ad una coppia di invertitori, lo si ritrova identico in uscita.



La presenza di questa soluzione deriva dal fatto che, dato un invertitore reale, esiste un valore per la tensione di ingresso  $x$  tale che l'uscita è *uguale* all'ingresso stesso, ovvero  $f(x) = x$  (non avviene l'inversione). E' chiaro che, se  $x$  passa "inalterato" attraverso un invertitore, passa "inalterato" anche attraverso la cascata di invertitori, e quindi risulta anche  $f^{-1}(x) = f(x)$ .

Questa particolare tensione di ingresso (caratterizzata dal fatto che  $V_{OUT} = V_I$ ) viene denominata "soglia logica" dell'invertitore reale e denotata con  $V_S$  (è la generalizzazione della "soglia logica" introdotta per l'invertitore ideale: infatti è un ingresso che non è interpretato né alto né basso).

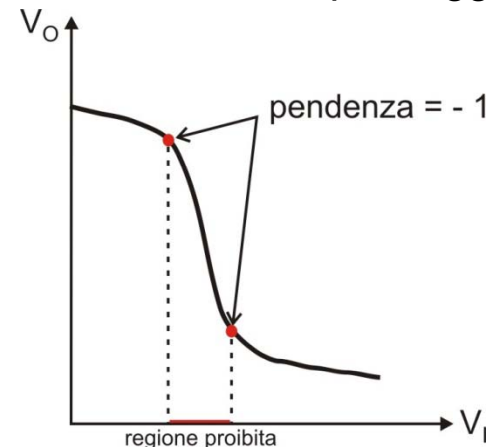
Generalizziamo il concetto di *margin di rumore*. Si è detto che la caratteristica di trasferimento dell'invertitore può ritenersi descritta da una funzione  $f(x)$ . Supponiamo che ci sia un disturbo  $\delta$  sovrapposto al segnale di ingresso  $x$ . In tal caso l'uscita dell'invertitore sarà  $f(x + \delta)$ . Sviluppando in serie di Taylor

$$f(x + \delta) \approx f(x) + f'(x)\delta$$

Questo significa che se l'ingresso  $x$  (più il rumore  $\delta$ ) cade nel tratto “quasi verticale” della caratteristica (caratterizzato da  $|f'(x)| \gg 1$ ) in uscita dall'invertitore si ottiene (1) l'uscita “ideale” corrispondente ad un ingresso scevro da rumore  $f(x)$  e (2) una componente  $f'(x)\delta$  molto elevata dovuta al rumore stesso (il rumore viene “amplificato” dalla pendenza). Il fatto che alla componente  $f(x)$  si sovrapponga un significativo segnale di disturbo si può tradurre nell'ottenimento di un segnale di uscita  $V_O$  il cui stato logico è “difficilmente interpretabile” dalle porte a valle - con conseguenti malfunzionamenti.

Di contro, se il segnale d'ingresso cade nei tratti a bassa pendenza della caratteristica (ovvero dove  $|f'(x)| < 1$ ) si ha che il rumore viene “attenuato” dal passaggio attraverso l'invertitore.

Sulla base di questi aspetti, è chiaro che bisogna evitare che il segnale d'ingresso  $x$  cada nella zona tale che  $|f'(x)| > 1$  (eventuali rumori verrebbero amplificati dal passaggio attraverso l'invertitore). Tale zona viene, pertanto, detta *regione di ambiguità* (o anche *regione proibita* o *illegale* o *di incertezza* o *di transizione*).



I limiti (in termini di segnale di ingresso) della regione ambigua vengono denotati con  $V_{IL}$  e  $V_{IH}$ ; si tratta di quei valori del segnale d'ingresso  $V_I$  tali che  $|f'(x)| = 1$ . All'interno dell'intervallo  $[V_{IL}, V_{IH}]$  si ha che  $|f'(x)| > 1$  ed un eventuale disturbo sovrapposto al segnale d'ingresso risulterebbe amplificato.

Sulla base di questi aspetti, le definizioni dei margini di rumore  $NM_L$  ed  $NM_H$  possono essere generalizzate al caso "reale" come segue:

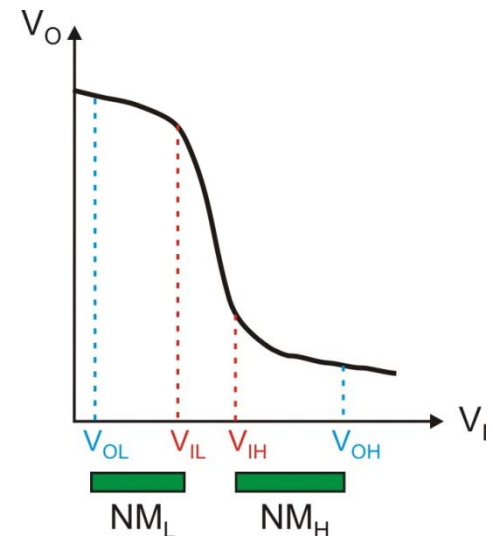
$$NM_L \triangleq V_{IL} - V_{OL}$$

$$NM_H \triangleq V_{OH} - V_{IH}$$

nel pieno rispetto della definizione data quando si è trattato l'invertitore ideale, ovvero: il margine di rumore rappresenta la massima ampiezza di un disturbo sovrapponibile al segnale di ingresso ( $V_{OL}$  o  $V_{OH}$ ) tale da *non* provocare eventuali variazioni dello stato logico "desiderato" in uscita.

Il margine di rumore "integrale" della porta è definito, al solito, come

$$NM \triangleq \min(NM_L, NM_H)$$



Si definisce “escursione logica” (o swing logico) la differenza tra i valori nominali di tensione corrispondenti agli stati logici alto e basso:

$$V_{SW} \triangleq V_{OH} - V_{OL}$$

Una buona immunità al rumore è una delle più importanti caratteristiche che una porta logica deve avere. Al fine di migliorare quanto più possibile il margine di rumore, bisogna - in fase di progetto - far sì che

$$V_{OL} \rightarrow 0 \text{ V}$$

$$V_{OH} \rightarrow V_{DD}$$

$$V_{IL}, V_{IH} \rightarrow \frac{V_{OL} + V_{OH}}{2} \left( = \frac{V_{DD}}{2} \right)$$

ottenendo, in tal modo, un margine di rumore pari alla metà della tensione di alimentazione  $V_{DD}$  (ed un “annichilimento” della regione proibita). Ovviamente questo obiettivo non è sempre raggiungibile; dipenderà dalla particolare famiglia logica presa in considerazione e dalle altre specifiche da rispettare.