

Corso di Calcolatori Elettronici I

A.A. 2011-2012

Progetto di Macchine Sequenziali Esercizi

Lezione 41

Prof. Antonio Pescapè

Università degli Studi di Napoli Federico II
Facoltà di Ingegneria
Corso di Laurea in Ingegneria Informatica



Un richiamo: Flip-Flop J-K

- Il flip-flop J-K ha due ingressi J e K che si comportano rispettivamente come ingressi di set e di reset
 - la configurazione $J = K = 1$ è consentita e realizza la commutazione del flip-flop
- Si può ottenere dal flip-flop D a commutazione sul fronte

J	K	Q_{n+1}
0	0	Q_n
0	1	0
1	0	1
1	1	$\overline{Q_n}$

Equazione caratteristica

$$Q^* = JQ' + K'Q$$

Q	Q^*	J	K	transiz
0	0	0	x	x/R
0	1	1	x	S/C
1	0	x	1	R/C
1	1	x	0	x/S

Determina gli ingressi da applicare per ottenere la transizione desiderata

Tabella di riepilogo

	<i>Tipo di flip-flop</i>					
	<i>SR</i>		<i>D</i>	<i>T</i>	<i>JK</i>	
<i>Transizione</i>	<i>S</i>	<i>R</i>	<i>D</i>	<i>T</i>	<i>J</i>	<i>K</i>
$0 \rightarrow 0$	0	-	0	0	0	-
$0 \rightarrow 1$	1	0	1	1	1	-
$1 \rightarrow 0$	0	1	0	1	-	1
$1 \rightarrow 1$	-	0	1	0	-	0

Le fasi della progettazione

- **Definizione della rete e costruzione della tabella**
 - trasformare la specifica della rete nella tabella di flusso di un automa a stati finiti
- **Minimizzazione degli stati**
- **Assegnazione degli stati**
 - Codificare in binario gli stati interni dell' automa (numero minimo)
 - Per un automa a n stati, occorrono almeno $\{\lceil \log_2 N \rceil\}$ bit e quindi un registro di stato con altrettanti flip-flop
- **Scelta dei flip-flop**
 - D, J-K, T, RS
- **Progetti combinatori per il posizionamento dei flip-flop e delle uscite**
 - Determinare, per ogni flip-flop e ogni riga della tabella di flusso, i segnali di eccitazione necessari alla generazione dello stato seguente
 - Determinare le equazioni in forma minima della rete combinatoria
 - Disegnare il circuito

Esercizio 1

Riconoscitore di sequenza

Riconoscitore di sequenza

- Si vuole progettare una rete sequenziale sincrona ad un ingresso binario x e un'uscita binaria z in grado di riconoscere la sequenza (bit pattern) 1001.
- La rete produce un'uscita alta solo quando in ingresso si presenta la sottosequenza 1001

Più precisamente, se in ingresso si presenta la sequenza

Input: 1 1 1 0 0 1 1 0 1 0 0 1 0 0 1 1 0 ...

l'uscita assume i valori

Output: 0 0 0 0 0 1 0 0 0 0 0 1 0 0 1 0 0 ...

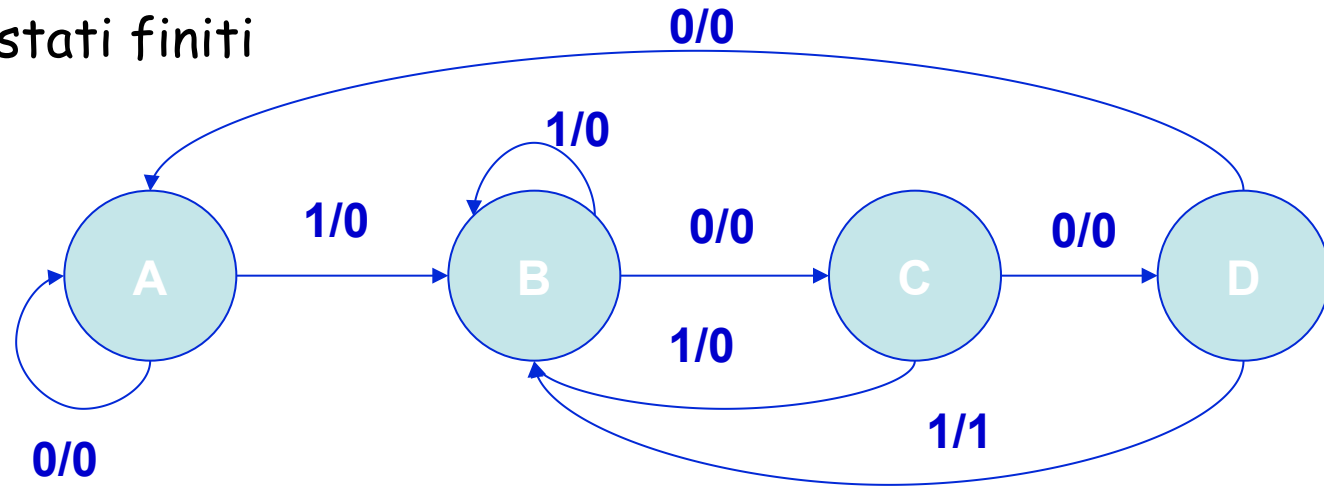
- Le sottosequenze utili possono concatenarsi
 - L'uscita è 1 se gli ultimi quattro bit d'ingresso formano la sottosequenza 1001
 - L'uscita 1 si ha in corrispondenza del quarto bit della sottosequenza utile d'ingresso (1001)
- La rete è di Mealy



Riconoscitore di sequenza

1. Definizione della rete e costruzione della tabella

- Automa a stati finiti



- Tabella

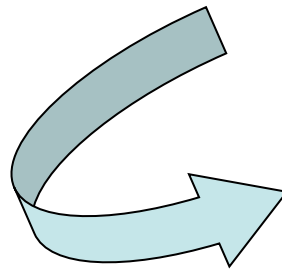
STATO PRESENTE	INPUT	STATO SEGUENTE	OUTPUT
A	0	A	0
A	1	B	0
B	0	C	0
B	1	B	0
C	0	D	0
C	1	B	0
D	0	A	0
D	1	B	1

Riconoscitore di sequenza

2. Assegnazione degli stati e codifica

□ 4 stati → sono sufficienti 2 bit, ad es. A=00, B=01, C=10, D=11

STATO PRESENTE	INPUT	STATO SEGUENTE	OUTPUT
A	0	A	0
A	1	B	0
B	0	C	0
B	1	B	0
C	0	D	0
C	1	B	0
D	0	A	0
D	1	B	1



STATO PRESENTE		INPUT	STATO SEGUENTE	
Q1	Q0	X	Q1	Q0
0	0	0	0	0
0	0	1	0	1
0	1	0	1	0
0	1	1	0	1
1	0	0	1	1
1	0	1	0	1
1	1	0	0	0
1	1	1	0	1

Riconoscitore di sequenza

3. Scelta dei flip flop

▣ Ad esempio JK

Q	Q*	J	K	transiz
0	0	0	x	x/R
0	1	1	x	S/C
1	0	x	1	R/C
1	1	x	0	x/S

Riconoscitore di sequenza

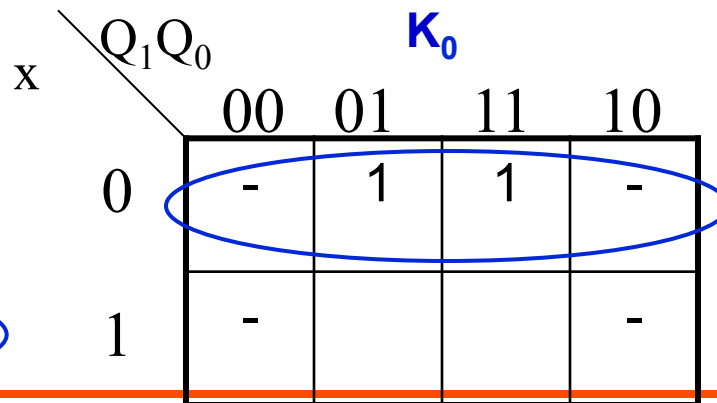
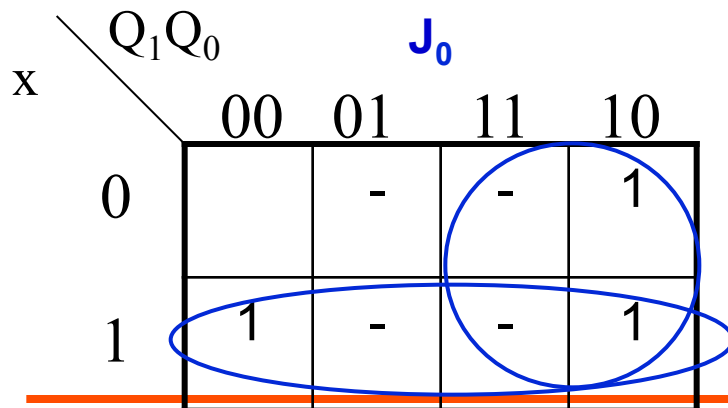
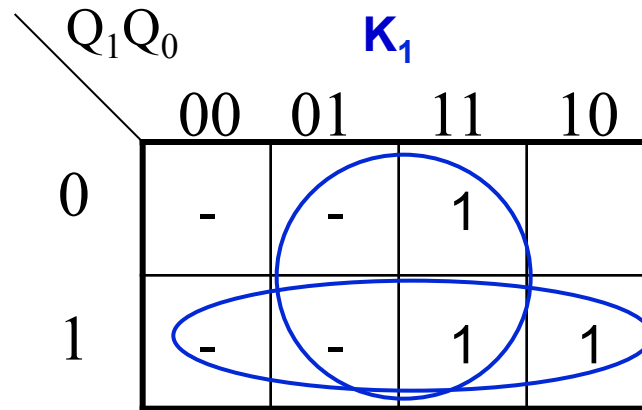
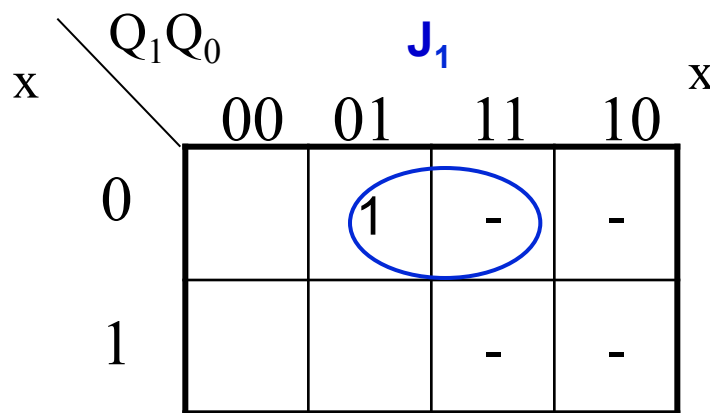
4. Progetto combinatorio per il posizionamento dello stato e dell'uscita

□ Progetto di eccitazione dei flip-flop

STATO PRESENTE		INPUT	STATO SEGUENTE		SEGNALI DI ECCITAZIONE				OUTPUT
Q1	Q0	X	Q1	Q0	J1	K1	J0	K0	Z
0	0	0	0	0	0	x	0	x	0
0	0	1	0	1	0	x	1	x	0
0	1	0	1	0	1	x	x	1	0
0	1	1	0	1	0	x	x	0	0
1	0	0	1	1	x	0	1	x	0
1	0	1	0	1	x	1	1	x	0
1	1	0	0	0	x	1	x	1	0
1	1	1	0	1	x	1	x	0	1

Riconoscitore di sequenza

- Determinazione delle equazioni in forma minima
 - Mappe di Karnaugh



Riconoscitore di sequenza

- Progetto combinatorio per il posizionamento dell' uscita
 - Determinazione forma minima
 - Mappe di Karnaugh

z

$x \backslash Q_1 Q_0$	00	01	11	10
0				
1				1

- Circuito

Esercizio 2

Riconoscitore di codice 8-4-2-1

Riconoscitore di codice 8-4-2-1

- Costruire una rete nella quale entrano serialmente i bit di un codice decimale 8-4-2-1 a partire dal bit meno significativo e dalla quale esce un segnale impulsivo che individua se i quattro bit costituiscono o meno una delle 10 parole-codice previste

RETE SINCRONA A SINCRONIZZAZIONE ESTERNA

- x è il segnale di ingresso
- c è il clock

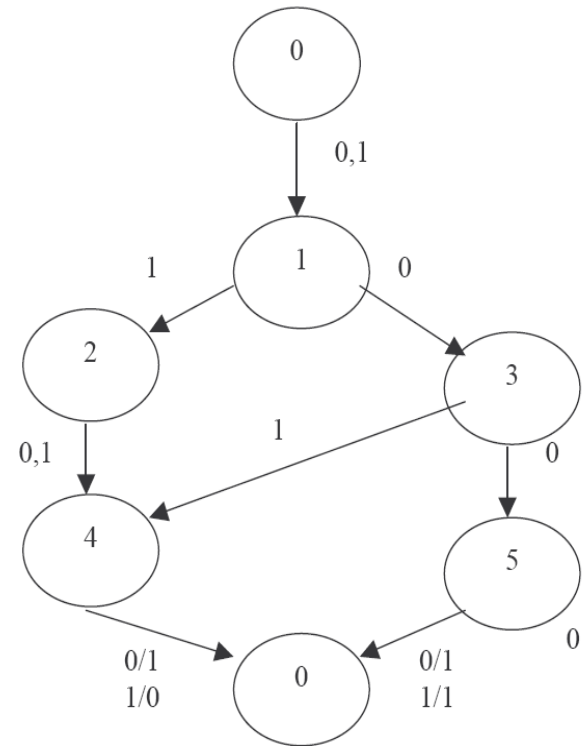
Riconoscitore di codice 8-4-2-1

cifra	
	8-4-2-1
0	0000
1	0001
2	0010
3	0011
4	0100
5	0101
6	0110
7	0111
8	1000
9	1001

Riconoscitore di codice 8-4-2-1

1. Definizione della rete e costruzione della tabella

- ❑ L'uscita della rete è alta se e solo se la sequenza in ingresso è una parola codice lecita
- ❑ Il diagramma degli stati si ottiene osservando che:
 - Tutte le sequenze che hanno "0" in seconda e terza posizione danno $z=1$
 - Per le altre
 - ❑ $Z=1$ se l'ultimo bit è basso
 - ❑ $Z=0$ se l'ultimo bit è alto
- ❑ In alternativa avremmo dovuto procedere alla elencazione di tutti gli stati possibili e poi alla minimizzazione (P&U)

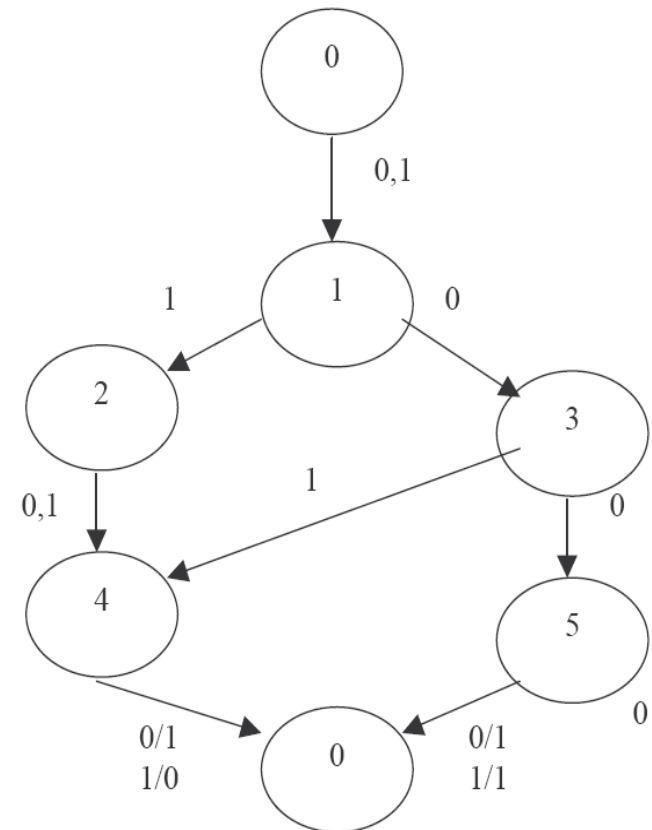


Riconoscitore di codice 8-4-2-1

1. Definizione della rete e costruzione della tabella

- Una volta individuati i 6 stati necessari otteniamo la tabella

	1	0
0	1/0	1/0
1	2/0	3/0
2	4/0	4/0
3	4/0	5/0
4	0/0	0/1
5	0/1	0/1

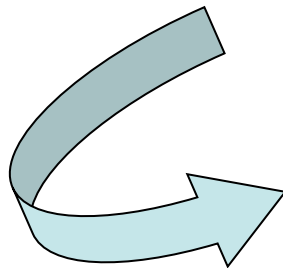


Riconoscitore di codice 8-4-2-1

2. Assegnazione degli stati e codifica

- 6 stati → sono sufficienti 3 bit

	CODIFICA
0	101
1	10
2	111
3	11
4	110
5	0



	1	0
000	101/1	101/1
001	×	×
010	1 11	011
011	110	000
100	×	×
101	010	010
110	101	101/1
111	110	110

Riconoscitore di codice 8-4-2-1

3. Scelta dei flip flop

□ Ad esempio JK

Q	Q*	J	K	transiz
0	0	0	x	x/R
0	1	1	x	S/C
1	0	x	1	R/C
1	1	x	0	x/S

□ 6 segnali di posizionamento

- $J_1 = J_1(y_3 y_2 y_1 x)$, $K_1 = K_1(y_3 y_2 y_1 x)$
- $J_2 = J_2(y_3 y_2 y_1 x)$, $K_2 = K_2(y_3 y_2 y_1 x)$
- $J_3 = J_3(y_3 y_2 y_1 x)$, $K_3 = K_3(y_3 y_2 y_1 x)$

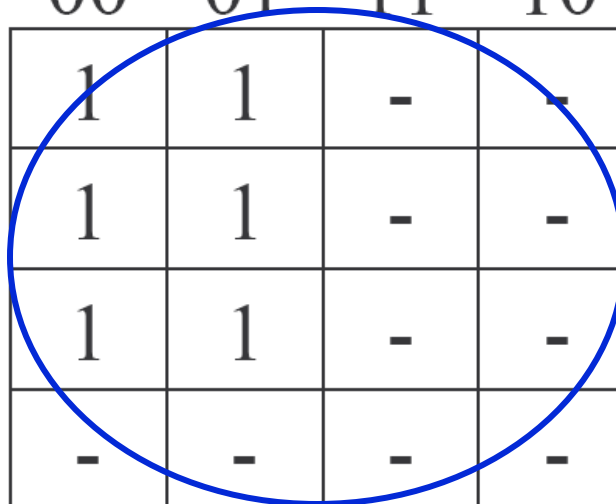
Riconoscitore di codice 8-4-2-1

4. Progetto combinatorio per il posizionamento dello stato
- Determinazione delle equazioni in forma minima
 - Mappe di Karnaugh

y_1x

y_3y_2

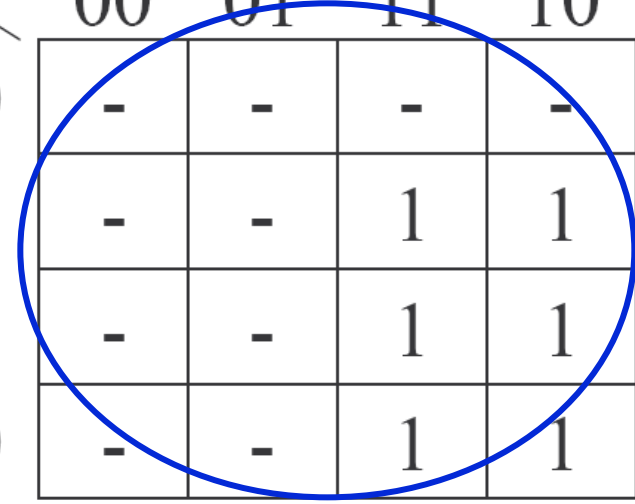
	00	01	11	10
00	1	1	-	-
01	1	1	-	-
11	1	1	-	-
10	-	-	-	-



$J_1 = 1$

y_3y_2

	00	01	11	10
00	-	-	-	-
01	-	-	1	1
11	-	-	1	1
10	-	-	1	1



$K_1 = 1$

Riconoscitore di codice 8-4-2-1

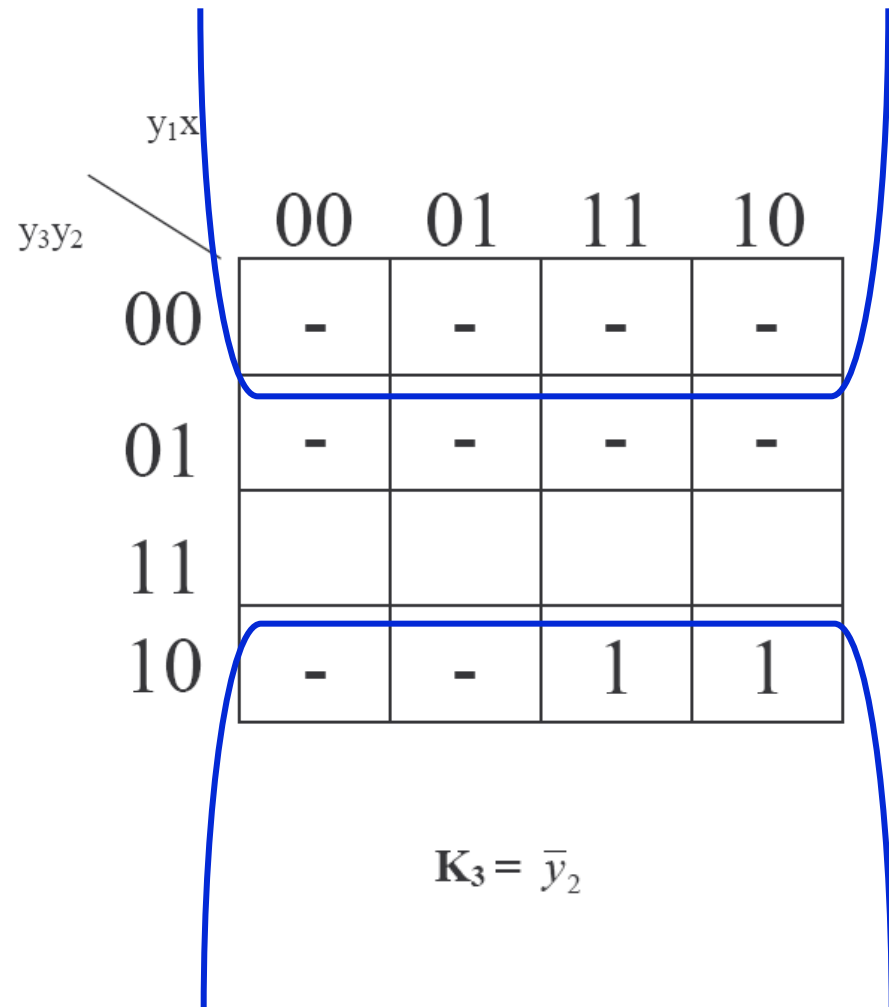
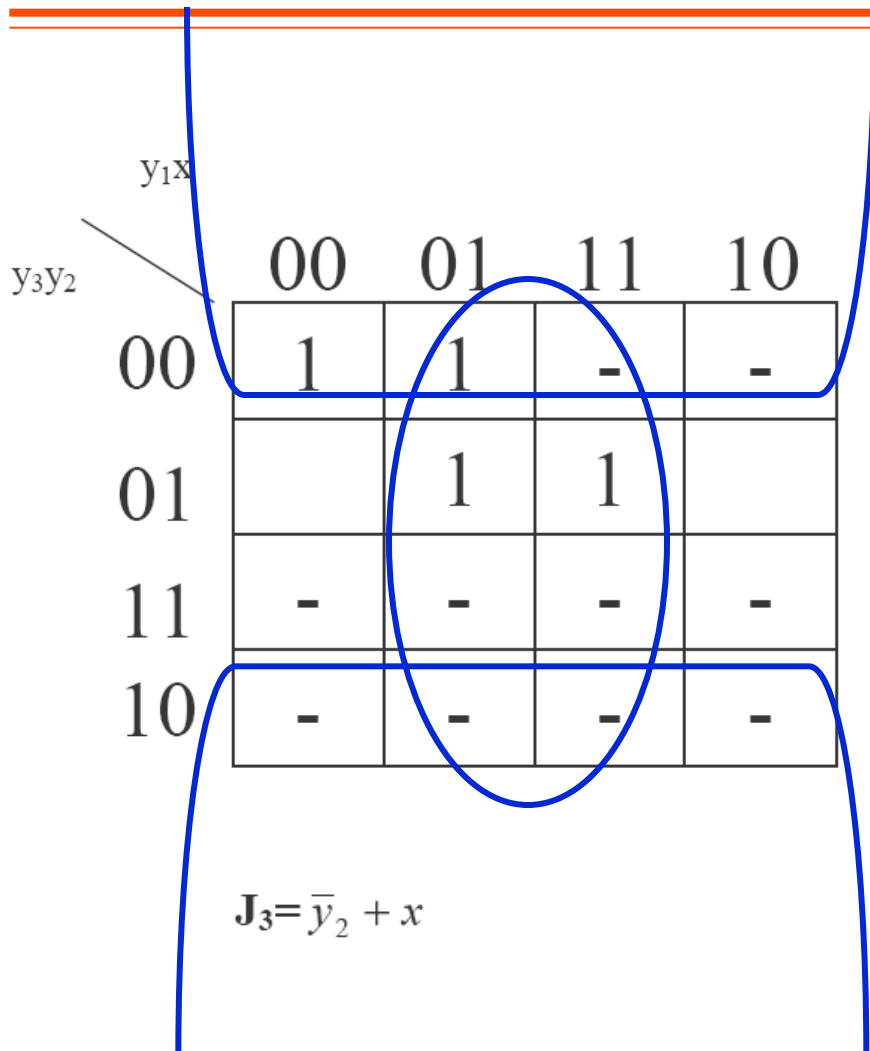
		y_1x			
		00	01	11	10
y_3y_2	00			-	-
	01	-	-	-	-
	11	-	-	-	-
	10	-	-	1	1

J_2 può avere diverse forme minime equivalenti.
Scegliamo ad es. $J_2 = y_3$

		y_1x			
		00	01	11	10
y_3y_2	00	-	-	-	-
	01				1
	11	1	1		
	10	-	-	-	-

$$K_2 = y_1\bar{y}_3\bar{x} + \bar{y}_1y_3$$

Riconoscitore di codice 8-4-2-1



Riconoscitore di codice 8-4-2-1

4. Progetto combinatorio per il posizionamento dell'uscita
- Determinazione delle equazioni in forma minima
 - Mappe di Karnaugh

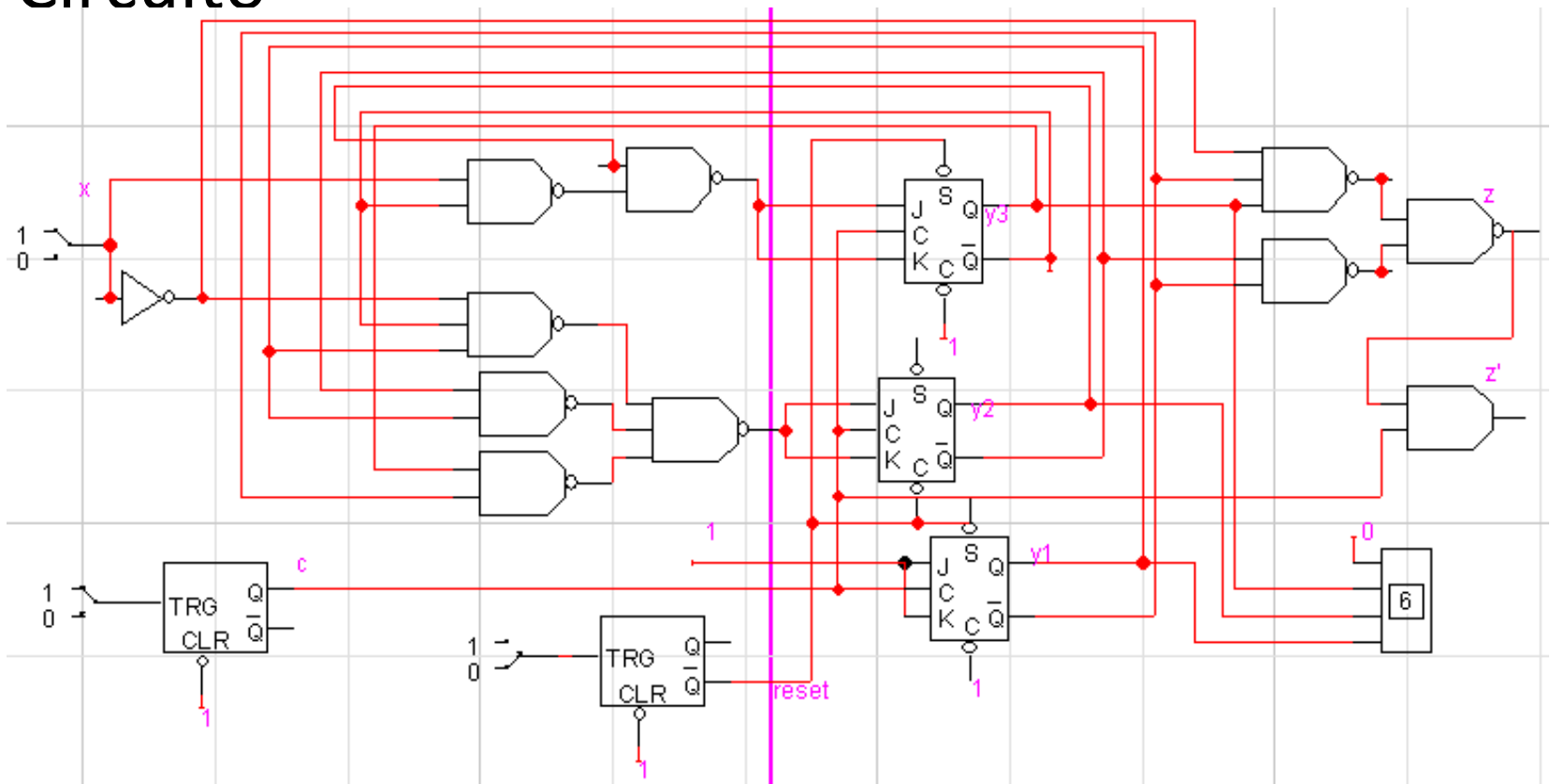
Karnaugh map for the 8-4-2-1 code recognizer. The map is a 4x4 grid with rows labeled y_3y_2 (00, 01, 11, 10) and columns labeled y_1x (00, 01, 11, 10). The cells contain 1s or dashes (-) representing the output function z .

$y_3y_2 \backslash y_1x$	00	01	11	10
00	1	1	-	-
01				
11	1			
10	-	-		

$$z = y_3 \bar{y}_1 \bar{x} + \bar{y}_3 \bar{y}_2$$

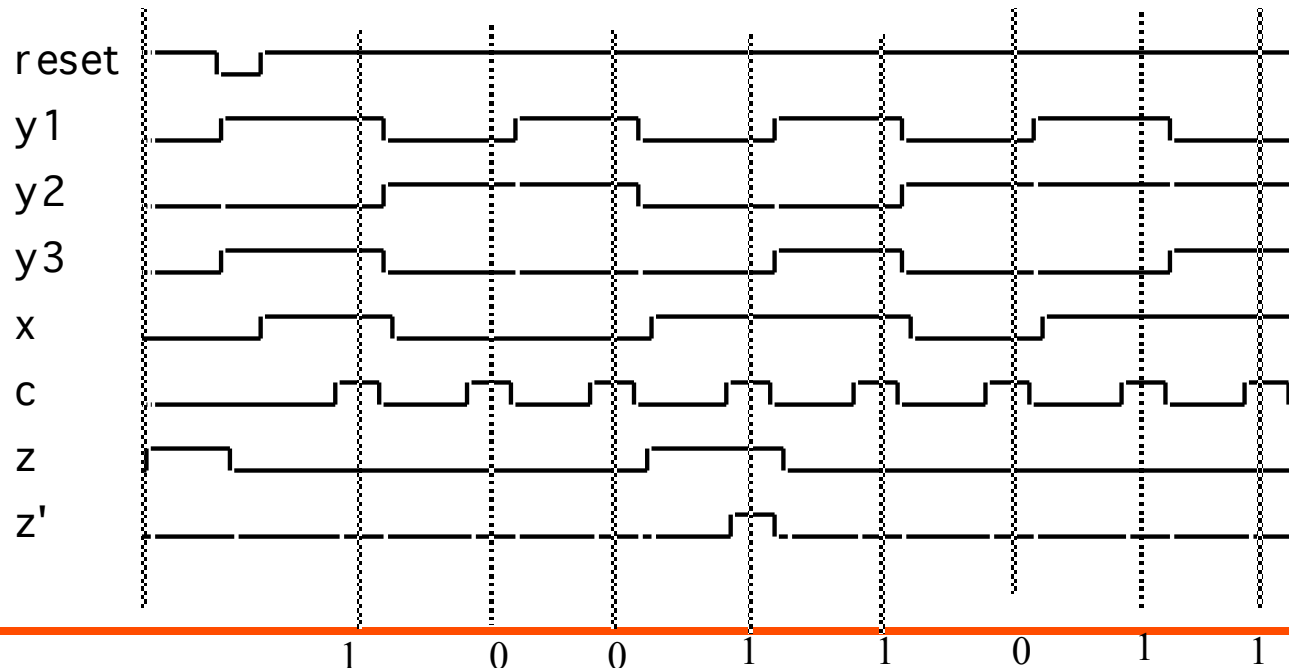
Riconoscitore di codice 8-4-2-1

- Circuito



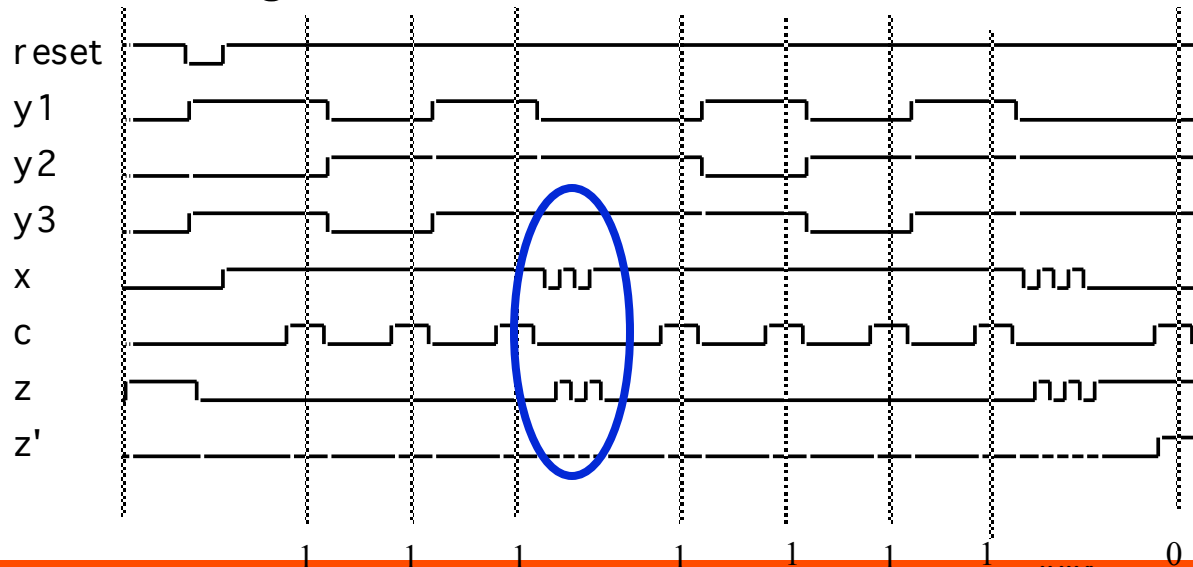
Riconoscitore di codice 8-4-2-1

- Tempificazione
 - Flip-flop edge triggered sul fronte di discesa
 - z' è significativa mentre z tiene conto anche delle oscillazioni di x



Riconoscitore di codice 8-4-2-1

- Si consideri la sequenza 111 per i primi tre bit
 - la rete si porta nello stato S4
 - Se, simulando così un disturbo sulla linea x, si considera una oscillazione da 0 a 1 di x, si ha che l'uscita z oscilla di conseguenza, mentre z' si forma correttamente in sincronismo con il quarto clock, quando x è significativa.



Esercizio 2

Progetto di un contatore modulo
10

Contatore modulo N

Un contatore modulo N è una macchina che conta in modulo N gli impulsi o le variazioni di livello di un segnale assunto come segnale di conteggio.

Ingressi

- Incremento al conteggio
 - Abilitazione al conteggio
 - Valore dell'Incremento
 - Reset
 - Valore Iniziale
 - Load
- 

Uscite

- Valore del conteggio
 - Valore attualmente contato
- DIV
 - Indica che il contatore ha raggiunto il valore limite
- Ripple
 - Segnale impulsivo sincrono con la transizione di azzeramento del contatore

Contatori modulo N

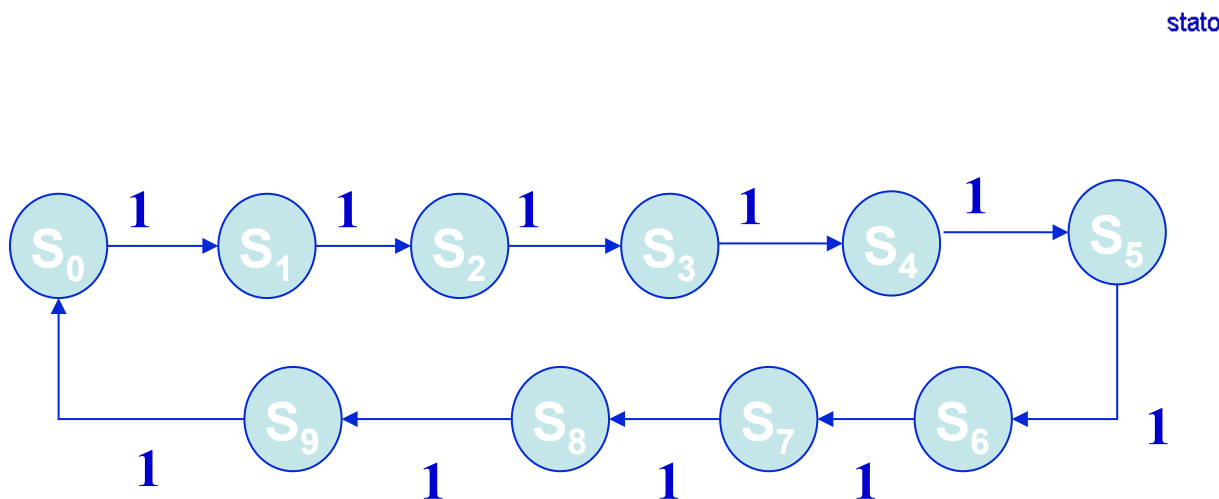
- Un contatore modulo-N è tipicamente realizzato mediante contatori modulo-k, con $k < N$, in particolare con contatori modulo-2, per cui (supposto il contatore a crescere):
 - l'uscita di conteggio coincide con l'uscita *div*;
 - il segnale *ripple* è associato alla variazione dell'uscita da 1 a 0 e quindi al fronte di discesa dell'uscita.
- **Contatore sincrono**
 - il segnale di conteggio è fornito in parallelo a tutte le unità e l'abilitazione alla commutazione è funzione degli stati precedenti
 - Se i contatori componenti sono flip-flop, lo schema è quello di una rete sequenziale sincrona a sincronizzazione esterna, sincronizzata dall'impulso di conteggio (o da un suo fronte).
- **Contatore asincrono o ripple-counter o a propagazione**
 - il segnale di conteggio viene fornito solo alla prima unità, mentre le altre sono poste in serie e ricevono in ingresso ciascuna il ripple dell'unità di peso immediatamente inferiore;
 - modello di rete realizzata con collegamento in serie di più sottoreti

Contatore modulo N

- Gli stati rappresentano il valore attualmente contato
 - la codifica più semplice è rappresentare ciascuno stato con n bit la cui interpretazione con la notazione posizionale è proprio il valore memorizzato
- Le uscite OUT sono i valori contati, si adotta la stessa codifica degli stati
- DIV è già decodificato

Contatore modulo 10

1. Definizione della rete e costruzione della tabella



stato

	0	1	DIV	OUT
S_0	S_0	S_1	0	0
S_1	S_1	S_2	0	1
S_2	S_2	S_3	0	2
S_3	S_3	S_4	0	3
S_4	S_4	S_5	0	4
S_5	S_5	S_6	0	5
S_6	S_6	S_7	0	6
S_7	S_7	S_8	0	7
S_8	S_8	S_9	0	8
S_9	S_9	S_0	1	9

- ❑ L'ingresso di reset non è riportato
 - quando è alto la macchina torna nello stato S_0
- ❑ Se in ingresso entra 0 la macchina non cambia stato (cappio)

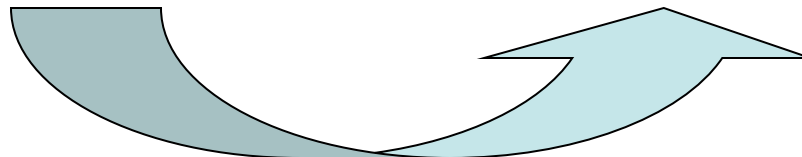
Contatore modulo 10

2. Assegnazione degli stati e codifica

- 9 stati → sono sufficienti 4 bit

STATO	CODIFICA
S0	0000
S1	0001
S2	0010
S3	0011
S4	0100
S5	0101
S6	0110
S7	0111
S8	1000
S9	1001

	0	1	OUT	DIV
0000	0000	0001	0001	0
0001	0001	0010	0010	0
0010	0010	0011	0011	0
0011	0011	0100	0100	0
0100	0100	0101	0101	0
0101	0101	0110	0110	0
0110	0110	0111	0111	0
0111	0111	1000	1000	0
1000	1000	1001	1001	0
1001	1001	0000	0000	1



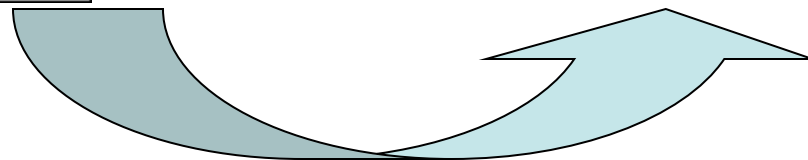
Contatore modulo 10

2. Assegnazione degli stati e codifica

- 9 stati → sono sufficienti 4 bit

STATO	CODIFICA
S0	0000
S1	0001
S2	0010
S3	0011
S4	0100
S5	0101
S6	0110
S7	0111
S8	1000
S9	1001

$q_3q_2q_1q_0$	0	1	OUT	DIV
0000	0000	0001	0001	0
0001	0001	0010	0010	0
0010	0010	0011	0011	0
0011	0011	0100	0100	0
0100	0100	0101	0101	0
0101	0101	0110	0110	0
0110	0110	0111	0111	0
0111	0111	1000	1000	0
1000	1000	1001	1001	0
1001	1001	0000	0000	1



Contatore modulo 10

3. Scelta dei flip flop

- Ad esempio JK

Q	Q*	J	K	transiz
0	0	0	x	x/R
0	1	1	x	S/C
1	0	x	1	R/C
1	1	x	0	x/S

- 8 segnali di posizionamento

- $J_0 = J_0(q_0q_1q_2q_3x)$, $K_0 = K_0(q_0q_1q_2q_3x)$
- $J_1 = J_1(q_0q_1q_2q_3x)$, $K_1 = K_1(q_0q_1q_2q_3x)$
- $J_2 = J_2(q_0q_1q_2q_3x)$, $K_2 = K_2(q_0q_1q_2q_3x)$
- $J_3 = J_3(q_0q_1q_2q_3x)$, $K_3 = K_3(q_0q_1q_2q_3x)$

Contatore modulo 10

4. Progetto combinatorio per il posizionamento dello stato

- Determinazione delle equazioni in forma minima

Q_3Q_2 Q_1Q_0	00	01	11	10
00			--	--
01	1	1	--	
11	--	--	--	--
10	--	--	--	--

J_1

$$J_0 = 1$$

$$J_1 = Q_0 \cdot \overline{Q_3}$$

$$J_2 = Q_1 \cdot Q_0$$

$$K_0 = 1$$

$$K_1 = Q_0$$

$$K_2 = Q_1 \cdot Q_0$$

Q_3Q_2 Q_1Q_0	00	01	11	10
00	--	--	--	
01	--	--	--	--
11	1	1	--	--
10			--	--

K_1

J_2

Q_3Q_2 Q_1Q_0	00	01	11	10
00		--	--	--
01		--	--	--
11	1	--	--	--
10		--	--	--

Q_3Q_2 Q_1Q_0	00	01	11	10
00	--		--	--
01	--		--	--
11	--	1	--	--
10	--		--	--

K_2

Contatore modulo 10

Q ₃ Q ₂ \ Q ₁ Q ₀		00	01	11	10
Q ₃ Q ₂	00			--	--
	01			--	--
	11		1	--	--
	10			--	--

J₃

Q ₃ Q ₂ \ Q ₁ Q ₀		00	01	11	10
Q ₃ Q ₂	00	--	--	--	
	01	--	--	--	1
	11	--	--	--	--
	10	--	--	--	--

K₃

$$J_3 = Q_2 \cdot Q_1 \cdot Q_0$$

$$K_3 = Q_0$$

Contatore modulo 10

4. Progetto combinatorio per il posizionamento dell' uscita
- Determinazione delle equazioni in forma minima
 - Mappe di Karnaugh

$$div = Q_3 \cdot Q_0$$

$Q_1Q_0 \backslash Q_2Q_3$		Q_2Q_3			
		00	01	11	10
00					
01			1	-	-
11		-	-	-	-
10					

