
Le memorie

Corso di Calcolatori Elettronici I

Dipartimento di Informatica e Sistemistica
Università degli Studi di Napoli “Federico II”



Argomenti

- Modello di unità di memoria
 - » modello generale
 - » memorie indirizzabili
 - » memorie associative
 - » classificazione
- Parametri di una memoria
- Meccanismi di selezione
- Tecnologie di memoria
- Cenni alle gerarchia di memorie



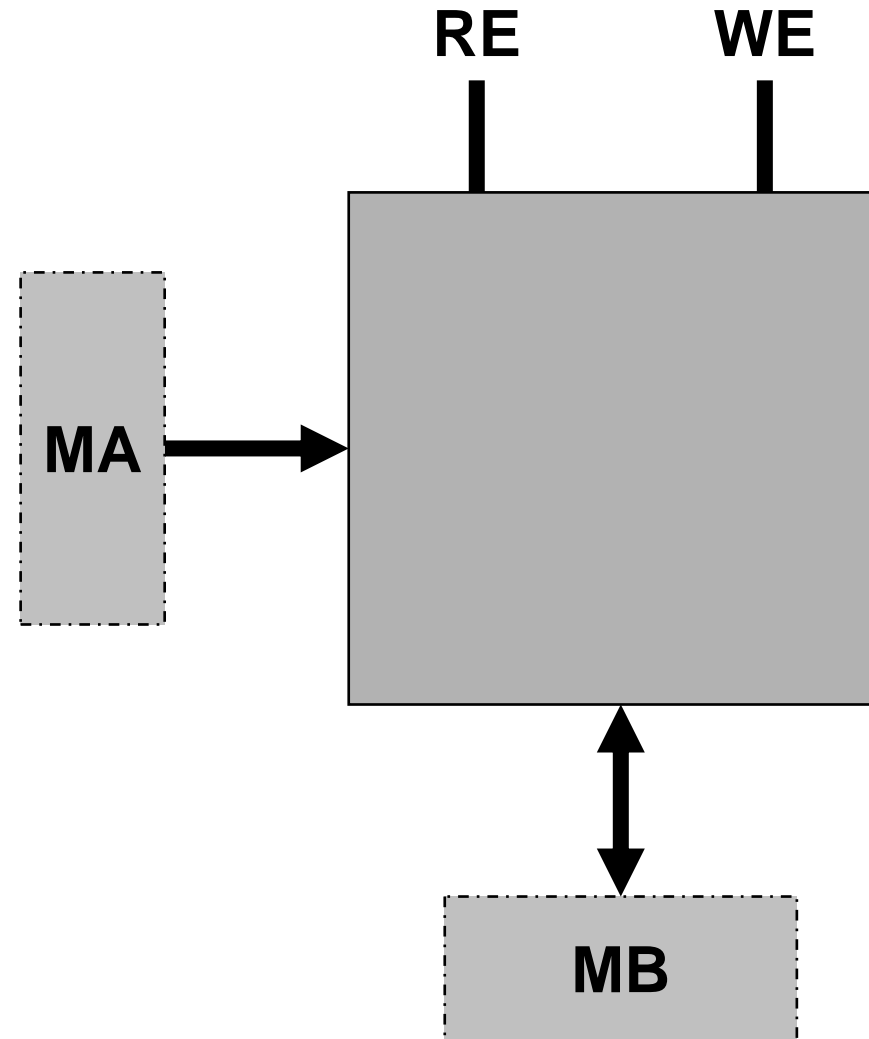
Definizione di memoria

- Sistema organizzato con un insieme di registri (nel senso generale di “contenitori d’informazione”) sui quali sono definite 3 operazioni:
 - » Scrittura
 - ◆ Posizionamento di una cella in un determinato stato o registrazione dell’informazione
 - » Lettura
 - ◆ Rilievo dello stato di una cella o prelievo dell’informazione
 - » Selezione
 - ◆ Individuazione di una cella al fine di eseguire una delle operazioni precedenti



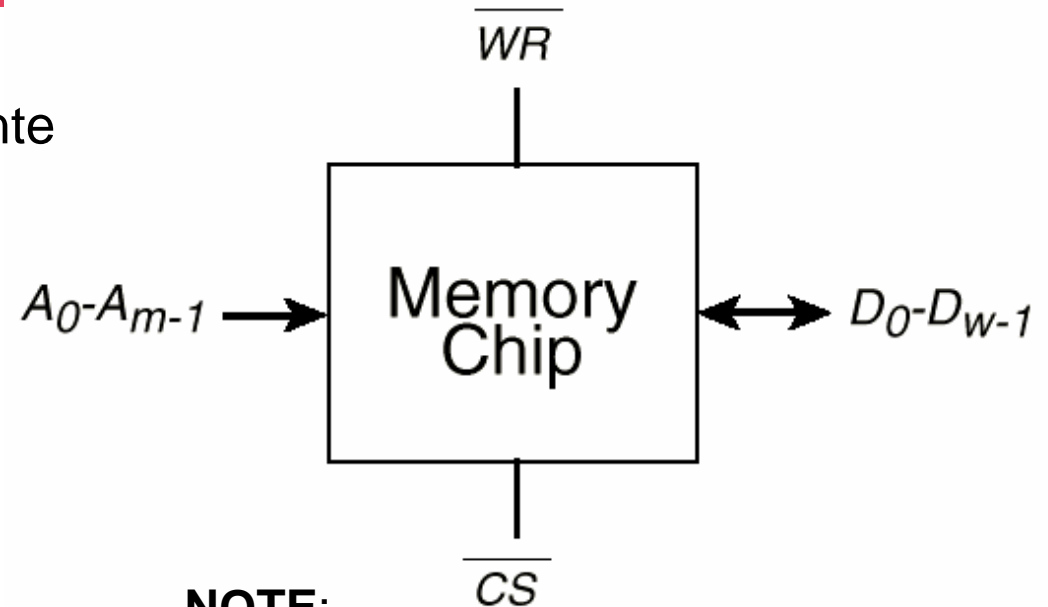
Modello costitutivo di memoria

- Memory Address (MA)
 - » registro contenente l'indirizzo della locazione di memoria interessata all'operazione
- Memory Buffer (MB)
 - » registro contenente il dato letto o da scrivere in memoria
- Read Enable (RE)
 - » segnale che attiva l'operazione di lettura
- Write Enable (WE)
 - » segnale che attiva l'operazione di scrittura



Pinout (semplificato) di un chip di memoria

- *Pinout* = insieme di segnali elettrici accessibili dall'esterno del componente
- A_0-A_{m-1}
 - » Linee degli indirizzi
 - » Unidirezionali (solo in ingresso)
- D_0-D_{w-1}
 - » Linee dei dati
 - » Tipicamente bidirezionali
- **!CS**
 - » Abilitazione del dispositivo. Se $CS=0$ la memoria risponde ai cambiamenti dei segnali esterni. Se $CS=1$, la memoria è inalterata qualsiasi cosa succeda sugli altri segnali
- **!WR**
 - » Abilitazione dell'operazione di scrittura. La scrittura è attivata quando WR diventa 0

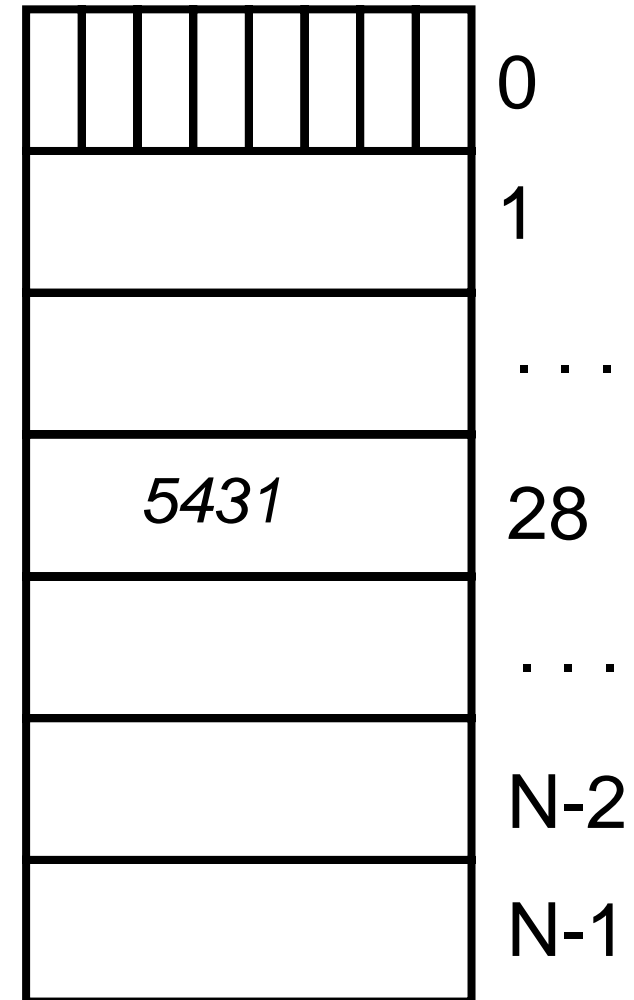


NOTE:

- **!CS** e **!WR** sono *attivi bassi*, ovvero hanno effetto quanto valgono 0 e non quando valgono 1 (è indicato dal segno !, o dalla linea soprastante)
- purché sia $CS=0$ e $WR=1$, l'operazione di lettura (read) è sempre attiva, e l'uscita **D** cambia in conseguenza dell'ingresso indirizzo **A**

Memorie indirizzabili

- Ogni registro è univocamente individuato da un numero intero (indirizzo) che assume valori da 0 a $N-1$ (spazio di indirizzamento)
- Se un registro occupa la posizione i , ci si riferisce ad esso anche come **locazione i**
- Ad esempio, la locazione 28 contiene il valore 5431



Esempio di memoria indirizzabile

Address	Value
0000A000	0F0F0000
0000A004	186734F1
0000A008	0F000000
0000A00C	FE681022
0000A010	3152467C
0000A014	C3450917
0000A018	00392B11
0000A01C	10034561

← 32 bits → ← 32 bits →

Random access memory

In questo esempio, la memoria indirizzabile ha un bus indirizzi A di 32 bit, questo significa che si possono indirizzare fino a 2^{32} differenti locazioni (questo non significa che la memoria le debba contenere tutte)

Ciascuna locazione contiene poi dati di 32 bit

Esempio: la locazione corrispondente all'indirizzo esadecimale 0000A010 contiene il valore 3152467C



Memorie associative

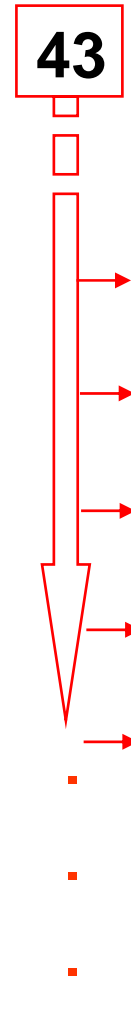
- Ogni registro è univocamente individuato dal valore di un particolare campo (*chiave*, o *key*)
- Per leggere un dato non si usa un indirizzo, bensì si cerca la sua chiave (es. 23)
- Una determinata chiave non è vincolata ad occupare una particolare posizione
- La ricerca di un elemento con una certa chiave può essere molto onerosa
- Sono dette anche CAM (Content Addressable Memory)

<i>chiave (key)</i>	<i>valore</i>
324	0xA345AB5D
23	0x5465BC4E
8874	0xB43F3C54
43	0x78CD733B
<i>(vuota)</i>	---
<i>(vuota)</i>	---
<i>(vuota)</i>	---



Memorie associative

- In linea di principio, per effettuare una lettura occorrerebbe scorrere tutto il contenuto della memoria fino a trovare (eventualmente) la chiave cercata
- In pratica, se la memoria non è troppo grande, la ricerca può essere effettuata in parallelo su tutti i registri
 - » serve un circuito comparatore per ogni registro contenuto in memoria, che confronti la chiave cercata con quella contenuta dal registro



<i>chiave (key)</i>	<i>valore</i>
324	0xA345AB5D
23	0x5465BC4E
8874	0xB43F3C54
43	0x78CD733B
<i>(vuota)</i>	---
<i>(vuota)</i>	---
<i>(vuota)</i>	---



Tassonomie delle memorie

- In base alla **modalità di accesso** ai dati, le memorie si dividono in:
 - » *Sequenziali*: occorre scorrere il supporto (ad esempio un nastro) per attivare al dato cercato: il tempo di accesso dipende dalla posizione
 - » *Casuali*: il tempo di accesso al dato non dipende dalla sua posizione sul supporto
- In base alle **operazioni consentite**, le memorie si dividono in:
 - » Memorie a sola lettura (Read Only Memory - ROM)
 - » Memorie a lettura/scrittura (Read Write Memory - RWM)
- In base alla “**stabilità**” dell’informazione memorizzata, le memorie si dividono in:
 - » Volatili (i dati vengono persi allo spegnimento)
 - » Non volatili (i dati permangono anche in assenza di alimentazione)



Memorie meccanicamente statiche e dinamiche

- “Meccanicamente” statiche:
 - » Sia il supporto fisico, sia il dato sono fermi rispetto al sistema di lettura/scrittura (es: memory card)
 - » Il dato è individuato esclusivamente dalla sua posizione rispetto al sistema di lettura/scrittura
 - » Le operazioni di lettura/scrittura avvengono staticamente, nel senso che non esistono organi in movimento
- “Meccanicamente” dinamiche:
 - » Il supporto fisico e/o il dato è in movimento rispetto al sistema di lettura/scrittura (es: disco magnetico)
 - » Il movimento del sistema di lettura/scrittura è utilizzato per individuare il dato
 - » Le operazioni di lettura/scrittura avvengono dinamicamente, nel senso che esistono organi in movimento



Celle elementari di memorie RAM

- Dal punto di vista della loro realizzazione elettronica, le memorie RAM si dividono in:
 - » statiche (SRAM)
 - ◆ l'informazione memorizzata è conservata nelle celle di memoria per un tempo indefinito o finché non viene modificata tramite un'operazione di scrittura
 - » dinamiche (DRAM)
 - ◆ l'informazione memorizzata nelle celle di memoria deve essere ripristinata periodicamente (operazione di *rinfrasco*, o *refresh*, della memoria)
- Tipicamente sono entrambe volatili:
 - » perdono i dati allo spegnimento



Parametri di una memoria RAM

➤ **Capacità**

- » Numero di dati che può contenere la memoria
- » Si esprime indicando il numero complessivo di registri e la dimensione in bit di un singolo registro

➤ **Tempo di accesso**

- » Tempo necessario ad eseguire un'operazione di lettura/scrittura
- » È composto in generale da un tempo di *selezione* più un tempo di *trasferimento*

➤ **Casualità d'accesso**

- » Il tempo d'accesso può essere indipendente (memorie ad accesso casuale) o dipendente (memorie ad accesso non casuale) dal particolare registro acceduto

➤ **Volatilità**

- » Capacità di una memoria di mantenere in maniera stabile l'informazione memorizzata



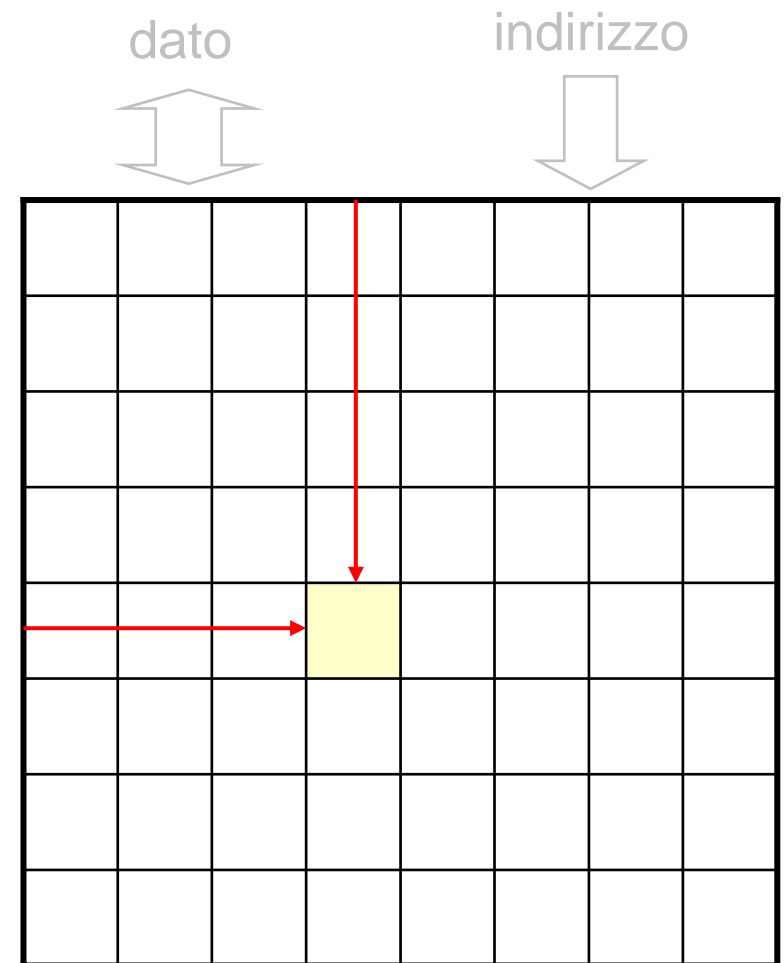
Unità di misura della capacità

bit	un singolo 1 o 0
kilobit (kb)	2^{10} bit = 1024 bit
megabit (Mb)	2^{20} bit = 1.048.576 bit = 2^{10} kb
gigabit (Gb)	2^{30} bit = 1.073.741.824 bit = 2^{10} Mb = 2^{20} kb
byte	8 bit = 2^3 bit
kilobyte (kB)	2^{10} byte = 1024 byte = 2^{13} bit
megabyte (MB)	2^{20} byte = 1.048.576 byte = 2^{10} kB = 2^{23} bit
gigabyte (GB)	2^{30} byte = 1.073.741.824 byte = 2^{10} MB = 2^{20} kB = 2^{33} bit



Selezione nelle memorie

- Le *selezione* è il processo mediante il quale una particolare locazione **fisica**, interessata da un'operazione di lettura o scrittura, è **individuata** nella struttura del dispositivo di memoria, in modo da renderne accessibile il contenuto dall'esterno attraverso il bus dati
- l'individuazione della posizione deve ovviamente avvenire a partire dal bus indirizzo
 - » esistono diverse soluzioni realizzative



Selezione associativa – Schema di principio

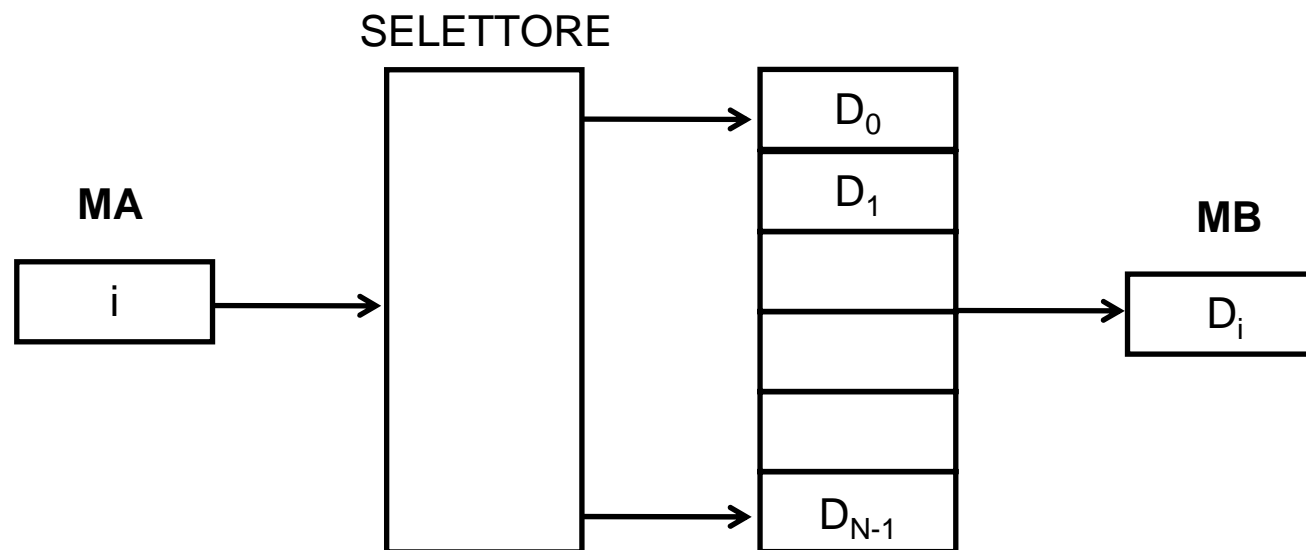
- Come anticipato in precedenza, in una memoria associativa un dato con una certa chiave non è vincolato ad occupare una certa posizione fisica in memoria
 - » per reperire un dato, occorre “cercare” la sua chiave, se presente, attraverso l’intera struttura
- la ricerca può essere fatta sequenzialmente o in parallelo
- è adeguato per memorie piccole

<i>chiave (key)</i>	<i>valore</i>
324	0xA345AB5D
23	0x5465BC4E
8874	0xB43F3C54
43	0x78CD733B
<i>(vuota)</i>	---
<i>(vuota)</i>	---
<i>(vuota)</i>	---

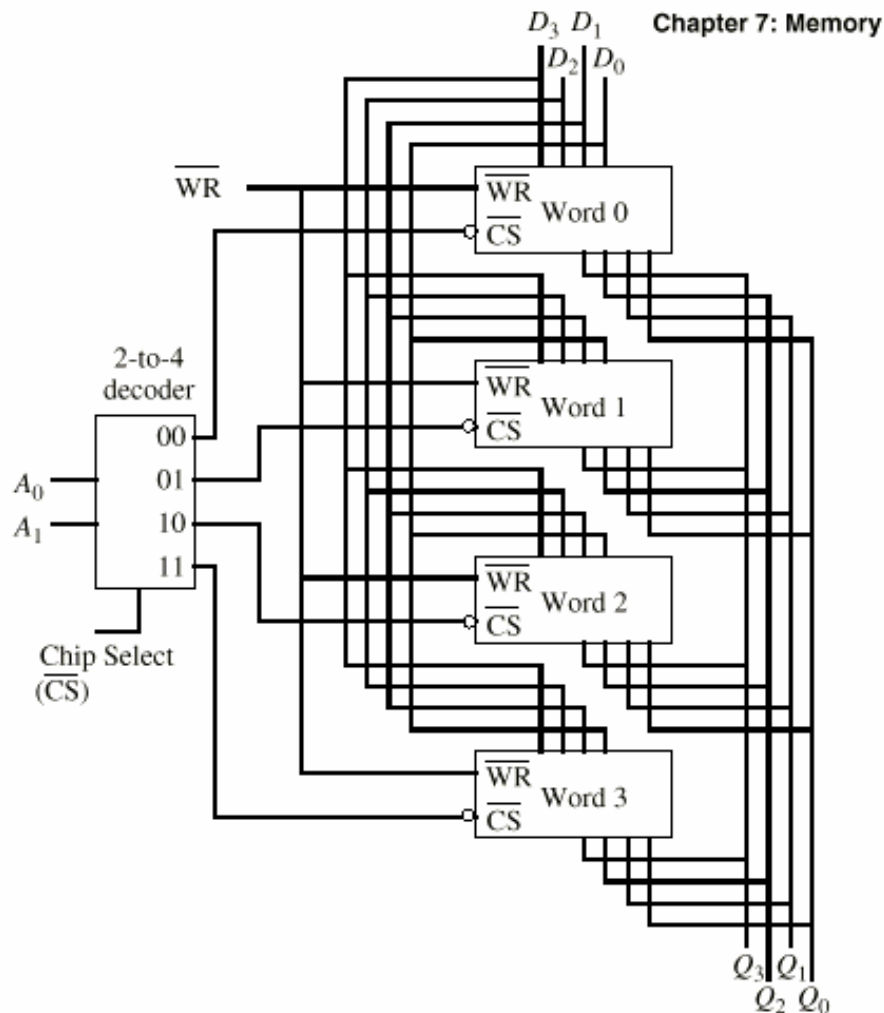


Selezione lineare – Schema di principio

- Nelle memorie indirizzabili, invece, la posizione fisica del dato corrisponde univocamente al valore dell'indirizzo
- L'associazione può essere realizzata con diversi meccanismi
- Nello schema di *selezione lineare* esiste un unico sistema di selezione che attiva direttamente e singolarmente ciascuno degli N registri presenti nella memoria
- Si può immaginare realizzato come un decoder a N uscite e $\log_2(N)$ ingressi



Selezione lineare – RAM quattro parole da 4 bit



Ad esempio, immaginiamo di avere una memoria di 4 locazioni, ciascuna di 4 bit.

L'indirizzo avrà $\log_2(4) = 2$ bit (A_0A_1)

Ogni locazione è costituita da un registro con un segnale di Chip Select (\overline{CS}) che lo abilita in lettura.

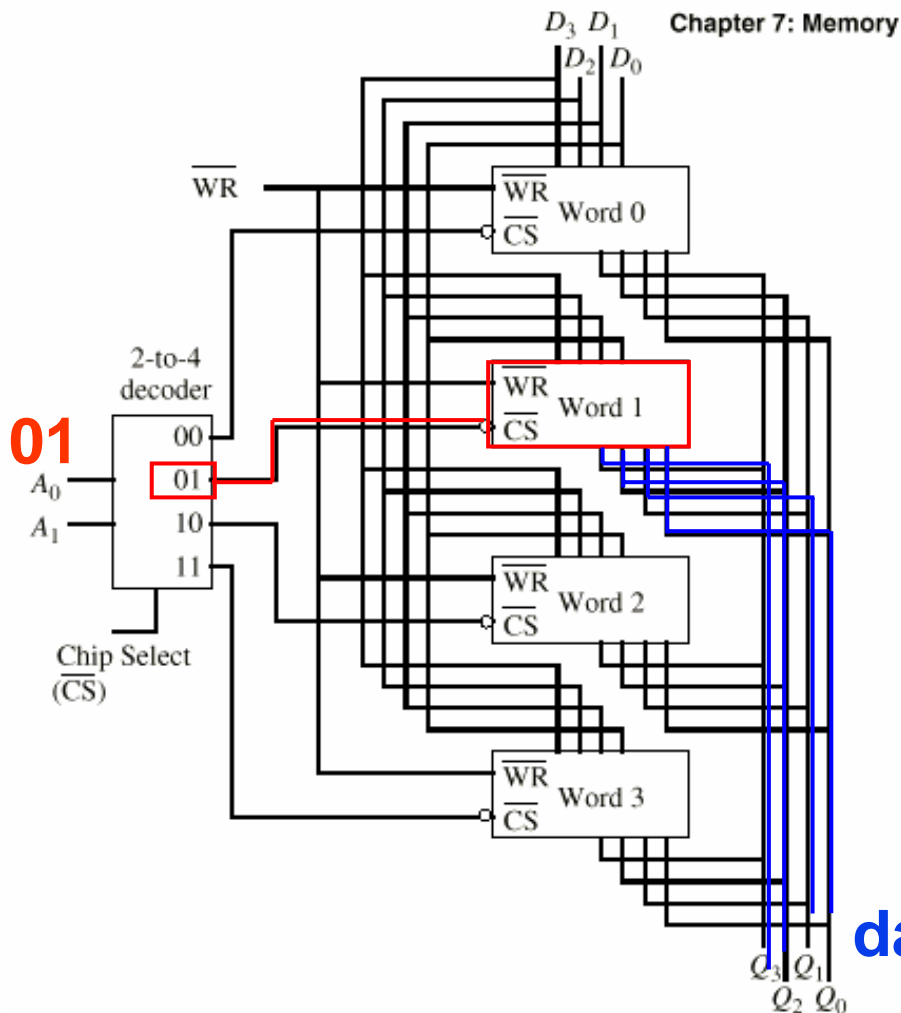
Per leggere da un dato registro occorre abilitarlo ($CS=0$) e disabilitare tutti gli altri ($CS=1$)

Questa operazione è effettuata dal decoder 2-4 posto sull'ingresso indirizzo



Selezione lineare – RAM quattro parole da 4 bit

Il dato contenuto nel secondo registro viene posto in uscita

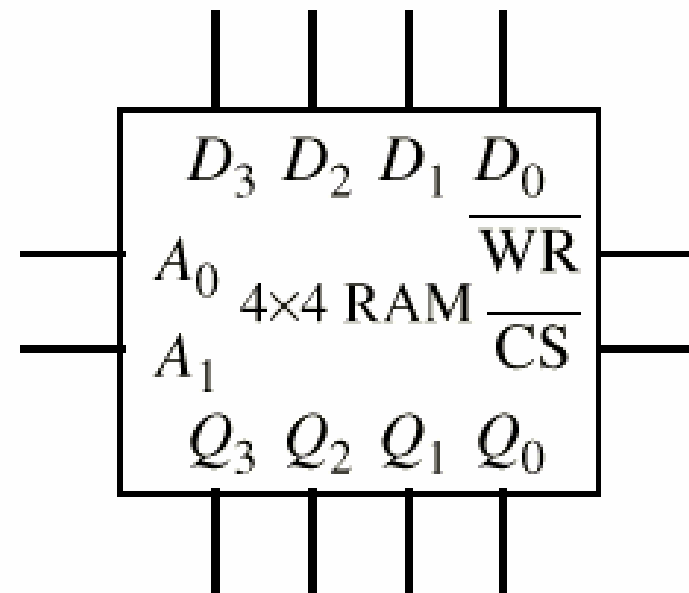
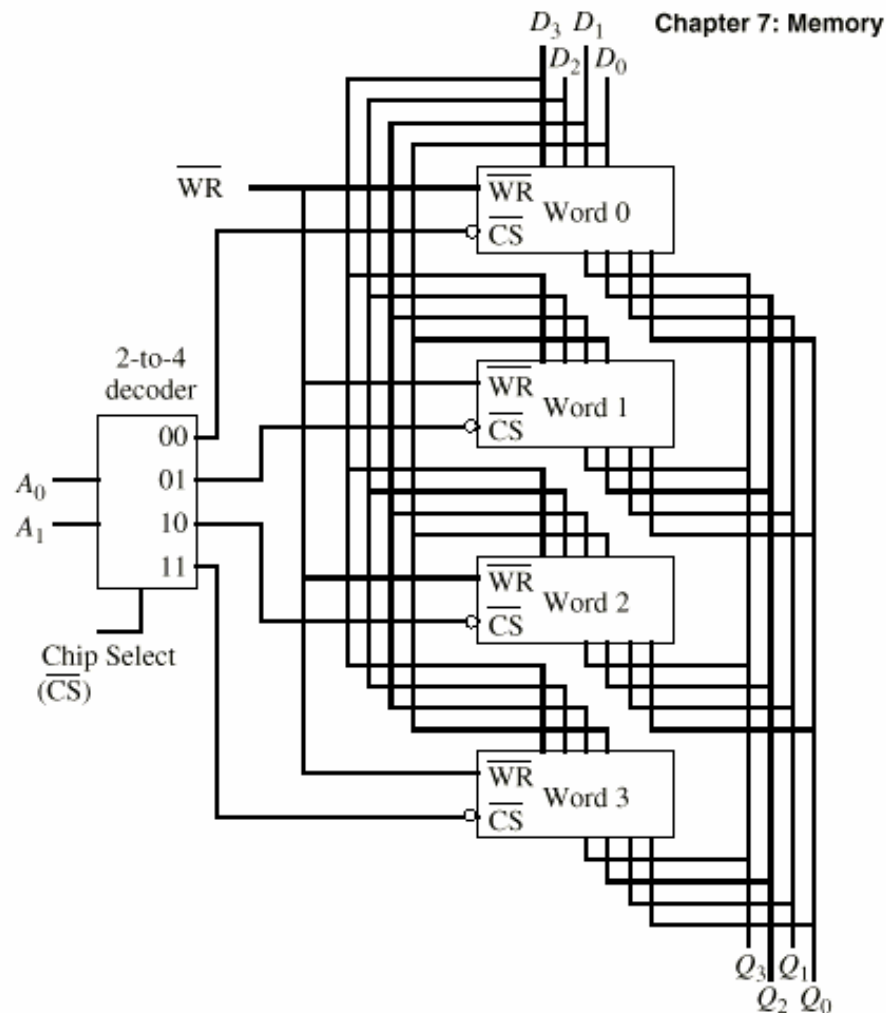


dato



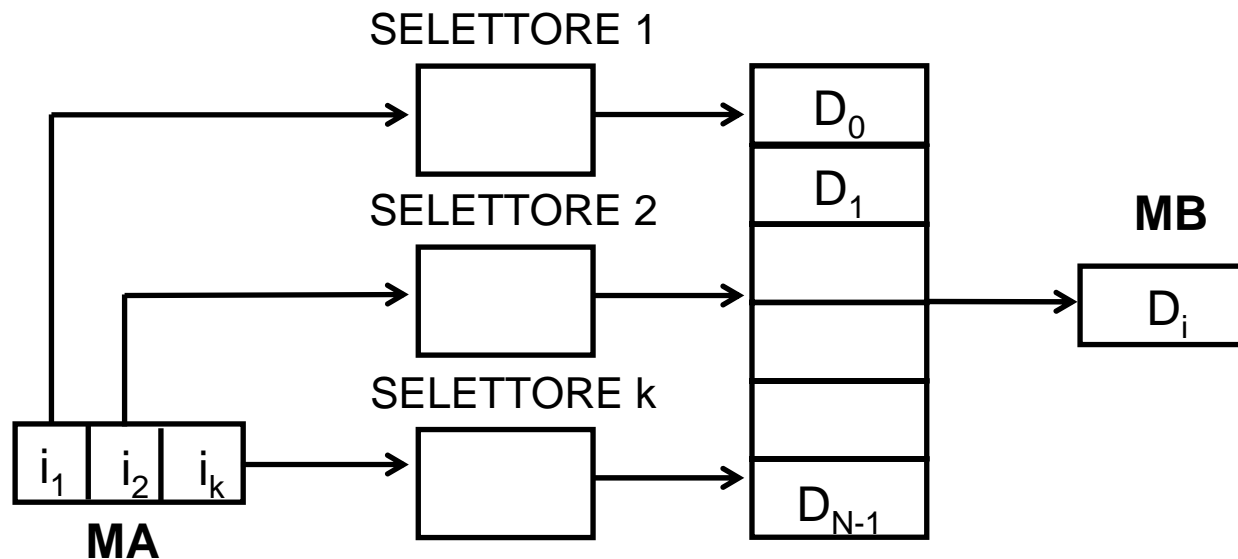
Selezione lineare – RAM quattro parole da 4 bit

Rappresentazione semplificata



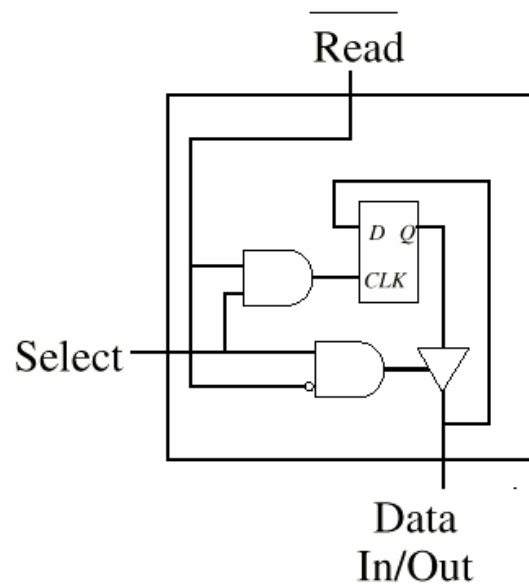
Selezione a più dimensioni – Schema di principio

- Nella selezione *a più dimensioni*, il sistema di selezione è costituito da più sottosistemi, la cui azione combinata seleziona ciascuno degli N registri
- Nella pratica, ciascuno dei selettori può essere realizzato con dei decoder, che operano su un sottoinsieme dei bit dell'indirizzo

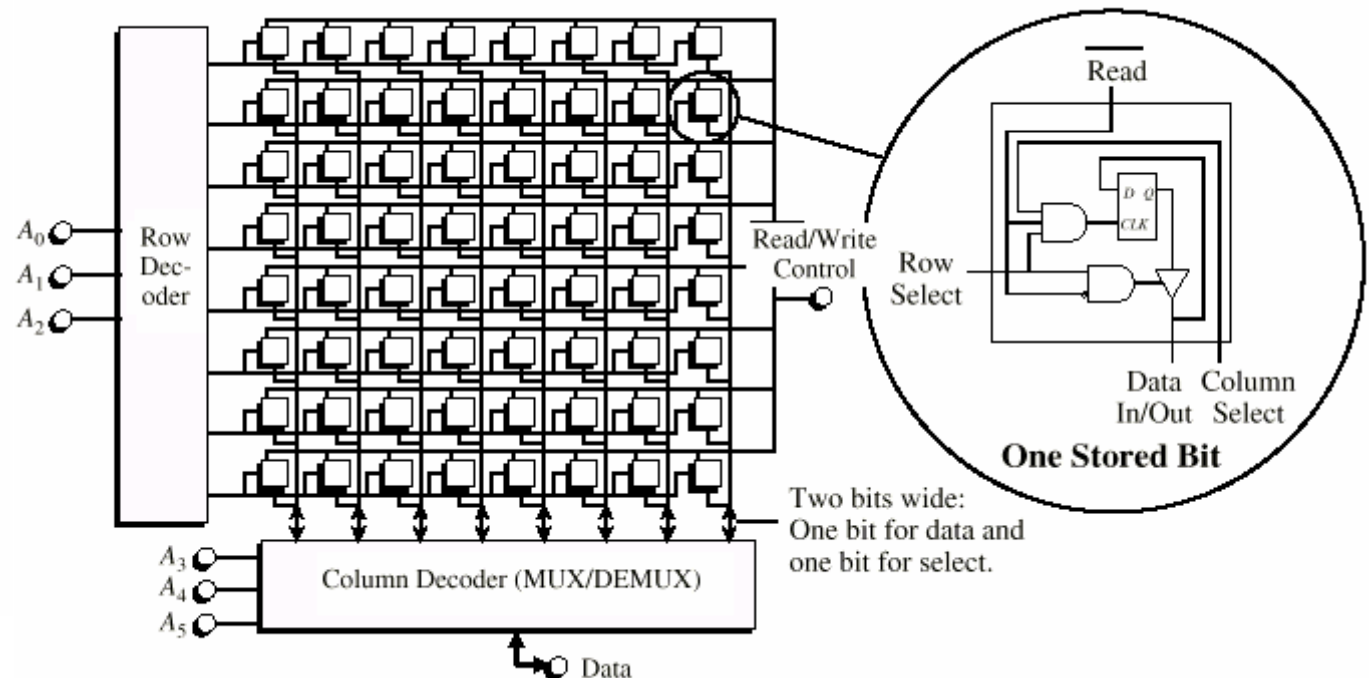


Selezione a più dimensioni – Semiselezione

- Modello funzionale di una singola cella



- Modulo RAM da 64 word di un bit

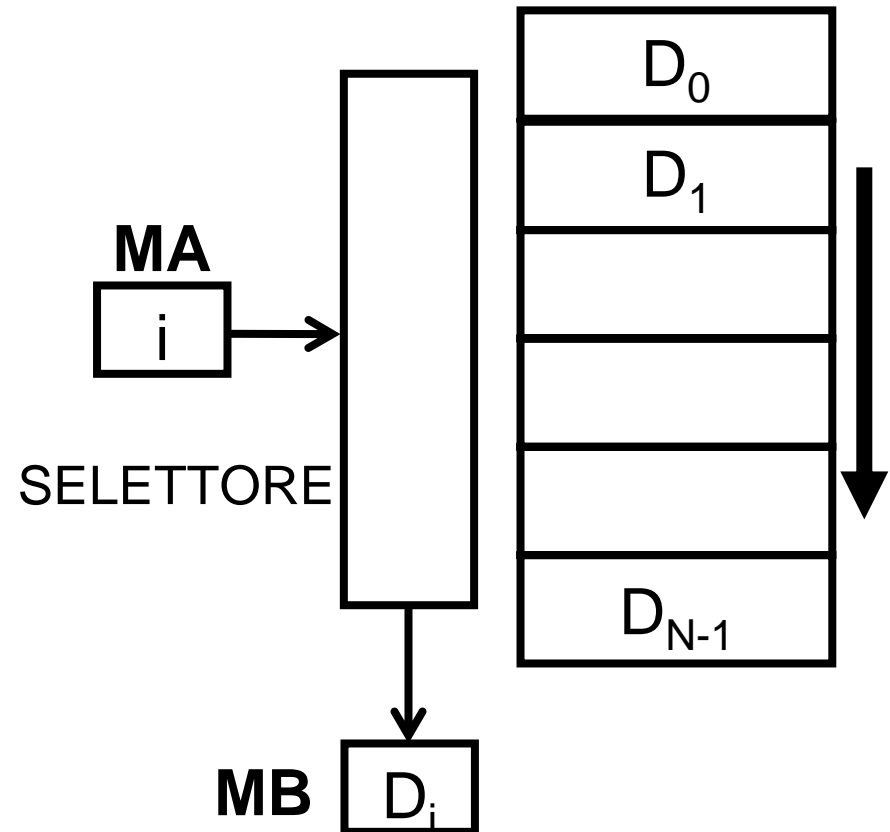


La selezione a due dimensioni (riga/colonna) è la struttura più diffusa nella realtà



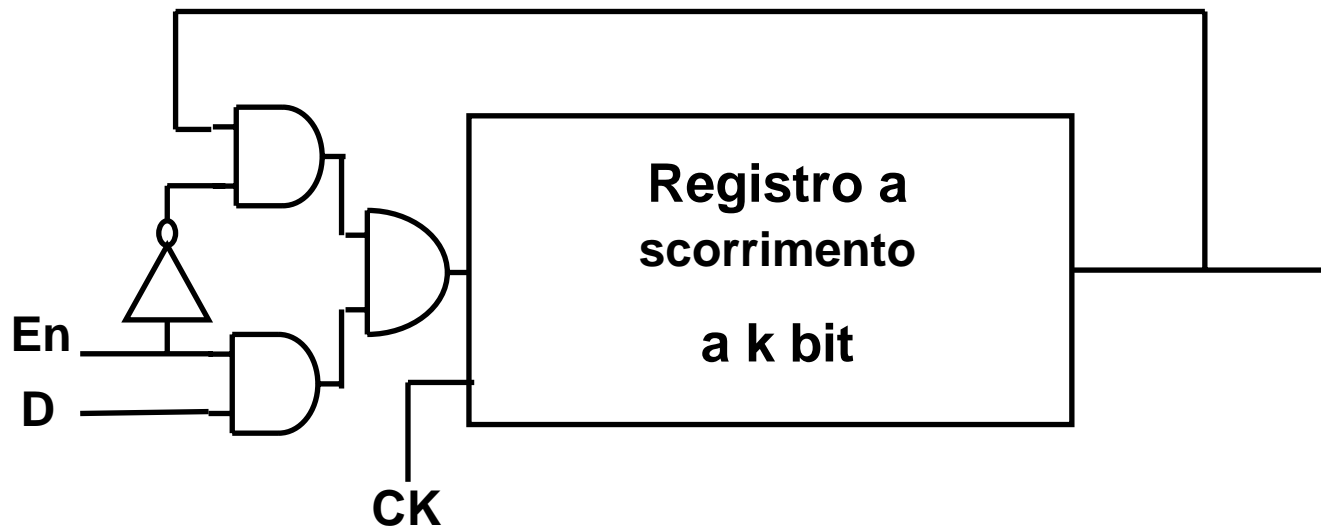
Selezione temporale – Schema di principio

- Nella *selezione temporale*, la scrittura e la lettura dei dati avviene in maniera sequenziale
- E' il caso di un nastro magnetico
 - » Il tempo necessario per tali operazioni aumenta in maniera lineare all'aumentare delle dimensioni della memoria
 - » Anche se implementata mediante strutture estremamente veloci, l'accesso sequenziale non è in grado di offrire prestazioni soddisfacenti



Selezione temporale – Esempio

- La struttura percorsa in sequenza nella selezione temporale può essere immaginata come un registro a scorrimento



Memorie a lettura e scrittura (RAM)

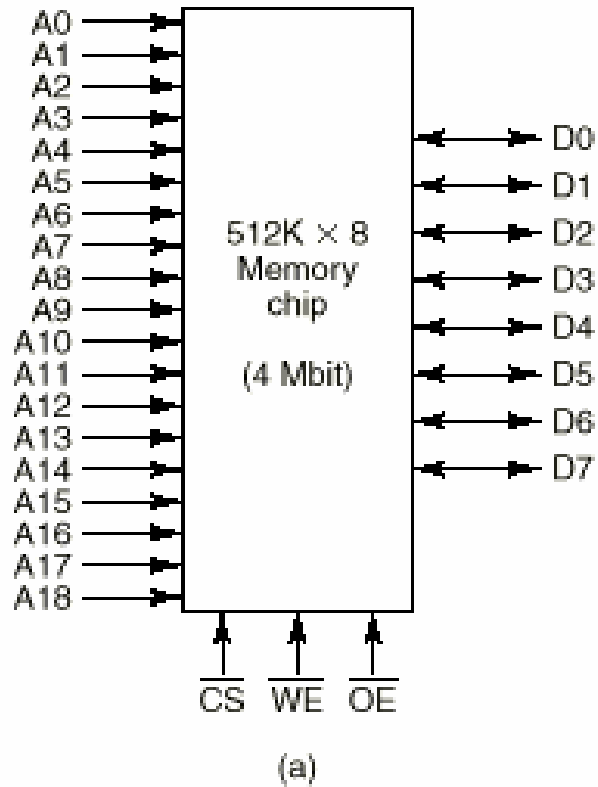
Componenti di una memoria RAM:

- » Decodificatore di riga
- » Decodificatore di colonna
 - selezione a *due dimensioni*
- » Core di memoria: la matrice di registri fisici
- » Circuiti di lettura e scrittura, usati per selezionare, leggere e scrivere nei registri



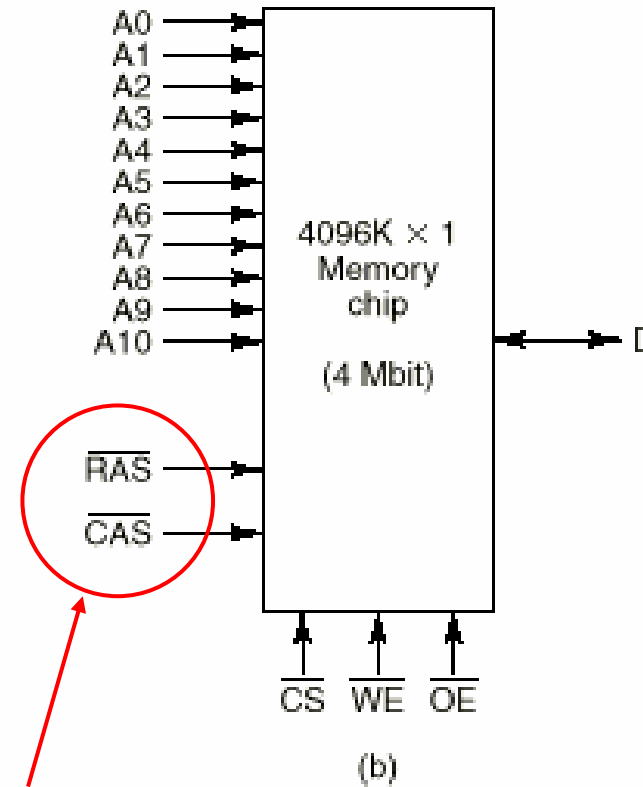
Esempi di chip di memoria

512 K * 8 bit



Selezione lineare
(adatto per memorie più piccole)

4096 K * 1 bit



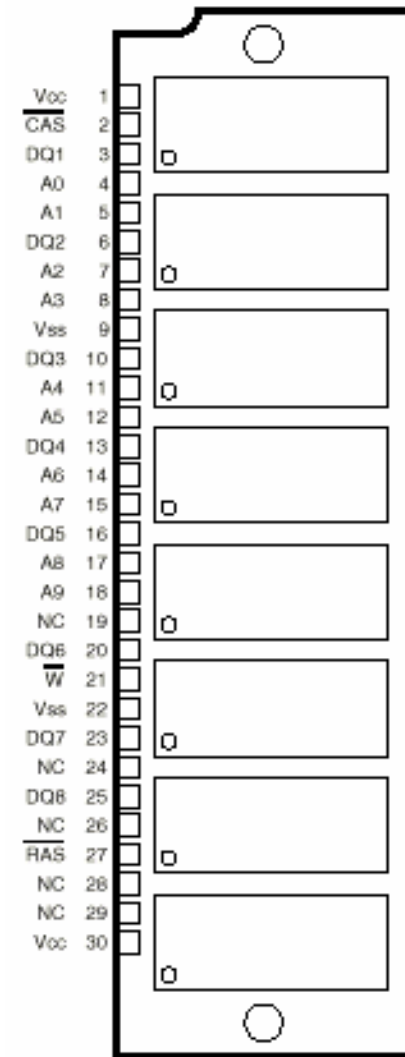
Selezione a due dimensioni:
RAS: selettore di riga
CAS: selettore di colonna



Esempio di Single-In-Line Memory Module

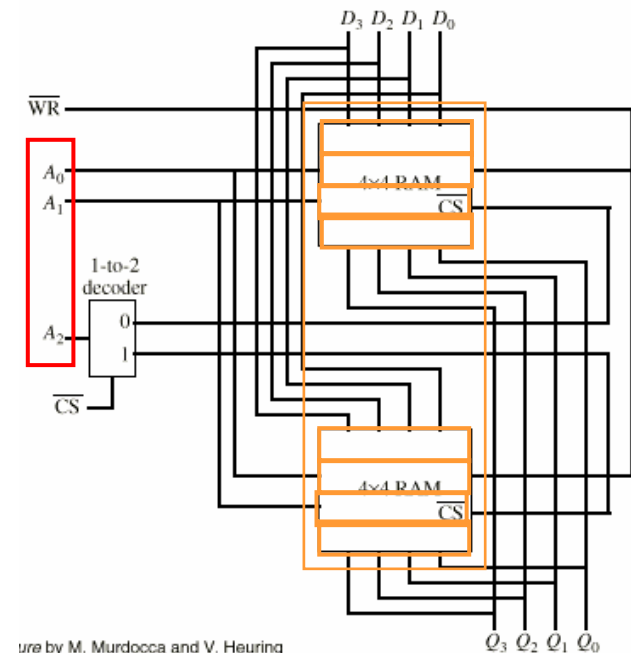
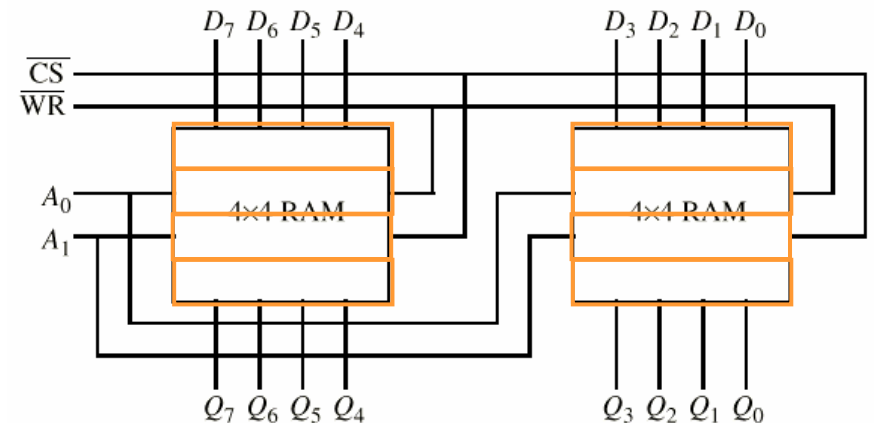
- Adattato da:
 - » Texas Instruments
MOS Memory:
Commercial and
Military
Specifications
DataBook, Texas
Instru-ments,
Literature
Response Center,
P.O. Box 172228,
Denver, Colorado,
1991

PIN NOMENCLATURE	
A0-A9	Address Inputs
$\overline{\text{CAS}}$	Column-Address Strobe
DQ1-DQ8	Data In/Data Out
NC	No Connection
$\overline{\text{RAS}}$	Row-Address Strobe
V_{CC}	5-V Supply
V_{SS}	Ground
$\overline{\text{W}}$	Write Enable



Collegamento di moduli di memoria

- Due moduli di 4 Word x 4 bit formano una RAM di **4 Word x 8 bit**
 - » per aumentare il parallelismo dati più moduli di memoria sono “affiancati” e lavorano insieme
- Due moduli di 4 Word x 4 bit formano una RAM di **8 Word x 4 bit**
 - » per aumentare la *profondità* della memoria (ovvero il numero di locazioni) gli stessi due moduli vengono “impilati” e lavorano in maniera mutuamente esclusiva, essendo attivati da differenti combinazioni dell’indirizzo: un bit dell’indirizzo attiva l’uno o l’altro modulo, gli altri due bit sono posti sull’ingresso indirizzo (due bit) di ciascuno dei due moduli

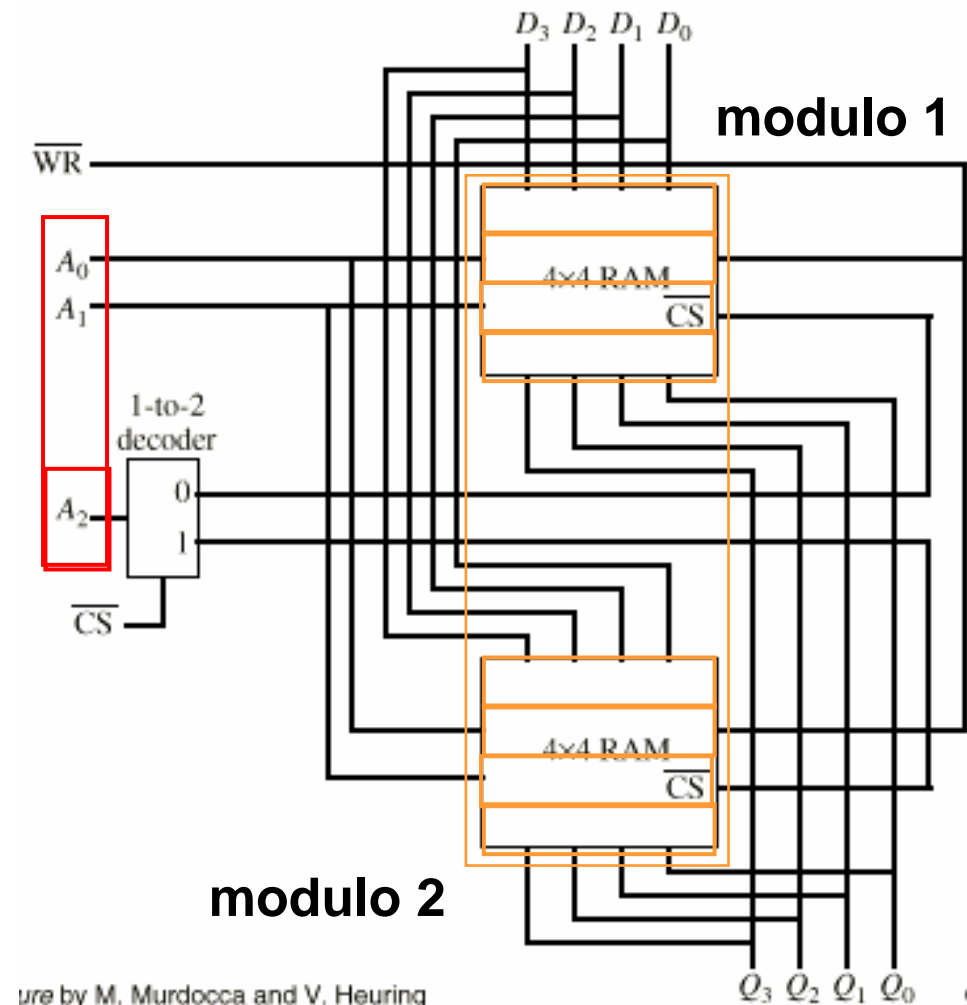


ure by M. Murdocca and V. Heuring



Collegamento di moduli di memoria

A_2	A_1A_0	
0	00	il modulo 1 legge la prima parola. Il modulo 2 è disattivato.
0	01	il modulo 1 legge la seconda parola. Il modulo 2 è disattivato.
0	10	il modulo 1 legge la prima terza. Il modulo 2 è disattivato.
0	11	il modulo 1 legge la prima quarta. Il modulo 2 è disattivato.
1	00	il modulo 2 legge la prima parola. Il modulo 1 è disattivato.
1	01	il modulo 2 legge la seconda parola. Il modulo 1 è disattivato.
1	10	il modulo 2 legge la terza parola. Il modulo 1 è disattivato.
1	11	il modulo 2 legge la quarta parola. Il modulo 1 è disattivato.

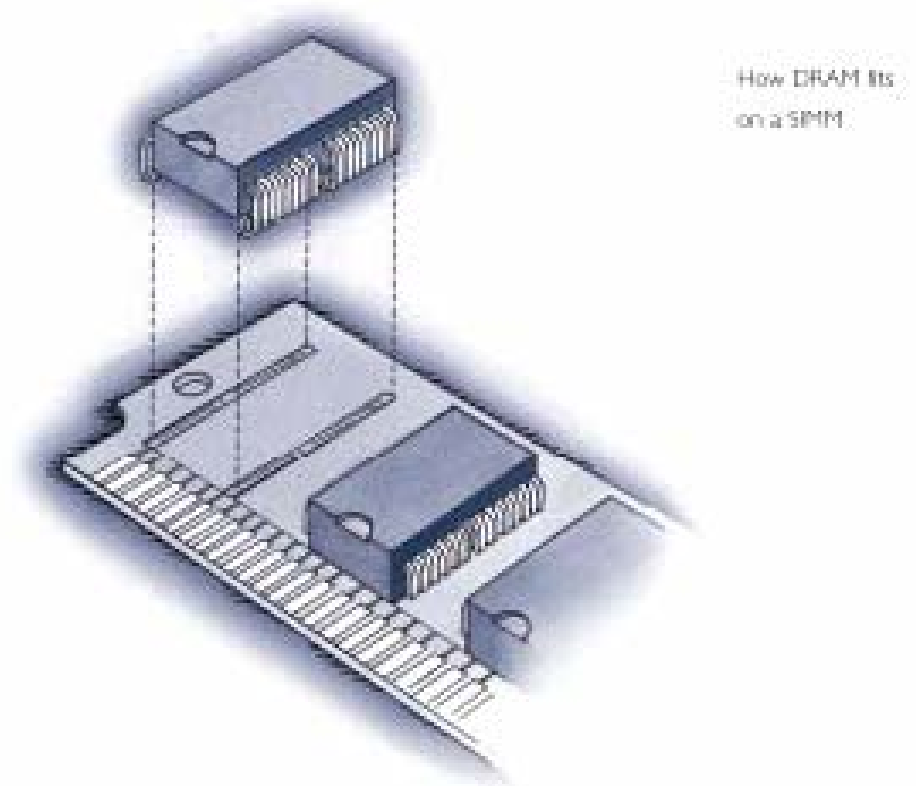


ure by M. Murdocca and V. Heuring



Montaggio dei moduli su una SIMM

- DRAM IC
 - » DRAM Integrated Circuit
- PCB
 - » Printed Circuit Board
- SIMM socket
 - » Single In-Line Memory Module Socket

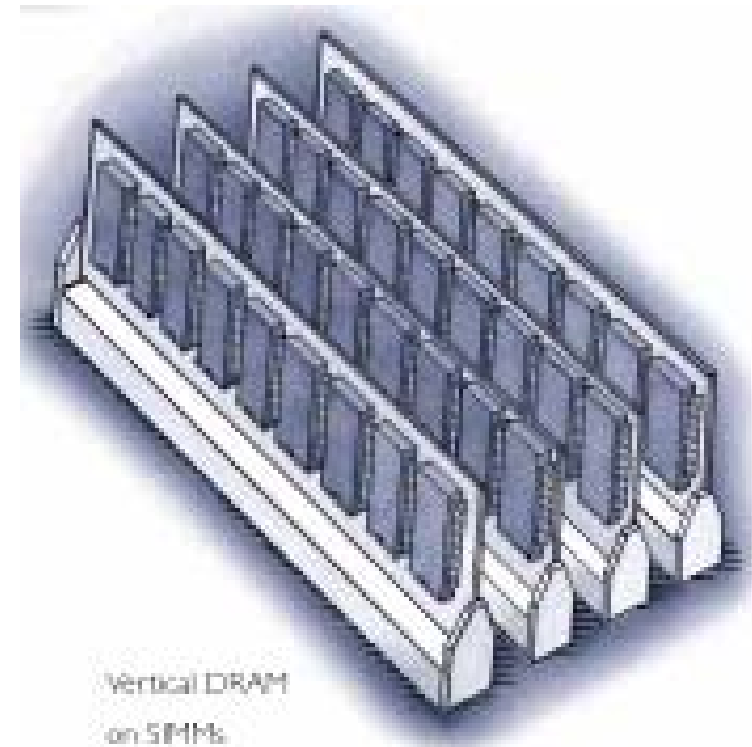


La memoria nel computer

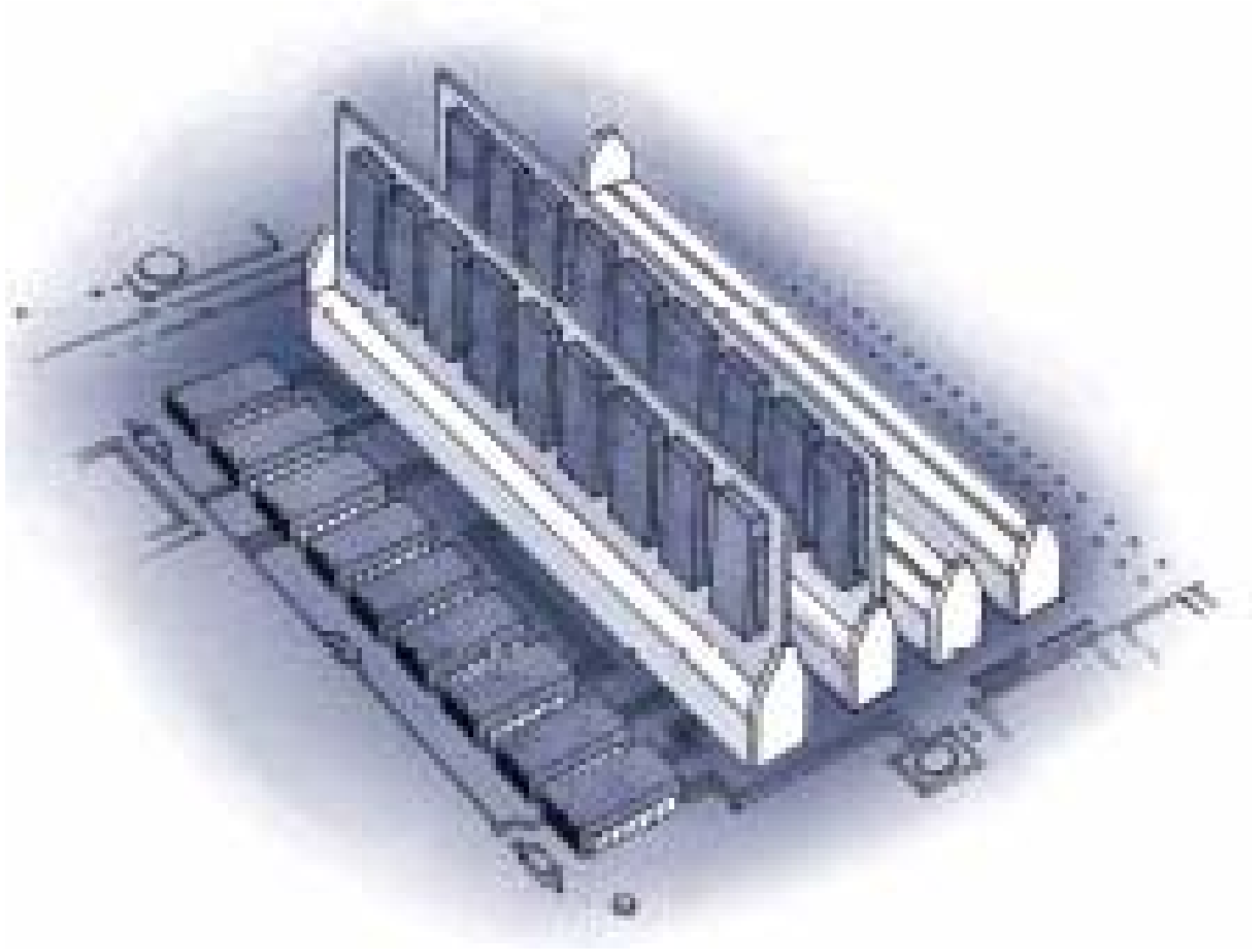
- Disposizione orizzontale



- Disposizione verticale

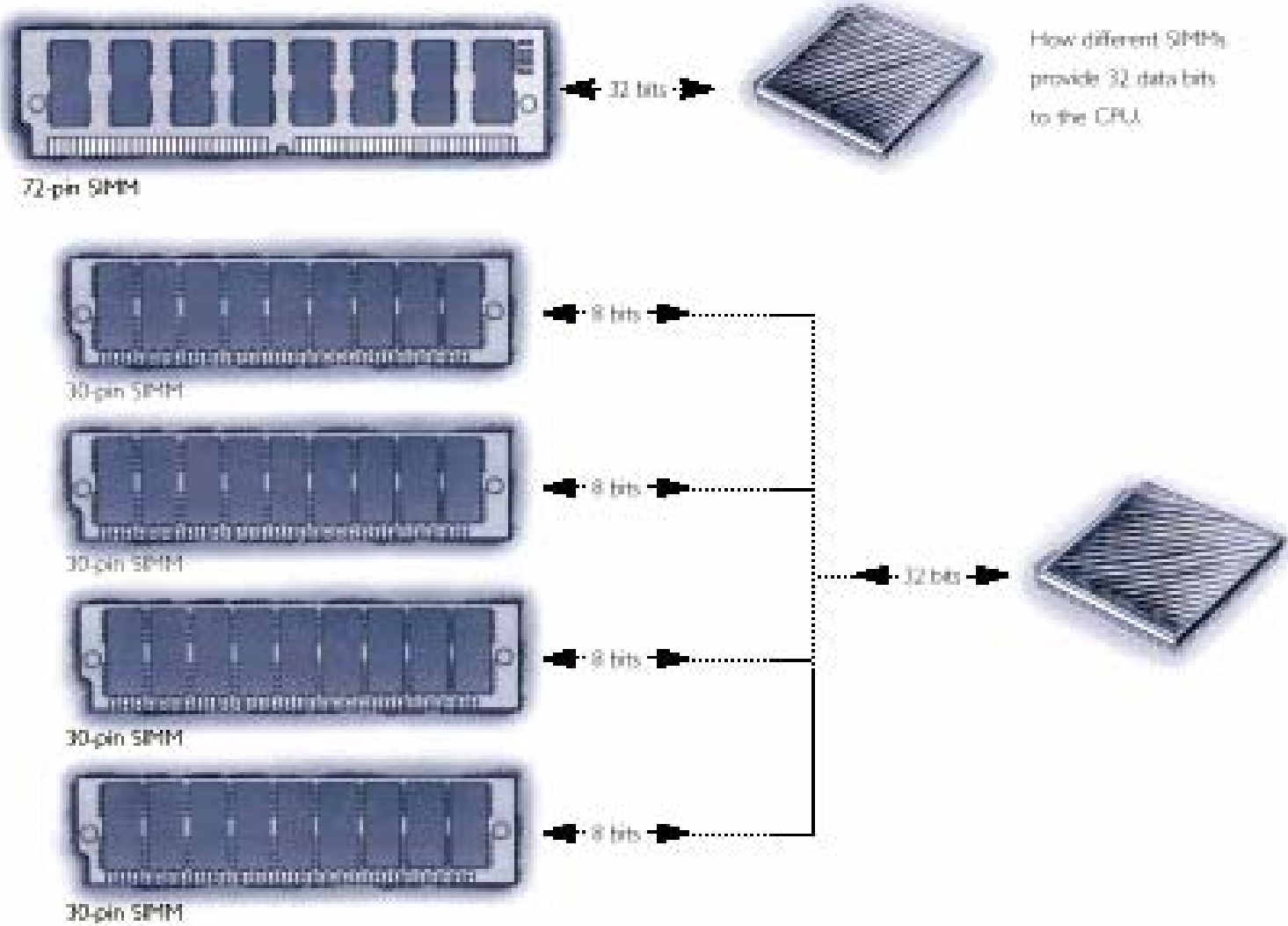


Banchi e schemi di memoria



SIMM a 30 e a 72 pin

- 30 pin
 - » 8 bit
- 72 pin
 - » 32 bit



Credit card memories

- Chiamate così perchè occupano grosso modo lo stesso spazio di una carta di credito



DIMM a 72 e 168 pin

- SO DIMM
 - » Small Outline DIMM
 - » 32 bit
- 168 pin DIMM
 - » 64 bit



The three examples illustrate the differences among SDRAM, DIMM, and SO DIMM products. The full-size, 168-pin DIMM supports 64-bit transfers without being twice the size of the 72-pin SDRAM which supports only 32-bit transfers. The SO DIMM also supports 32-bit transfers and was designed for use in notebook computers.

Controllo dell'integrità dei dati

- Parity checking
 - » Il modulo è dotato di un bit aggiuntivo per ogni locazione, che memorizza l'informazione di parità calcolata sul valore memorizzato
 - » L'informazione di parità viene successivamente controllata dai circuiti di controllo della parità
- Error Correcting Code (ECC) technology
 - » Il modulo è dotato di circuiti di memorizzazione aggiuntivi per la memorizzazione di informazioni di ridondanza
 - » L'informazione di ridondanza viene successivamente controllata da opportuni circuiti di controllo
 - » In determinate circostanze, è possibile correggere gli eventuali errori
- Fake Parity
 - » Il modulo è dotato di opportuni circuiti che simulano la creazione ed il controllo delle informazioni di parità
 - » In pratica tali informazioni non vengono mai registrate, ma vengono invece generate al volo per ingannare i circuiti di controllo della parità



DRAM Packages

- DIP
 - » Dual In-Line Package
- SOJ
 - » Small Outline J-lead
- TSOP
 - » Thin, Small Outline Package

DIP Integrated Circuit



SOJ DRAM Package

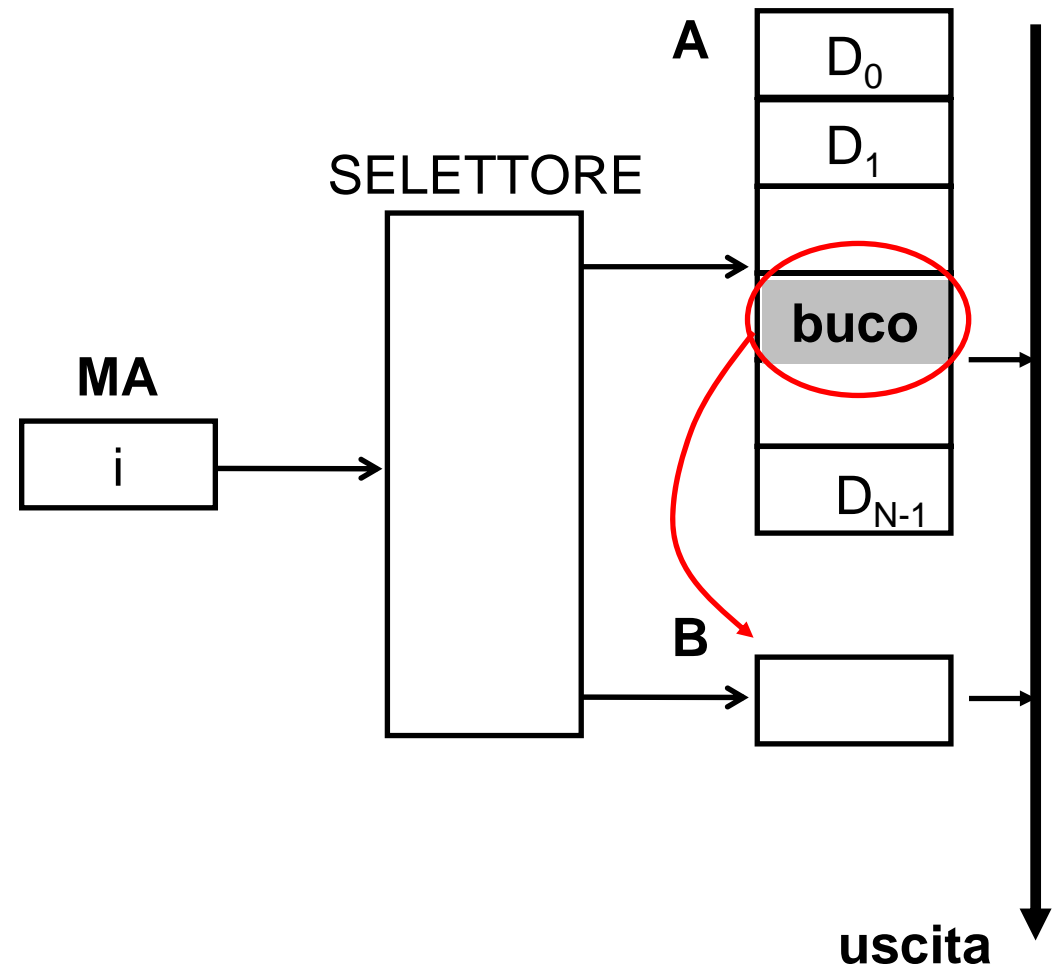


TSOP DRAM Package



Buchi di memoria

- Alcuni indirizzi sono sostituiti da un banco di memoria fisicamente diverso
- Quando l'indirizzo corrisponde al "buco" nel modulo principale A, il selettore disabilita il modulo A, ed attiva il modulo B
- Quest'ultimo appare all'esterno come parte del modulo A



Memoria a sola lettura (ROM)

- Circuito che fornisce una serie di **dati** in corrispondenza di una serie di **ingressi**:
 - » $(A_0, \dots, A_{n-1}) \rightarrow (D_0, \dots, D_{m-1})$
- È una macchina **combinatoria** (e non sequenziale)
- È in grado di **memorizzare** pattern fissi di dati (e quindi in particolare istruzioni di un programma o dati di una tabella)
- È costituita da:
 - » Un circuito di decodifica
 - » Un circuito di codifica



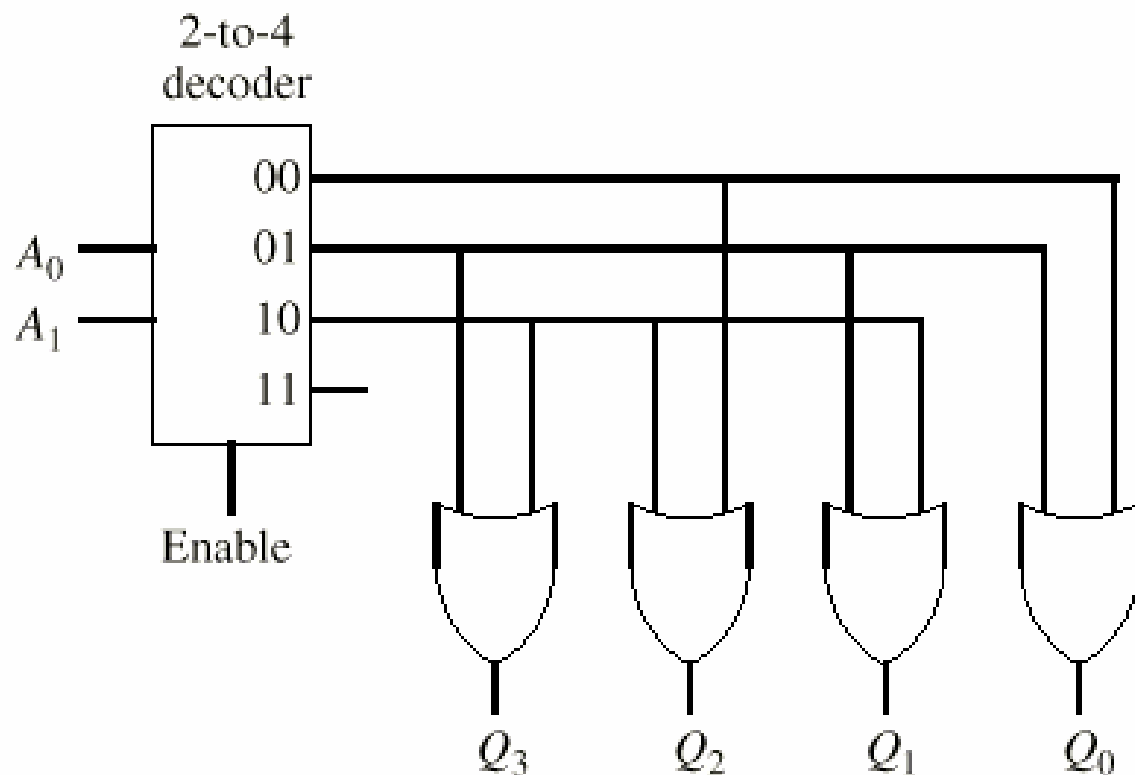
Tipi di Memoria a sola lettura

- ROM
 - » Vengono programmate in sede di produzione
- PROM (Programmable ROM)
 - » Possono essere programmate dall'utente
- EPROM (Erasable Programmable ROM)
 - » Possono essere programmate (elettricamente) e cancellate (radiazioni ultraviolette) dall'utente
- EEPROM (Electrically Erasable Programmable ROM)
 - » Possono essere programmate (elettricamente) e cancellate (elettricamente) dall'utente
- Flash
 - » Possono essere riprogrammate moltissime volte



Esempio di modulo di memoria ROM

➤ 4 word by 4 bit ROM



Location	Stored word
00	0101
01	1011
10	1110
11	0000

Gerarchia di Memoria

- All'interno di un calcolatore sono presenti differenti dispositivi di memorizzazione:
- Registri
 - » molto veloci, fortemente accoppiati al processore, presenti in numero molto limitato
- Memorie allo stato solido (realizzate su silicio)
 - » veloci (più o meno a seconda delle tecnologie), meno accoppiate dal processore, disponibili in media quantità, relativamente costose
- Dispositivi di memorizzazione di massa (ad es. dischi)
 - » ordini di grandezza più lenti delle memorie, in grado di contenere ampie moli di dati, relativamente economici (rispetto alla capacità)
- Ogni dispositivo bilancia variamente *velocità* con *quantità*.



Gerarchia di Memoria

- A loro volta, le memorie allo stato solido possono essere realizzate in diverse tecnologie:
 - » Static RAM (SRAM)
più costose rispetto alla capacità, ma più veloci
 - » Dynamic RAM (DRAM)
relativamente economiche rispetto alla capacità, più lente delle SRAM, ma ancora molto più veloci dei dischi
- Le memorie RAM allo stato solido sono usate per realizzare la memoria principale e le cache
 - » *cache*: memoria direttamente connessa al processore, veloce e di piccole dimensioni, nella quale vengono collocati i dati usati più di frequente dal programma in esecuzione

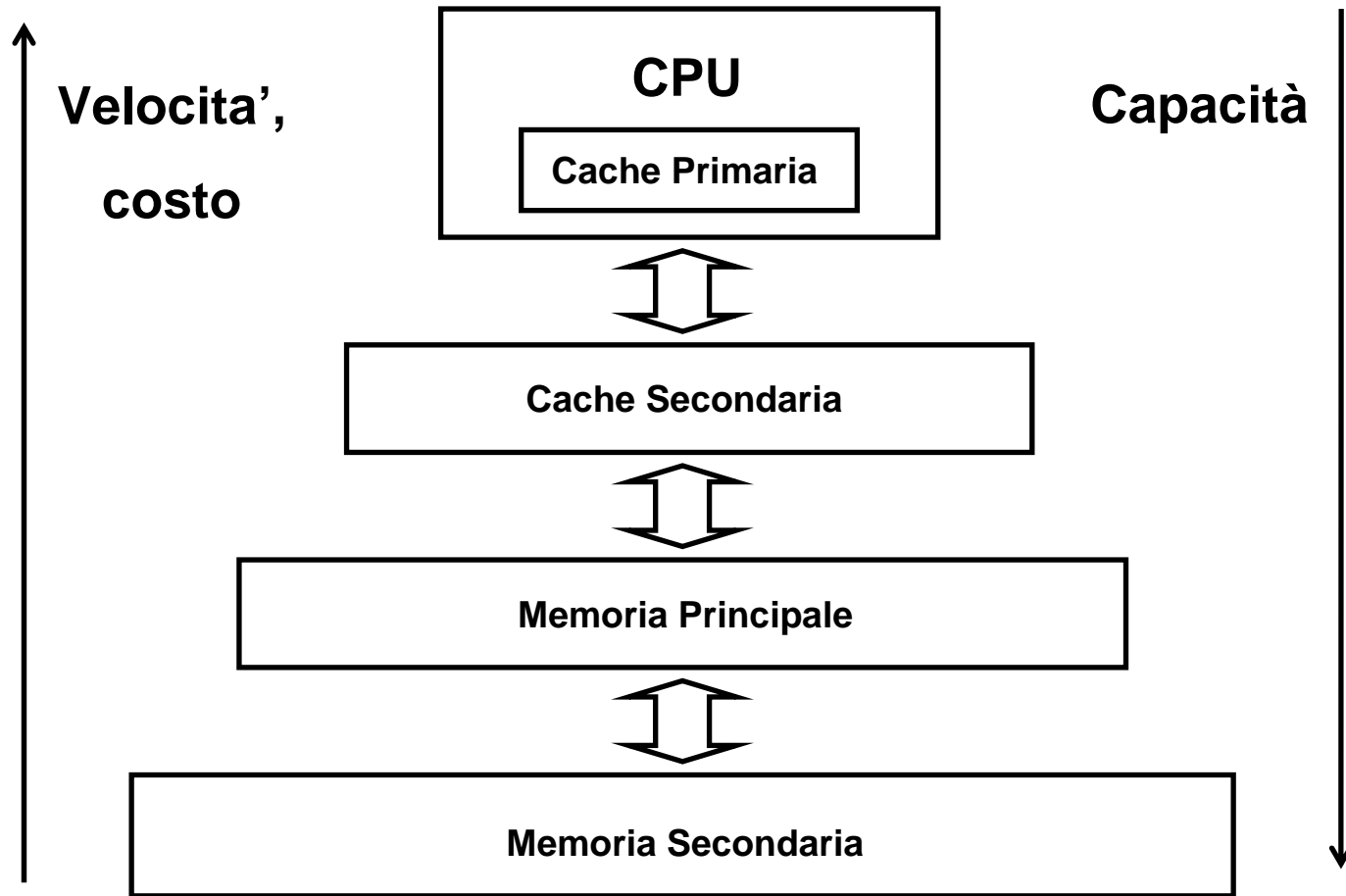


Gerarchia di Memoria

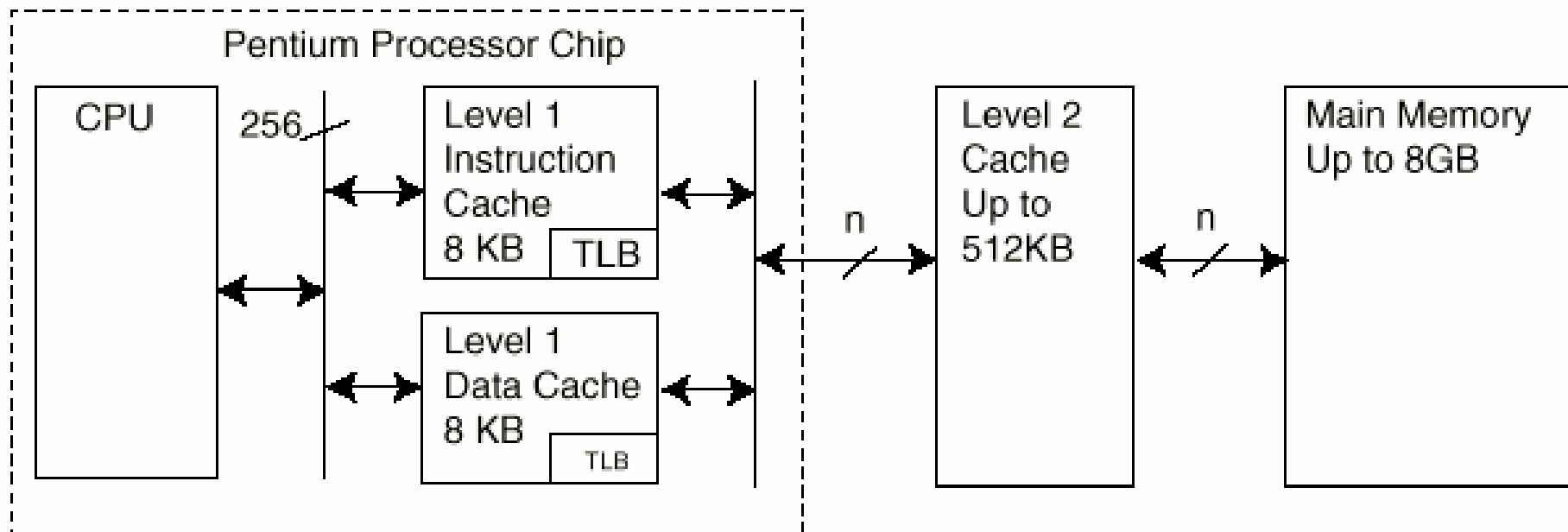
- La memoria “vista” dal processore può essere strutturata secondo una gerarchia a piramide
 - » le memorie più costose e veloci sono direttamente accessibili al processore: registri, cache di primo livello (realizzate con SRAM), cache di secondo e terzo livello (SRAM o DRAM), memoria principale (DRAM), dischi
- I dati usati più di frequente sono ospitati nelle memorie più piccole (registri, cache..) ma più vicine al processore.
- All’occorrenza, i dati vengono spostati dai livelli bassi (ad es. il disco, o la memoria principale) in quelli più alti (ad es. la memoria principale, o la cache), per essere gestiti più velocemente dal processore.
- I trasferimenti possono avvenire in maniera parallela rispetto al funzionamento del processore



Gerarchia di Memoria



La gerarchia di memoria del Pentium



Tecnologie realizzative ed usi delle memorie

- Riassumendo: le memorie possono differire per caratteristiche strutturali, funzionali, tecnologiche
- La tabella sottostante sintetizza alcune delle caratteristiche delle tecnologie di memoria normalmente usate nella costruzione di un elaboratore

Type	Category	Erasure	Byte alterable	Volatile	Typical use
SRAM	Read/write	Electrical	Yes	Yes	Level 2 cache
DRAM	Read/write	Electrical	Yes	Yes	Main memory
ROM	Read-only	Not possible	No	No	Large volume appliances
PROM	Read-only	Not possible	No	No	Small volume equipment
EPROM	Read-mostly	UV light	No	No	Device prototyping
EEPROM	Read-mostly	Electrical	Yes	No	Device prototyping
Flash	Read/write	Electrical	No	No	Film for digital camera

