

CAPITOLO 12

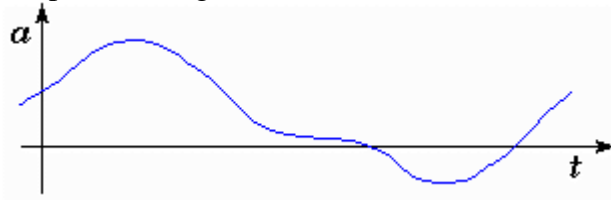
12.1 Segnali Analogici e segnali digitali

Segnali analogici

Un segnale analogico può essere rappresentato mediante una funzione del tempo che gode delle seguenti caratteristiche:

- 1) la funzione è definita per ogni valore del tempo (è cioè continua nel dominio)
- 2) la funzione è continua.

Volendo "volgarizzare" le proprietà del segnale analogico conseguenti alle due caratteristiche sopra citate si potrebbe affermare che "è possibile disegnare l'andamento temporale di un segnale analogico senza mai staccare la penna dal foglio..."



$$a = f(t);$$

t appartiene all'insieme R ,

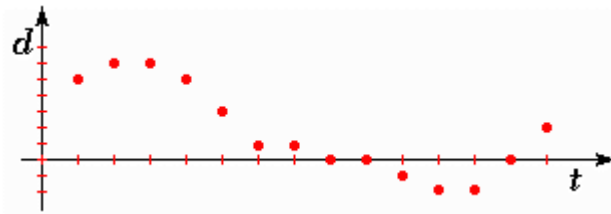
a appartiene all'insieme R

Segnali digitali

A differenza del segnale analogico quello digitale è costituito da una funzione "tempo discreta" e "quantizzata".

Tale funzione risulta pertanto:

- 1) definita solamente in un insieme numerabile di istanti "equispaziati"
- 2) dotata di un codominio costituito da un insieme discreto di valori.



$$d = f(nT_c);$$

n appartiene all'insieme Z ,

d (a meno di un fattore di scala) appartiene all'insieme Z

Pregi del segnale digitale (altrimenti detto "numerico")

I segnali digitali godono di alcuni importanti pregi nei confronti di quelli analogici:

- I segnali digitali hanno una maggiore reiezione ai disturbi rispetto ai segnali analogici.
- I segnali analogici sono costituiti da funzioni continue pertanto possono assumere infiniti valori: il rumore che inevitabilmente si sovrappone al segnale ha pertanto la possibilità di determinare una variazione del valore del segnale composto (segnale utile + rumore) qualunque sia la ampiezza e la potenza del rumore.
- I segnali digitali, invece, presentano solamente un numero finito di valori separati da una fascia "proibita". Se il rumore non ha ampiezza (e potenza) tale da determinare un superamento della fascia proibita che separa due valori contigui non si riscontra alcuna alterazione del valore.
- I segnali digitali possono essere elaborati più facilmente dei segnali analogici

- Per elaborare matematicamente i segnali analogici si deve ricorrere agli amplificatori operazionali mediante i quale è possibile realizzare (in modo a volte molto approssimato) semplici operazioni (somma, sottrazione, logaritmo ed esponenziale, integrale e derivata rispetto al tempo, ecc.). La realizzazione di funzioni più "elaborate" può richiedere una complessità circuitale eccessiva e tale da introdurre una incertezza non accettabile per gli scopi prefissati.
- I segnali numerici possono invece essere elaborati mediante microprocessori e microcalcolatori i quali possono permettere la esecuzione di operazioni ed elaborazioni senza richiedere appesantimenti dell'hardware circuitale. Anche in questo caso, però, le operazioni non sono esenti da incertezza: i troncamenti e le approssimazioni introdotte dalla codifica utilizzata dal microprocessore per il trattamento dei dati sono infatti fonte di incertezza, ma si può ricorrere a codifiche (intero, reale a singola o doppia precisione, ecc.) tali da ridurre le incertezze introdotte in modo da renderle compatibili con gli scopi prefissati.
- I segnali digitali possono essere registrati in maniera più fedele e stabile dei segnali analogici
- Per registrare un segnale analogico si può fare uso di nastri magnetici entro cui il segnale viene registrato: le prestazioni delle tecniche di registrazione meno sofisticate vengono penalizzate dal fenomeno della smagnetizzazione del nastro registrato. Risultati migliori si possono ottenere mediante l'uso di tecniche di registrazione basate sulla modulazione di frequenza: la stabilità della velocità di riproduzione del nastro diviene però un vincolo stringente per garantire la fedeltà delle riproduzioni.
- Ricorrendo all'uso di memorie RAM oppure di dispositivi di memoria di massa a supporto magnetico (hard e floppy-disk) è possibile invece registrare i segnali digitali con estrema facilità. In questo caso, poi, la codifica usata è quella binaria e la presenza di una ampia fascia di separazione fra il livello considerato 0 e quello considerato 1 permette di garantire una stabilità del dato nel tempo e la sua reiezione pressoché totale ai disturbi.

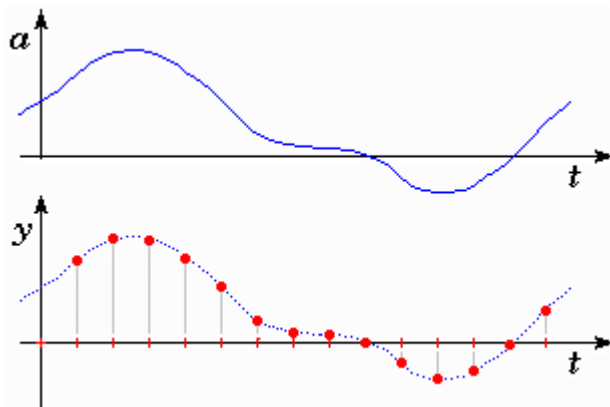
12.2 La conversione Analogico Digitale

La conversione A/D richiede tre fasi successive:

- campionamento - discretizzazione del tempo
- quantizzazione - discretizzazione della ampiezza
- codifica - uso di "parole" binarie per esprimere il valore del segnale

Il campionamento

Campionare un segnale analogico significa prelevare da questo una successione temporale di valori costituita dalla successione dei valori istantanei assunti dal segnale in corrispondenza di particolari istanti, detti "istanti di campionamento". L'intervallo che separa due successivi istanti di campionamento viene chiamato "periodo di campionamento" T_c ed il suo reciproco, indicato come f_c , prende il nome di "frequenza di campionamento".



$$y = f(nT_c);$$

n appartiene all'insieme Z ,

y appartiene all'insieme R

Quando il segnale analogico presenta delle variazioni sufficientemente lente da poterlo considerare costante entro un breve intervallo di tempo (la cui durata indicheremo con d) è possibile effettuare il campionamento prelevando NON il valore istantaneo assunto dal segnale negli istanti di campionamento, ma piuttosto il valore medio calcolato in intervalli di durata d che si succedono ad intervalli T_c .

Vedremo che questa considerazione sarà utile quando si introdurranno i convertitori AD a valore medio.

Si potrebbe essere indotti a pensare che il campionamento provochi una riduzione del contenuto informativo del segnale analogico in quanto si perde l'informazione sul valore assunto dal segnale in tutti gli istanti diversi da quelli di campionamento.

Il teorema del campionamento ci dice invece che, in condizioni **ideali**, la esecuzione del campionamento non provoca perdita di informazione.

Teorema del campionamento (Shannon)

Se la trasformata di Fourier di un segnale $a(t)$ è nulla per tutte le frequenze maggiori di una data frequenza f_{\max} , allora il segnale continuo $a(t)$ può essere univocamente ricavato dalla conoscenza dei suoi valori campionati:

$$y(t) = \sum_{-\infty}^{\infty} a(nT_c) \delta(t - nT_c)$$

con:

$$T_c < \frac{1}{2f_{\max}}$$

Come si può vedere, affinché la ricostruzione sia possibile è indispensabile che il campionamento permetta la acquisizione di infiniti campioni separati l'un l'altro da intervalli che devono avere durata inferiore al valore $1 / 2 f_{\max}$.

Nella sommatoria compare la funzione "delta di Dirac" che è così definita:

$$\left\{ \begin{array}{l} \delta(t - t_c) = 0 \text{ per } t \neq t_c \\ \int_{-\infty}^{\infty} \delta(t - t_c) dt = 1 \end{array} \right.$$

Si può dare una espressione alternativa della "funzione campionata" sopra introdotta che risulta equivalente sotto l'aspetto matematico, ma che permette di mettere in luce alcuni importanti aspetti del campionamento:

$$y(t) = a(t) \sum_{-\infty}^{\infty} \delta(t - nT_c)$$

Il campionamento matematico

Sotto l'aspetto matematico, quindi, il campionamento si attua:

1) costruendo, attraverso la "delta" di Dirac, una "funzione di campionamento" $s(t)$ costituita da una successione di "delta" equispaziate temporalmente:

$$s(t) = \sum_{-\infty}^{\infty} \delta(t - nT_c)$$

2) moltiplicando (nel dominio del tempo) la funzione $a(t)$ che rappresenta il segnale per la funzione di campionamento $s(t)$:

$$y(t) = a(t) \cdot s(t)$$

Considerando che nella espressione così ottenuta:

$$y(t) = a(t) \sum_{-\infty}^{\infty} \delta(t - nT_c)$$

è possibile in primo luogo portare la $a(t)$ entro la sommatoria e poi, dato che per il termine n-esimo della sommatoria si ha:

$$a(t) \delta(t - nT_c) = 0$$

per ogni $t \neq nT_c$

è possibile sostituire al termine n-esimo sopra riportato la espressione equivalente:

$$a(t) \delta(t - nT_c) = a(nT_c) \delta(t - nT_c)$$

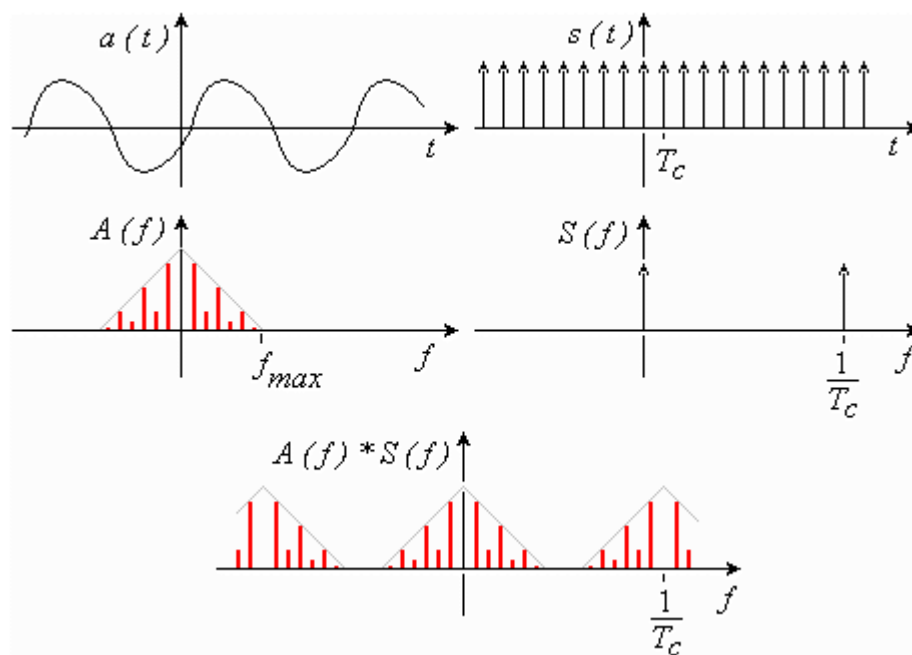
In questa maniera si perviene alla espressione sopra riportata della funzione che rappresenta il segnale campionato:

Effetti del campionamento nel dominio del tempo e della frequenza

Lo spettro $S(f)$ della funzione di campionamento $s(t)$ risulta essere composto da una successione di delta di Dirac separate in frequenza da intervalli uguali di ampiezza $1/T_c$.

Dato che il prodotto di due funzioni nel dominio del tempo corrisponde alla convoluzione degli spettri delle due funzioni nel dominio delle frequenze si può ricavare lo spettro del segnale campionato $y(t)$ dalla convoluzione $A(f) * S(f)$.

Se il periodo di campionamento T_c del segnale rispetta il vincolo imposto dal teorema di Shannon le repliche dello spettro di $a(t)$ non si sovrappongono



e con una operazione di filtraggio e' quindi possibile ricostruire lo spettro del segnale originale e recuperare le informazioni portate dal segnale analogico.

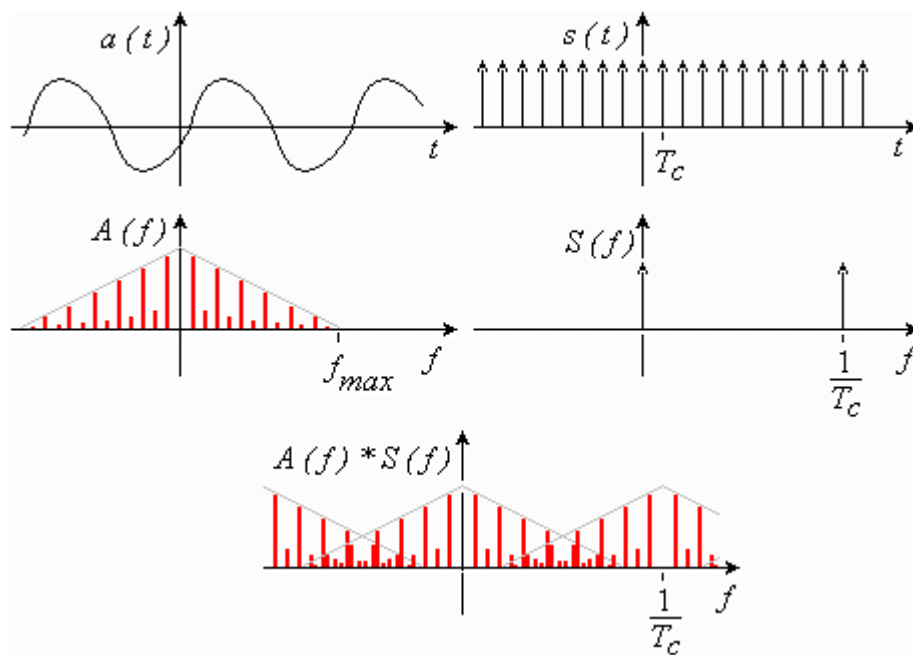
Il campionamento elettronico

Anche al profano appare immediatamente il problema tecnico connesso all'uso della delta di Dirac: per questo motivo si può sostituire a questa astrazione matematica una funzione meno elegante, ma più idonea a descrivere il campionamento reale: la funzione "delta di Kronecker".

delta di Kronecker	$\begin{cases} \delta(t-t_c) = 0 & \text{per } t \neq t_c \\ \delta(t-t_c) = 1 & \text{per } t = t_c \end{cases}$
funzione di campionamento	$s(t) = \sum_{-\infty}^{\infty} \delta(t - nT_c)$
segnale campionato	$y(t) = a(t) \cdot s(t)$

Chi ha seguito attentamente i vari passaggi non dovrebbe avere difficoltà a riconoscere nella funzione che rappresenta il segnale campionato sopra riportata la descrizione matematica del processo di campionamento introdotto all'inizio del capitolo.

Il campionamento e l'errore di alias



Un valore troppo elevato del periodo di campionamento T_c provoca il fenomeno detto "aliasing", cioè la sovrapposizione delle repliche dello spettro originale nel segnale campionato: in questo caso non è possibile ricostruire il segnale originale avendo a disposizione quello campionato.

La quantizzazione

Da un punto di vista di principio, per quantizzare il segnale si deve innanzitutto definire il campo di valori entro cui il segnale deve mantenersi per permettere una corretta quantizzazione. Per il campo sopra citato, chiamato "campo di misura", vengono usualmente considerate due alternative:

- campo unipolare con estremo inferiore nullo ed estremo superiore E_c :
- campo di misura = $[0, +E_c]$
- campo bipolare con estremo inferiore $-E_c$ ed estremo superiore $+E_c$:
- campo di misura = $[-E_c, +E_c]$.

Definito il campo di misura lo si deve suddividere in un numero arbitrario (ma finito) di intervalli contigui. Anche in questo caso si possono avere due alternative principali:

- suddivisione in intervalli di ampiezza costante: quantizzazione uniforme
- suddivisione in intervalli di ampiezze diverse: quantizzazione NON uniforme.

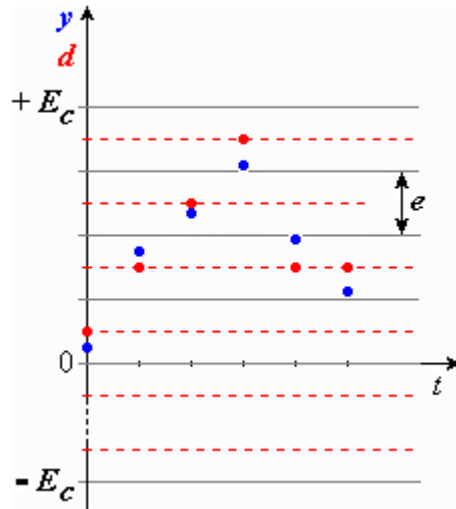
Si individua poi il valore centrale di ciascun intervallo in cui è stato suddiviso il campo di misura.

Si sostituisce infine al valore di ciascun campione del segnale campionato il valore centrale dell'intervallo in cui esso si trova.

Incertezza di quantizzazione

La alterazione che al massimo può essere apportata al valore di ciascun campione è pari alla semi-ampiezza dell'intervallo entro cui il valore del campione (analogico) si trova. Se si indica con il simbolo e la ampiezza dell'intervallo la incertezza introdotta dalla fase di quantizzazione (chiamata "incertezza di quantizzazione") risulta di $\pm e/2$.

Quantizzazione uniforme



Facendo riferimento ad una quantizzazione uniforme in N intervalli di uguale ampiezza operata in un campo di misura bipolare $[-E_c, +E_c]$ si ha:

$$e = 2 E_c / N$$

pertanto la incertezza di quantizzazione, che indichiamo con il simbolo g , vale:

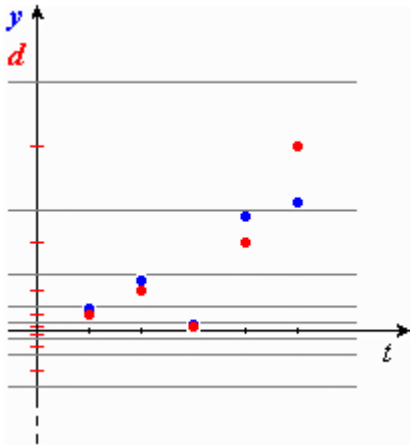
$$g = \pm E_c / N$$

E' evidente che l'incertezza di quantizzazione può essere ridotta agendo sia sull'ampiezza del campo di misura, sia sul numero degli intervalli in cui questo viene suddiviso con quantizzazione uniforme.

E' poi altrettanto evidente che uno stesso valore della incertezza (assoluta) di quantizzazione ha un peso più o meno rilevante a seconda del valore del campione a cui si riferisce: quanto più il valore del campione è piccolo, tanto maggiore è il valore della incertezza relativa di quantizzazione. Proprio per cercare di contenere a valori "accettabili" la incertezza relativa di quantizzazione sono state introdotte le quantizzazioni non uniformi.

Quantizzazione non uniforme

Nella quantizzazione non uniforme gli intervalli in cui viene suddiviso il campo di misura possono avere ampiezza che decresce mano a mano che il livello centrale dell'intervallo diminuisce: sono state sviluppate diverse quantizzazioni non uniformi, ciascuna delle quali caratterizzata per la legge con la quale varia l'ampiezza degli intervalli (leggi lineari, logaritmiche, ecc.).



In tutti i casi lo scopo è quello di ridurre la incertezza assoluta per i campioni di minore valore lasciando invece incertezze assolute maggiori per i campioni di maggior valore.

Contenimento dell'incertezza assoluta di quantizzazione

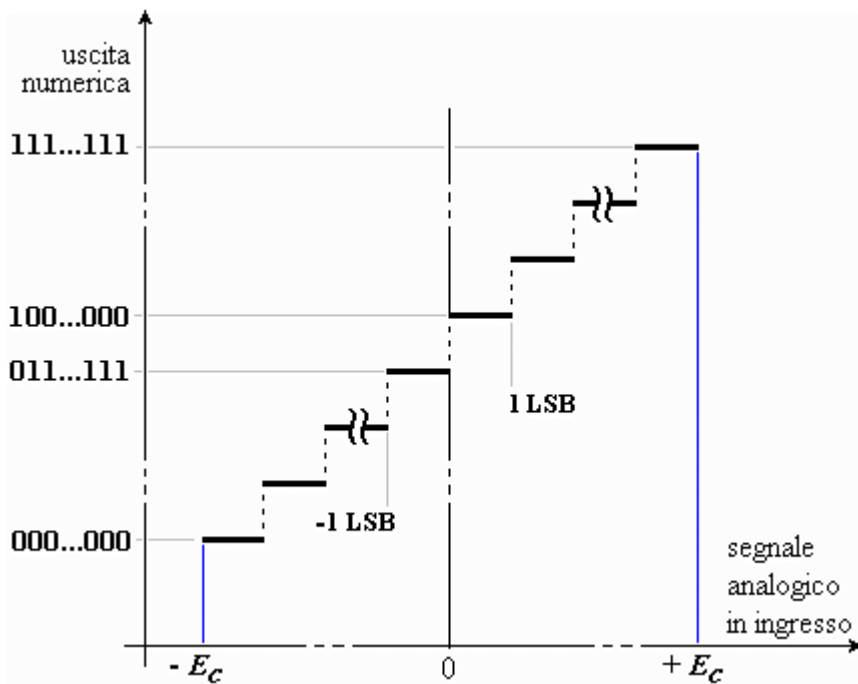
Se non è possibile, per causa di altri vincoli progettuali, ridurre il campo di misura oppure aumentare il numero degli intervalli non è possibile ridurre la incertezza assoluta di quantizzazione, ma si può tuttavia operare in maniera da ridurre il suo valore in un elevato numero di campioni. Vi sono quantizzazioni non uniformi basate sullo studio statistico dell'andamento del segnale: in quei campi di valore in cui vi è la maggiore probabilità di riscontrare il valore dei campioni si attua un maggior numero di suddivisioni allo scopo di ridurre la incertezza assoluta di quantizzazione che affligge questi campioni. Dato che essi rappresentano la maggiore parte del segnale campionato si ha comunque un beneficio, anche se alcuni campioni, che hanno valore esterno al campo finemente suddiviso, verranno ovviamente gravati da un'incertezza assoluta di quantizzazione di valore molto maggiore.

12.3 Schemi pratici per la quantizzazione uniforme

Il numero N di intervalli in cui suddividere il campo di misura è arbitrario, ma data la diffusione dei sistemi basati su aritmetica binaria è consuetudine adottare un valore di N che sia una potenza del 2 oppure che risulti una potenza del 2 diminuita di una unità (es. $2^8 - 1 = 255$).

Quantizzazione non silenziata

Una prima forma di quantizzazione uniforme, detta "quantizzazione non silenziata", prevede che il campo sia suddiviso in un numero pari di intervalli di uguale ampiezza dei quali una coppia (quella centrale) abbia come estremo comune lo zero.

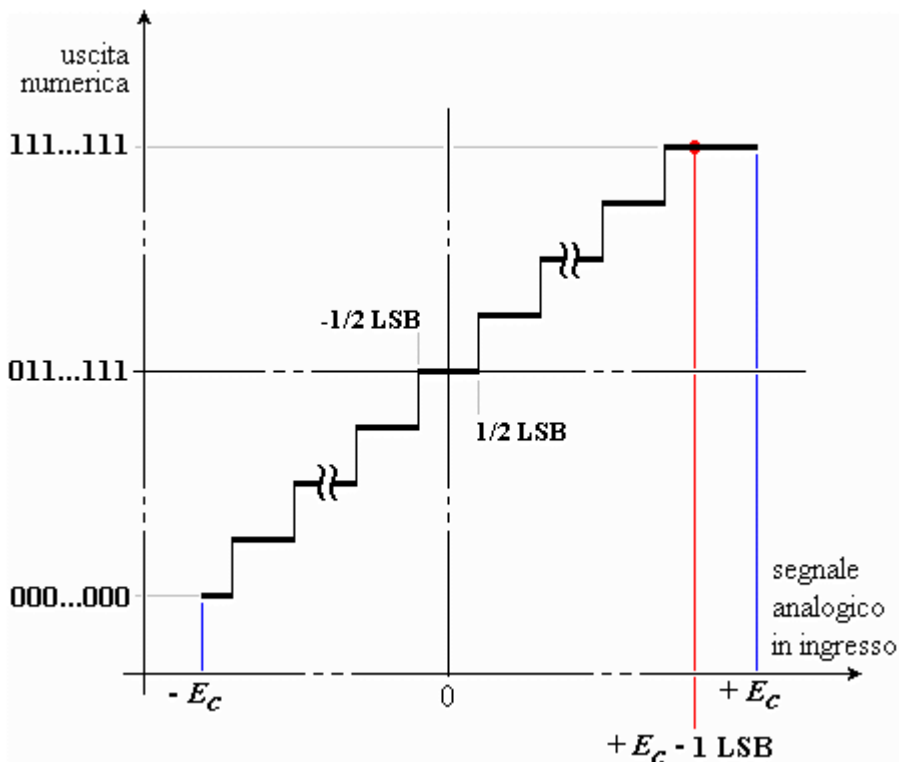


In questa forma di quantizzazione si ha un numero pari di intervalli, l'effettivo campo di misura si estende da $-E_c$ a $+E_c$ e l'ampiezza del singolo intervallo (che a volte viene anche chiamato "bit meno significativo" o LSB) è fornita dal rapporto fra l'ampiezza del campo di misura ($+2 E_c$) ed il numero N di intervalli creati.

Il principale difetto della quantizzazione non silenziosa è costituito dal fatto che qualsiasi valore compreso fra 0^+ e $+1 \text{ LSB}$ viene associato al valore $+ \frac{1}{2} \text{ LSB}$ mentre qualsiasi valore compreso fra $- \frac{1}{2} \text{ LSB}$ e 0 viene associato a $- \frac{1}{2} \text{ LSB}$: un campione prelevato dal segnale che avesse valore nullo verrebbe comunque associato sempre ad un valore non nullo positivo o negativo esclusivamente in funzione del contributo dato dal rumore e dall'offset dei dispositivi analogici utilizzati nella circuiteria del quantizzatore reale.

Quantizzazione silenziosa

Una forma più evoluta di quantizzazione uniforme è quella detta "quantizzazione silenziosa" la quale prevede che il campo sia ancora suddiviso in un numero pari di intervalli, tutti di uguale ampiezza salvo i due estremi, e con un intervallo centrato sullo zero.



Operando in questa maniera si ha ancora un numero pari di intervalli con un valore di $LSB=2E_c/N$.

L'effettivo campo di misura ha per estremo inferiore $-E_c$ e superiore $(+E_c - 1 LSB)$ ed è suddiviso in N intervalli dei quali:

- $N - 2$ sono intervalli di ampiezza uguale a $1 LSB$
- 2 hanno ampiezza uguale a $1/2 LSB$

Questa particolare soluzione permette di avere un intervallo "centrato" sullo zero pertanto tutti quei campioni prelevati dal segnale di ingresso a cui si sovrappone un rumore che avessero un valore compreso fra $-1/2 LSB$ e $+1/2 LSB$ verrebbero associati a zero. Il sistema presenta quindi una reiezione (insensibilità) ai rumori che si sovrappongono ad un segnale nullo azzerandone l'effetto nel segnale quantizzato fino a quando il loro contributo non supera $\pm 1/2 LSB$.

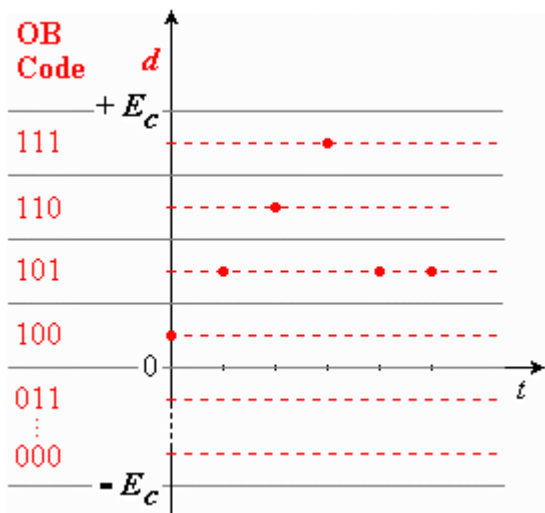
La codifica

La fase di codifica consiste nell'associare ad ogni intervallo in cui è stato suddiviso il campo di misura una parola (di solito espressa in codice binario) che lo identifica in modo univoco. Dal punto di vista misuristico non vi sono particolarità degne di nota, salvo che il ricordare che il numero di bit usati per la codifica determina il numero massimo di intervalli in cui è possibile suddividere il campo pertanto influisce sul valore della incertezza di quantizzazione che può essere ottenuto.

Sono in uso diverse codifiche binarie fra le quali le più diffuse sono le seguenti:

- binario puro:
 - usata per campi unipolari $[0, +E_c]$ con la corrispondenza
 - $0 = 000...000$ - $+E_c - 1 LSB = 111...111$
- binario con offset - "OB Code":
 - usata per campi bipolari $[-E_c, +E_c]$ con la corrispondenza
 - $-E_c = 000...000$ - $+E_c - 1 LSB = 111...111$
- binario con offset complementato a due - "COB Code":
 - usata per campi bipolari $[-E_c, +E_c]$ con la corrispondenza
 - $-E_c = 111...111$ - $+E_c - 1 LSB = 000...000$

La figura sotto riportata mostra un esempio di codifica di tipo "binario con offset":



I 6 valori del segnale numerico rappresentati sono, nell'ordine con cui sono stati convertiti:
100, 101, 110, 111, 101, 101

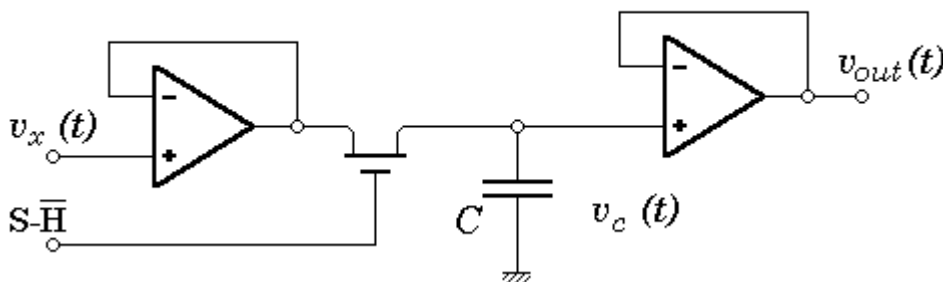
12.4 Il circuito sample-and-hold

Si è detto che il campionamento "elettronico" può essere eseguito mediante una successione di delta di Kronecker equispaziate di T_c , detto periodo di campionamento. Restano comunque dei problemi che impediscono nella realtà di operare in tale maniera: il principale problema è costituito dal fatto che i circuiti quantizzatori e codificatori reali richiedono un tempo non nullo per completare la loro funzione e durante tutto questo tempo è indispensabile che il segnale da convertire resti applicato all'ingresso di tali dispositivi presentando al contempo delle fluttuazioni non superiori a $\pm \frac{1}{2}$ LSB del quantizzatore adottato.

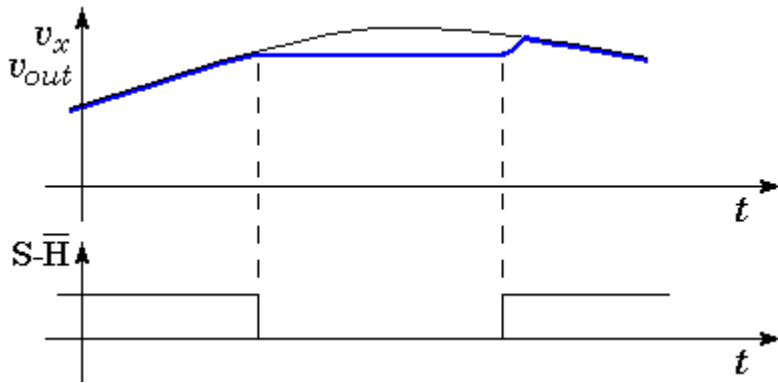
Per rendere possibile il soddisfacimento di questi vincoli si può usare un circuito sample-and-hold il quale, acquisito il valore del segnale nell'istante di campionamento, usa un condensatore come dispositivo di memorizzazione per mantenere costante il segnale applicato in ingresso al quantizzatore/codificatore.

Principio di funzionamento del sample-and-hold

Da un punto di vista estremamente semplificato si può schematizzare il funzionamento del componente sample-and-hold con il circuito mostrato nella figura sotto riportata.



Due inseguitori di tensione disaccoppiano la sorgente del segnale ed il circuito utilizzatore dalla capacità "di memoria" C che viene caricata tramite un interruttore bidirezionale realizzato con un FET.



Se la linea S-H assume un livello tale da rendere il gate del FET positivo rispetto a source e drain la tensione $v_c(t)$ ai capi della capacità C risulta seguire l'andamento della $v_x(t)$. In questa situazione la carica elettrica Q immagazzinata nella capacità di memoria C risulta essere in ogni istante t direttamente proporzionale al valore di $v_x(t)$:

$$Q(t) = C \cdot v_x(t)$$

Nell'istante i -esimo di campionamento ($t=iT_c$) in cui si desidera acquisire un campione di $v_x(t)$ basta portare la linea S-H ad un potenziale negativo rispetto a source e drain: in questo modo il FET risulta interdetto. La carica immagazzinata sulle armature di C non può più modificarsi dato che gli unici percorsi attraverso i quali si potrebbe avere una circolazione di cariche sono costituiti dal FET interdetto (impedenza idealmente infinita) e dall'inseguitore di tensione (impedenza di ingresso idealmente infinita).

In questa situazione si ha allora:

$$v_c(t) = Q(i \cdot T_c) / C$$

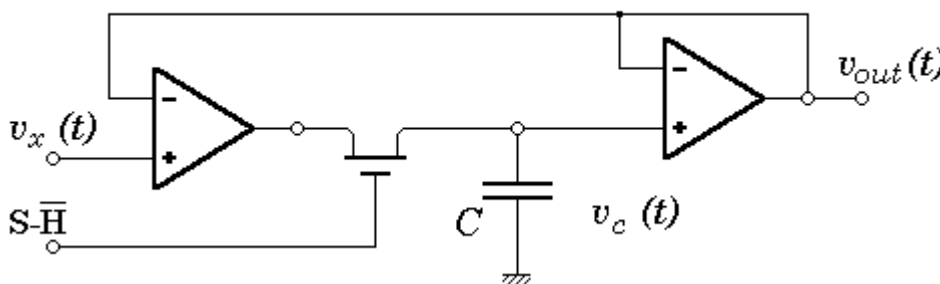
per qualsiasi $t > i \cdot T_c$.

Terminata la fase di quantizzazione/codifica basta riportare S-H positiva rispetto a source e drain: per fare in modo che la tensione $v_c(t)$, dopo un breve transitorio, torni a seguire il segnale di ingresso $v_x(t)$.

Cause di incertezza del sample-and-hold

Come tutti i componenti reali il sample-and-hold è fonte di alterazione al segnale pertanto è causa di incertezza.

- Una prima causa di incertezza è costituita dalla realtà fisica dei due inseguitori che rende la tensione di uscita di ciascuno di loro diversa da quella di ingresso: guadagno in catena aperta A_d non infinito, CMRR non infinito e V_{offset} non nulla danno un contributo non trascurabile alla incertezza del sample-and-hold. Per cercare di ridurre la parte dovuta principalmente all'offset di questa incertezza è possibile fare ricorso ad uno schema leggermente modificato:

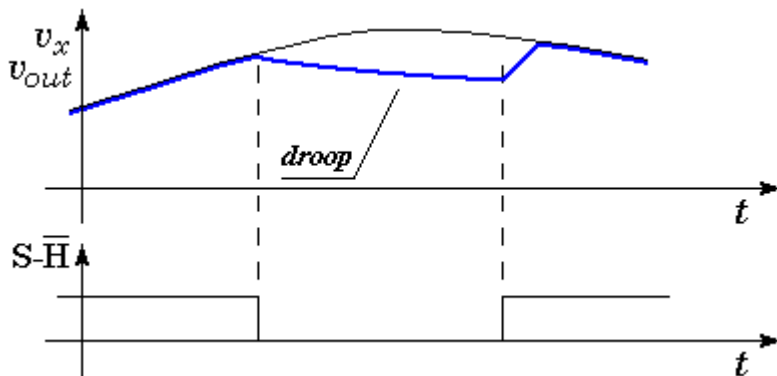


Sfruttando la retroazione dell'uscita sull'ingresso del primo buffer si compensano, durante la fase di sample, la caduta sul FET e l'offset del secondo buffer.

- Una seconda causa di incertezza è dovuta alla banda passante non infinita del dispositivo: anche ipotizzando di usare inseguitori di tensione dotati di banda illimitata si deve ricordare che il FET in conduzione presenta una resistenza parassita (in serie) non nulla. La presenza di una tale

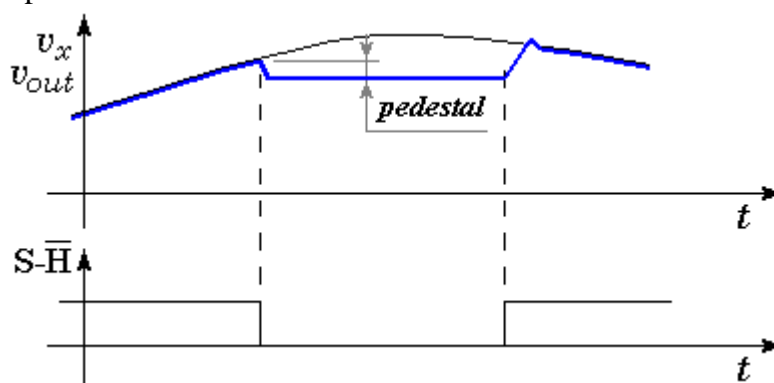
resistenza parassita R_{ON} e della capacità di memoria C porta a costituire all'interno del sample-hold un filtro "passa-basso" con una costante di tempo pari a $R_{ON} \cdot C$.

- Una ulteriore causa di incertezza è dovuta al fatto che un condensatore reale presenta una pur modesta, ma non nulla, corrente di conduzione all'interno del dielettrico interposto fra le armature che permette una ricombinazione delle cariche. A questa corrente si deve poi aggiungere quella che fluisce verso massa attraverso la resistenza parassita di ingresso dell'inseguitore di tensione posto in uscita del sample-hold e quella che fluisce attraverso il FET che, anche se interdetto, non risulta essere un circuito "perfettamente aperto".
- Per effetto di queste correnti si ha una lenta, ma inesorabile ricombinazione delle cariche pertanto la tensione $v_c(t)$ non resta perfettamente costante, ma presenta una variazione che si può supporre retta da una legge esponenziale chiamata "droop".

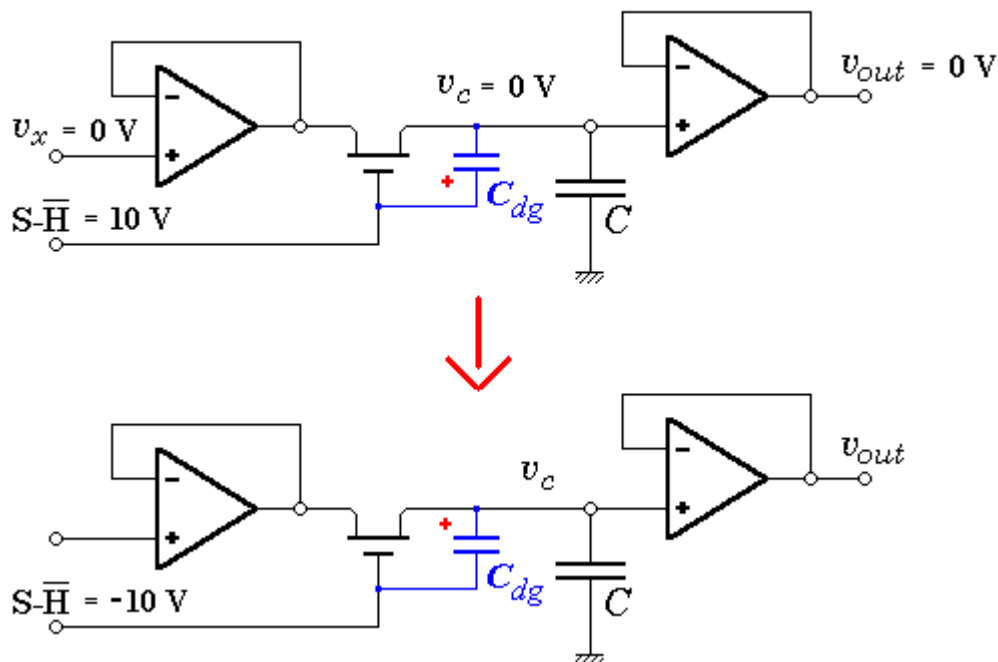


Volendo ridurre la velocità di variazione della $v_c(t)$ senza intervenire sul FET e sull'inseguitore di tensione di uscita non si può fare altro che aumentare il valore della capacità di memoria C in modo da rendere percentualmente minore la carica ricombinata rispetto a quella immagazzinata. Questa operazione, però, contribuisce a ridurre ulteriormente la banda passante del dispositivo per quanto detto poco sopra.

- Vi è poi una ulteriore causa di incertezza il cui effetto si manifesta con una più o meno marcata diminuzione a gradino della tensione $v_c(t)$ in corrispondenza della transizione di livello della linea S-H che ha luogo nell'istante di campionamento. Questa diminuzione viene indicata con il nome di "pedestal" oppure con l'espressione "hold-step" (gradino di hold) ed è provocata dalla presenza della capacità parassita C_{dg} fra drain e gate del FET.
- Nella figura sotto riportata in cui viene mostrato lo hold-step, per chiarezza grafica si considera trascurabile il droop.



Per comprendere come la capacità parassita C_{dg} provochi lo hold-step si può studiare il comportamento del circuito quando si campiona il segnale v_x in un istante in cui esso è nullo. La figura sotto riportata mette in evidenza la capacità parassita assieme al segno della tensione ai suoi capi nelle fasi immediatamente precedenti e seguenti la transizione della linea S-H.



Durante la fase che precede l'istante di campionamento il FET è in conduzione e si supponga che la tensione della linea S-H sia di 10 volt verso massa. Nell'istante immediatamente precedente il campionamento la capacità parassita C_{dg} è quindi sottoposta ad una tensione di 10 V con il drain negativo rispetto al gate.

Durante la fase di mantenimento si supponga che alla linea S-H venga imposta una tensione di -10 volt verso massa. Se la capacità C_{dg} potesse mantenere la carica immagazzinata, nell'istante immediatamente successivo al campionamento il drain si troverebbe ad una tensione negativa di 20 volt rispetto alla massa: ciò non può evidentemente verificarsi in quanto il drain è connesso alla capacità di memoria pertanto le cariche immagazzinate in C_{dg} si ricombinano richiamando cariche dalla capacità di memoria.

Per valutare l'ampiezza del pedestal bisogna quindi conoscere il valore della carica che, presente sulla capacità parassita C_{dg} , deve ricombinarsi ed i costruttori dei samplehold forniscono questo dato. Nell'esempio sopra citato si consideri che durante la fase di sample sulla capacità C_{dg} si trovi una carica elettrica $Q_{dg} = 5 \text{ pC}$: se ipotizziamo per il momento trascurabile il pedestal, la variazione della carica deve essere di $2Q_{dg}$ in quanto si deve prima annullare la carica presente durante la fase di sample, quindi si deve fornire la carica necessaria affinché su C_{dg} si possa instaurare il regime elettrico conseguente al nuovo stato della linea S-H.

Questa carica di 10 pC non può essere fornita altro che dalla capacità di memoria C che subisce una variazione della tensione v_c (lo hold-step) la cui ampiezza è fornita dal rapporto $2Q_{dg}/C$.

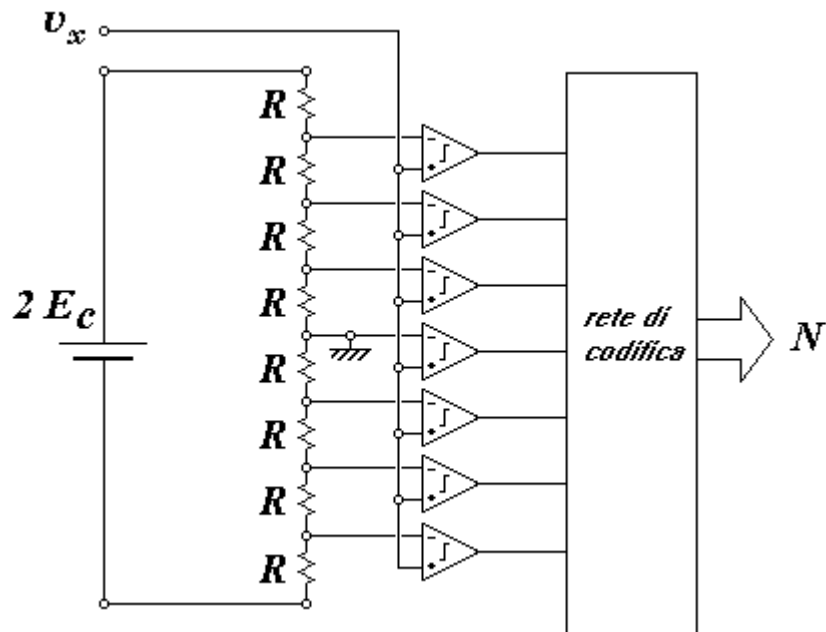
Per diminuire lo hold step si dovrebbe aumentare il valore C della capacità di memoria ma, come abbiamo già visto, il suo valore viene limitato per non fare diminuire troppo la banda del dispositivo.

- Si deve infine ricordare che il sample-hold risponde al comando di hold con un ritardo che risulta variabile per effetto del rumore che interessa la linea S-H. Questo ritardo introduce quindi una incertezza, indicata come "jitter di apertura", sulla effettiva allocazione temporale del campione che verrà poi quantizzato e codificato.

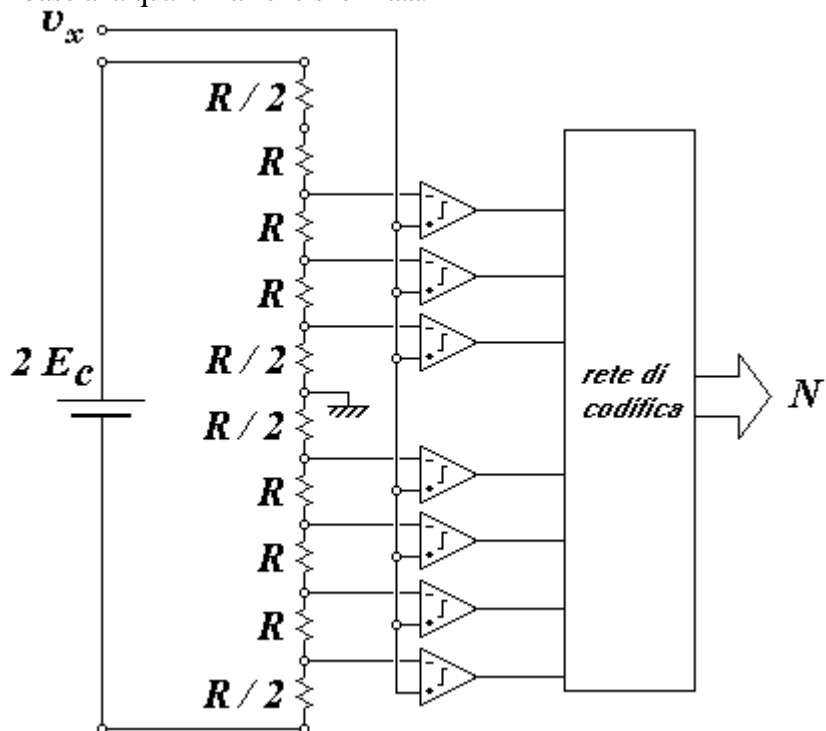
12.5 Convertitore A/D parallelo o flash

Schema a blocchi

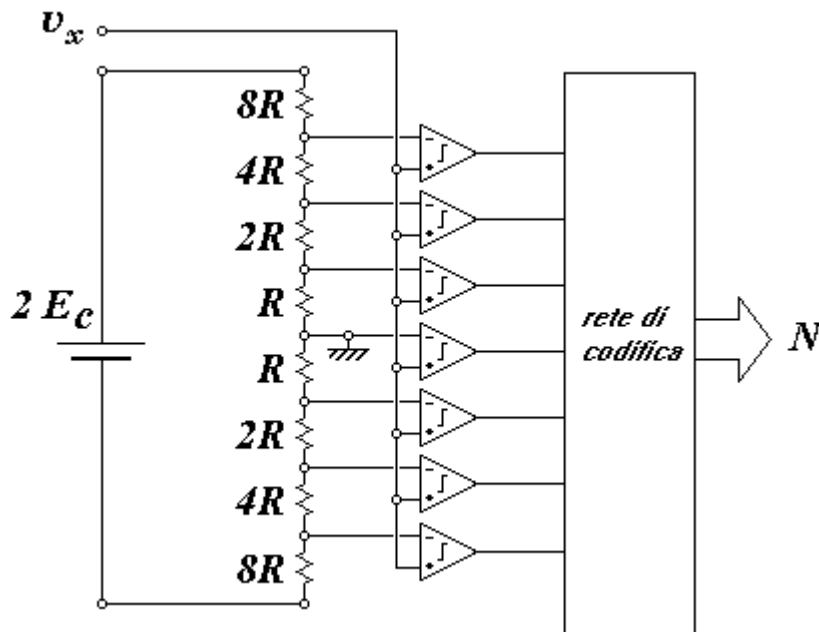
Il convertitore flash opera come circuito quantizzatore/codificatore. Si possono realizzare schemi che attuano quantizzazioni uniformi operando in base alla quantizzazione non silenziosa:



oppure operando in base alla quantizzazione silenziata:



Si possono anche realizzare dispositivi che operano quantizzazioni non uniformi:

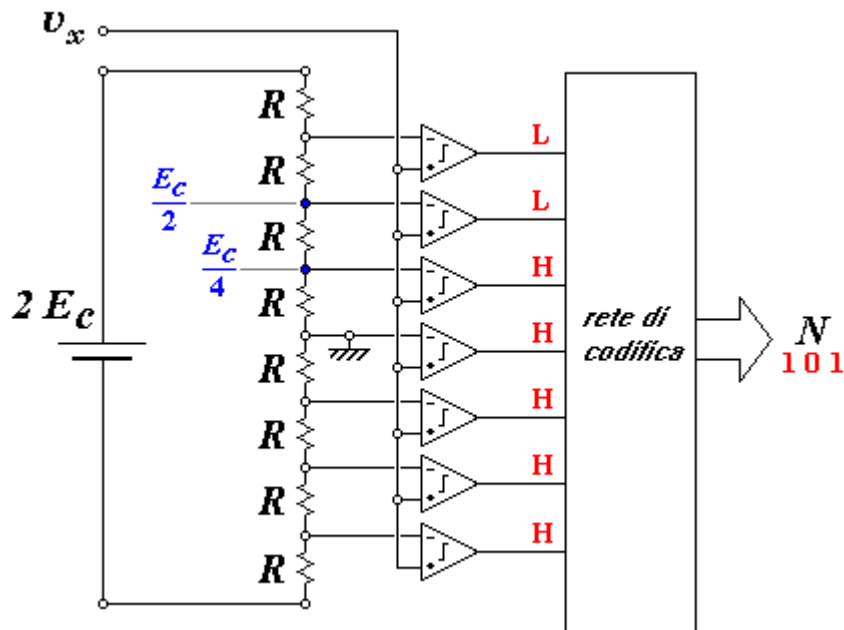


In tutti i casi il dispositivo è costituito da un partitore resistivo che genera le tensioni corrispondenti agli estremi degli intervalli in cui è stato suddiviso il campo di misura, da una schiera di comparatori analogici e da una rete (combinatoria) che ha il compito di eseguire la codifica del valore di uscita.

Funzionamento

Il funzionamento è estremamente semplice e rispecchia esattamente il processo di quantizzazione già descritto: ciascun comparatore della schiera confronta il valore della tensione di ingresso con un valore di tensione fornito dal partitore resistivo per verificare se v_x è maggiore o minore della tensione del nodo del partitore connesso all'ingresso di riferimento. Come risultato si avrà un gruppo di comparatori con uscita al livello H ed un altro gruppo con uscita al livello L: la coppia di comparatori "di frontiera" individua l'intervallo di tensioni entro cui si trova v_x .

La rete combinatoria ha semplicemente il compito di codificare tale informazione nel formato binario prescelto.



Nell'esempio sopra riportato, in cui la rete di codifica utilizza la codifica binaria con offset il valore della tensione incognita v_x risulta appartenere all'intervallo $[\frac{1}{4} E_c, \frac{1}{2} E_c]$.

Appare evidente dall'esame degli schemi circuitali sopra riportati che le situazioni che vedono la tensione incognita inferiore alla tensione di confronto minima (uscita di tutti i comparatori al livello L) oppure superiore alla tensione di confronto massima (uscita di tutti i comparatori al livello H) devono essere considerate come "non valide" in quanto potenzialmente fuori campo di misura.

La rete combinatoria ha semplicemente il compito di codificare tale informazione nel formato binario prescelto (binario puro, binario con offset, binario complementato a due, gray, bcd, ecc.).

Cause di incertezza

Come tutti i dispositivi reale anche il convertitore A/D flash è fonte di incertezza: alla incertezza di quantizzazione, intrinseca nel processo di conversione ed ineliminabile si aggiungono le incertezze provocate dalle seguenti cause:

- instabilità a lungo termine di E_c
- non linearità del partitore resistivo provocata dalle differenze fra le resistenze dei resistori che lo costituiscono.
- Le variazioni di resistenza prodotte dalla temperatura possono invece non influire se i resistori hanno tutti lo stesso coefficiente di temperatura e la medesima temperatura.
- sensibilità non infinita ed offset non nullo dei comparatori

Pregi principali

Il pregio principale del convertitore flash è costituito dalla rapidità di conversione (10 ns per 8 bit) che permette frequenze di campionamento che possono arrivare fino al centinaio di MHz.

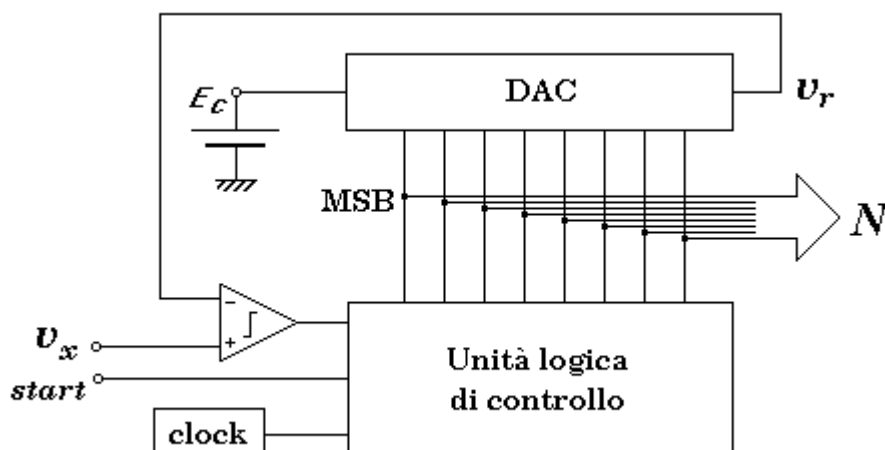
Difetti principali

Il difetto principale è rappresentato dall'elevato numero di componenti elementari che è necessario integrare per ottenere una prestabilita incertezza di quantizzazione. Considerando che per realizzare un convertitore a 8 bit, con cui è possibile suddividere il campo di misura in solo 256 intervalli, sono necessari ben 256 resistori, 255 comparatori ed una rete di codifica a 255 ingressi ed 8 uscite si comprende perchè questi convertitori vengono applicati solamente in quelle applicazioni in cui il contenimento della incertezza di quantizzazione non è un requisito prioritario.

12.6 Convertitore A/D ad approssimazioni successive

Schema a blocchi

N.B.: Nello schema seguente (e nella descrizione del funzionamento del dispositivo) si considera un campo di misura "unipolare" cioè non negativo $[0, E_c]$. Volendo realizzare campi bipolari $[- \frac{1}{2} E_c, + \frac{1}{2} E_c]$ sarà necessario introdurre una semplice modifica circuitale illustrata più avanti..



Il convertitore a successive approssimazioni è composto da 4 principali elementi:

- un generatore campione di f.e.m. E_c ,
- un convertitore "digitale/analogico" DAC con ingresso a n bit che rende in uscita un segnale analogico v_r il cui valore è proporzionale al prodotto fra il valore di E_c ed il valore numerico N posto al suo ingresso,
- un comparatore
- una unità logica di controllo che può variare il valore numerico N secondo una particolare strategia.

Nel circuito è poi presente anche un oscillatore locale (clock) che cadenza il susseguirsi delle fasi di conversione. Come si potrà vedere la frequenza di oscillazione di questo dispositivo non è causa di incertezza pertanto si può usare anche un dispositivo a rete RC senza penalizzare le prestazioni del dispositivo.

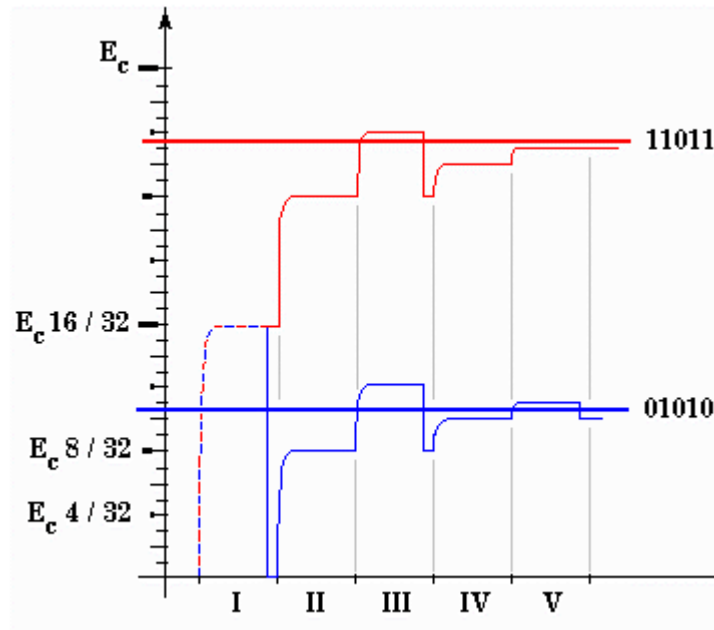
Funzionamento

Il convertitore a successive approssimazioni opera mediante una ricerca del valore attuata a passi sempre più fini.

1. Inizialmente, rispondendo al comando di start ed al successivo primo impulso del clock, la ULC pone in ingresso al DAC una parola binaria N con il bit più significativo (MSB) al livello H e tutti gli altri al livello L;
2. il DAC genera quindi una tensione v_r il cui valore è fornito da $E_c \cdot 2^{n-1} / 2^n = 1/2 E_c$;
3. il comparatore confronta il segnale di ingresso v_x con il segnale di riferimento v_r : una uscita al livello H segnala che v_x è maggiore di v_r ;
4. al successivo impulso di clock la ULC esamina lo stato della uscita del comparatore per determinare se v_x è maggiore o minore di v_r . In funzione del risultato del confronto la ULC decide come fissare il valore del bit più significativo di N :
5. se v_x è maggiore di v_r il bit viene stabilmente fissato al livello H,
6. se v_x è minore di v_r il bit viene riportato e fissato al livello L ;
7. immediatamente dopo aver fissato il livello del bit più significativo la ULC porta al livello H il secondo bit (a partire dal MSB);
8. il DAC genera quindi una tensione v_r che assume due diversi valori a seconda dello stato di MSB:
 - se MSB = L si ha $v_r = 1/4 E_c$
 - se MSB = H si ha $v_r = 1/2 E_c + 1/4 E_c = 3/4 E_c$
9. il comparatore confronta il segnale di ingresso v_x con il nuovo segnale di riferimento v_r ed al successivo impulso di clock la ULC, in base all'uscita del comparatore, stabilisce a quale livello fissare il livello del secondo bit in analogia a quanto fatto al punto 4.
10. se v_x è maggiore di v_r il secondo bit viene stabilmente fissato al livello H,
11. se v_x è minore di v_r il secondo bit viene riportato e fissato al livello L ;
12. il ciclo poi riprende dal punto 5. con la ULC che agisce, in successione, su tutti i bit di cui dispone.
13. la conversione ha termine quando la ULC, operato l'ultimo esame dell'uscita del comparatore, stabilisce a quale livello fissare l'ultimo bit, quello "meno significativo" o LSB:
 - se v_x è maggiore di v_r lo LSB viene stabilmente fissato al livello H,
 - se v_x è minore di v_r lo LSB viene riportato e fissato al livello L .

Nella figura sotto riportata viene mostrato l'andamento della tensione v_r in due casi diversi basato sull'ipotesi di disporre di un DAC a 5 bit; la codifica usata è quella di tipo "binario puro":

- nel diagramma tracciato in blu la tensione di ingresso v_x appartiene all'intervallo $[E_c \cdot 10/32, E_c \cdot 10/32]$
- nel diagramma tracciato in rosso la tensione di ingresso v_x appartiene all'intervallo $[E_c \cdot 27/32, E_c \cdot 28/32]$



Cause di incertezza

Come tutti i dispositivi reale anche il convertitore A/D a successive approssimazioni è fonte di incertezza: alla incertezza di quantizzazione, intrinseca nel processo di conversione ed ineliminabile si aggiungono le incertezze provocate dalle seguenti cause:

- instabilità a lungo termine di E_c
- non linearità del DAC.
- sensibilità non infinita ed offset non nullo del comparatore

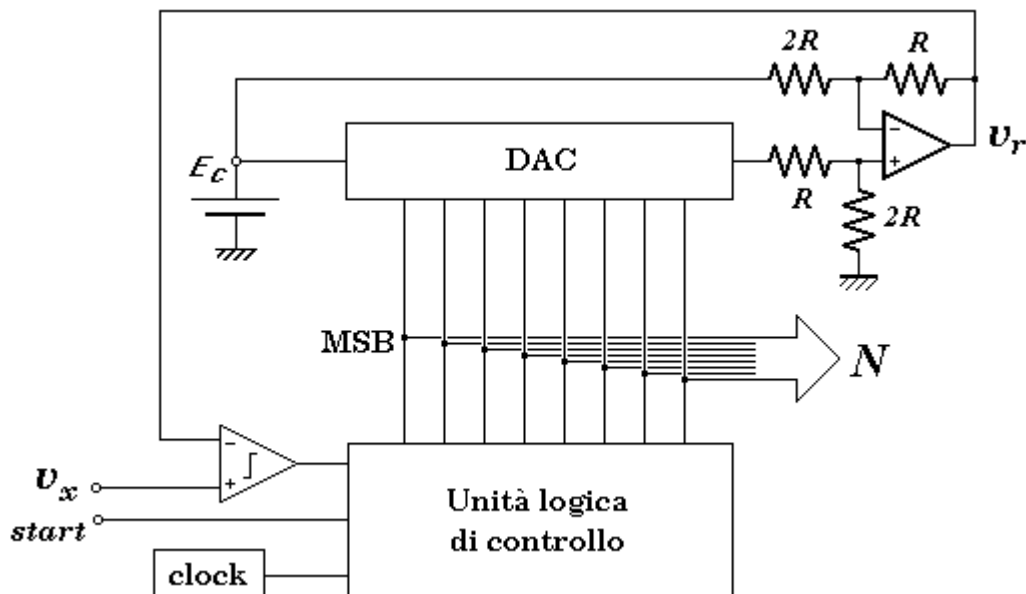
Pregi principali

- elevata risoluzione (fino a 18 bit)
- relativa rapidità di conversione (10 μ s per 16 bit)
- economicità

Schema elettrico di principio per campo di misura bipolare [- $\frac{1}{2} E_c$, + $\frac{1}{2} E_c$]

Usualmente il funzionamento con campo bipolare [- $\frac{1}{2} E_c$, + $\frac{1}{2} E_c$] si ottiene sottraendo alla tensione prodotta dal DAC un contributo pari a $\frac{1}{2} E_c$.

Uno schema elettrico di principio potrebbe essere quello mostrato nella figura sotto riportata anche se, nella realtà, si usano schemi più efficienti ma didatticamente meno intuitivi.

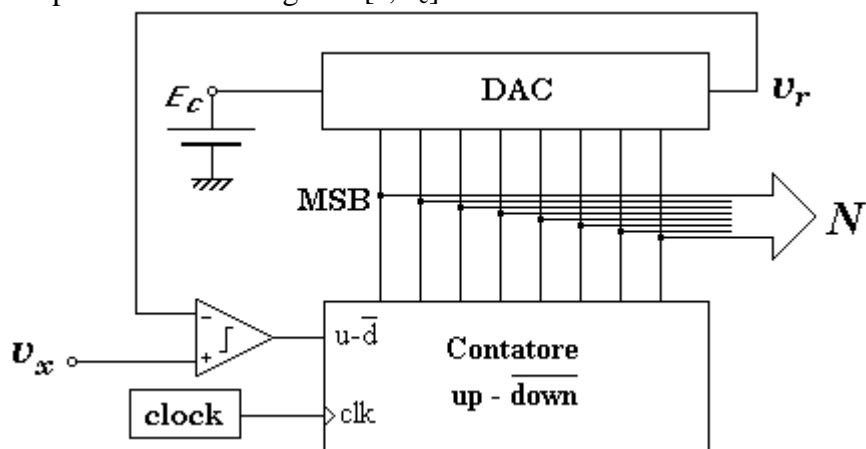


12.7 Convertitore A/D ad inseguimento

Il convertitore A/D ad inseguimento è dotato di uno schema simile a quello del convertitore a successive approssimazioni ma si discosta da questo poichè, dopo un transitorio iniziale, fornisce costantemente in uscita un numero che approssima il valore corrente del segnale di ingresso.

Schema a blocchi e principio di funzionamento

N.B.: Nello schema seguente (e nella descrizione del funzionamento del dispositivo) si considera un campo di misura "unipolare" cioè non negativo $[0, E_c]$.



Nello schema, come si nota, la ULC è stata sostituita da un contatore "up-down" il quale ha la caratteristica di incrementare il contenuto del registro di uscita N solamente se, in corrispondenza dei fronti di salita del clock, l'ingresso di controllo $u-d$ presenta il livello logico H; in caso contrario il fronte di salita del clock determina il decremento di un'unità del contenuto del registro di uscita N .

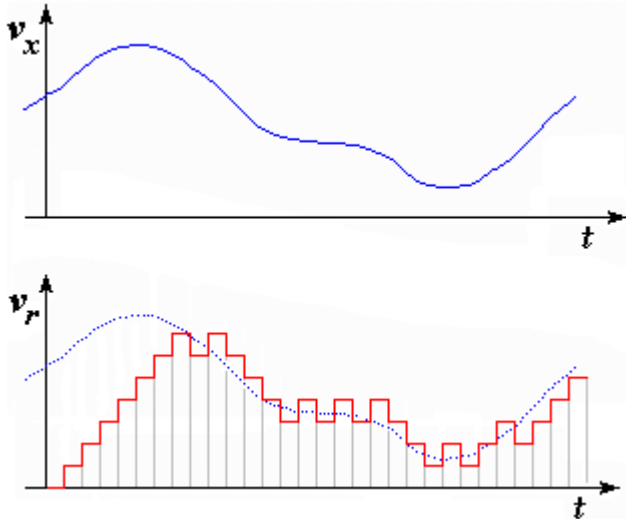
Supponendo che inizialmente il registro di uscita del contatore sia al valore nullo ($N=0$) la tensione di uscita v_r del DAC è pure nulla. Se, come è plausibile ipotizzare per le limitazioni poste al campo di misura, il valore del segnale v_x è maggiore di 0 allora l'uscita del comparatore è al livello logico H ed il contatore, alla prima transizione L-H del segnale di clock, incrementa di un'unità il valore di N .

Se il DAC ha n bit, la tensione del segnale v_r subisce un incremento pari a $1 \text{ LSB} = E_c / 2^n$.

Se il valore del segnale v_x è maggiore di v_r allora, alla successiva transizione L-H del segnale di clock, si incrementa di un'altra unità il valore di N e la tensione del segnale v_r subisce un ulteriore incremento pari a 1 LSB . Il processo viene iterato fino a quando il valore del segnale v_x non diviene

inferiore a v_r : a questo punto l'uscita del comparatore passa al livello logico L ed il contatore, alla successiva transizione L-H del segnale di clock, decrementa di un'unità il valore di N e v_r subisce un conseguente decremento pari a 1 LSB.

Il transitorio iniziale è terminato ed il dispositivo ha "agganciato" il segnale v_x : da questo momento l'uscita numerica N si mantiene in prossimità del valore istantaneo di v_x incrementando se v_x aumenta, decrementando se v_x diminuisce.



Il dispositivo può mantenere agganciato il segnale v_x se questo presenta una velocità di variazione limitata: deve infatti essere verificata la condizione per cui la massima velocità di variazione di v_x (espressa in V/s) è minore del rapporto: $1\text{LSB} / T_c$ con T_c periodo dell'oscillatore che funge da clock del sistema.

Cause di incertezza

- quantizzazione operata dal DAC;
- non linearità del DAC;
- instabilità a lungo termine della f.e.m. del generatore campione E_c ;
- sensibilità ed offset del comparatore.

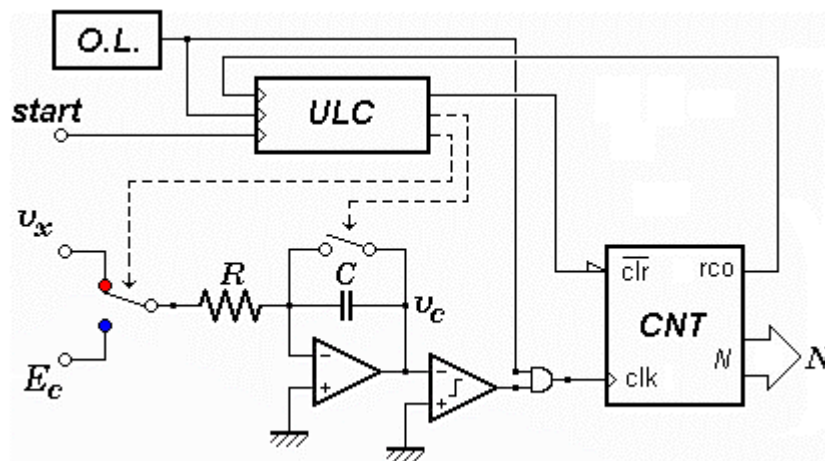
Pregi principali

- tutti quelli del convertitore a successive approssimazioni da cui deriva;
- ma sopra tutto, possibilità di disporre con continuità di un valore in uscita che si modifica in modo analogo all'andamento del segnale analogico convertito.

12.8 Convertitore a doppia rampa

Schema a blocchi

N.B.: Nello schema elettrico di principio (e nella descrizione del funzionamento) si considera un campo di misura "unipolare" cioè non negativo $[0, E_c]$.



Il convertitore A/D "tensione-tempo a doppia rampa" è costituito da:

- un generatore campione di f.e.m. E_c che fornisce una tensione negativa di valore assoluto pari al campo di misura che si vuole ottenere,
- un OpAmp connesso come integratore (invertente) con costante di integrazione pari a $-1/RC$,
- un commutatore che pone in ingresso all'integratore il segnale sotto misurazione v_x oppure il segnale generato dal campione di f.e.m. E_c
- un comparatore
- una unità logica di controllo
- un dispositivo intervallometro costituito dall'oscillatore locale O.L., da una porta AND e da un contatore "positive edge-triggered" CNT (per ulteriori informazioni su questo componente si veda la appendice A della lezione 2 - Misurazioni di tempo e frequenza.)

Come si vedrà all'oscillatore locale O.L. si richiede solamente la stabilità a breve termine pertanto questo può essere realizzato anche con un oscillatore a rete "resistenza-capacità".

Funzionamento con segnale di ingresso costante

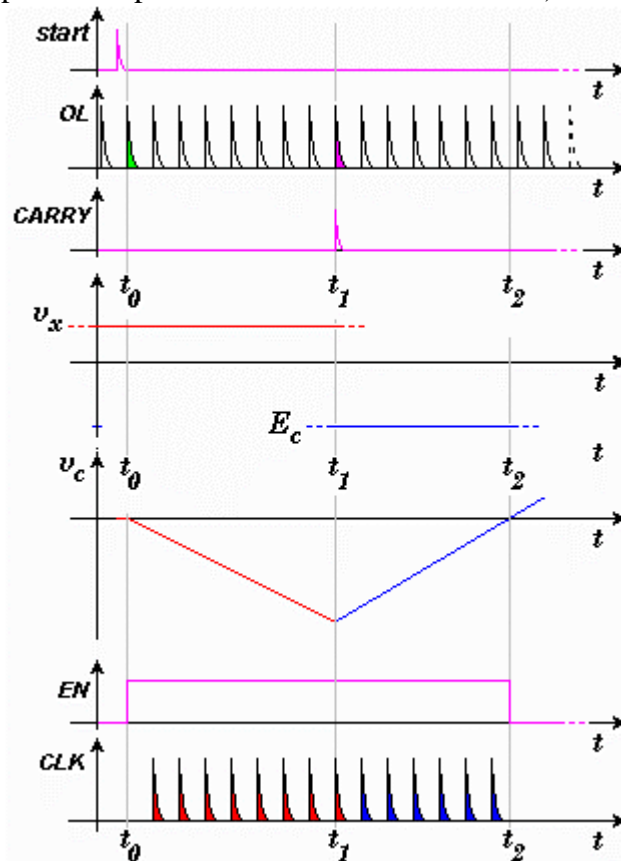
Il convertitore A/D "tensione-tempo a doppia rampa" attua una conversione del valore medio del segnale sotto misurazione nella durata di un intervallo di tempo che viene quindi misurata dall'intervallometro inserito nel dispositivo.

1. Inizialmente, rispondendo al comando di start la ULC attua una serie di operazioni preliminari alla conversione:
 - azzerà il contatore agendo sull'ingresso clear;
 - scarica il condensatore dell'integratore agendo sull'interruttore (in realtà costituito da un MOS-FET);
 - pone il commutatore su v_x ;
2. al successivo primo impulso del clock, la ULC apre l'interruttore che manteneva scarico C permettendo l'inizio della integrazione di v_x : indichiamo questo istante come t_0 ;
 - la tensione v_c in uscita dall'integratore diviene negativa pertanto il comparatore porta la propria uscita, che nei diagrammi sotto riportati viene indicata come EN, al livello H rendendo trasparente la porta AND e permettendo agli impulsi dell'oscillatore locale di giungere al contatore;
 - la integrazione di v_x prosegue fino a quando il numero degli impulsi dell'oscillatore locale ricevuti dal contatore non raggiunge il valore massimo consentito dalla capacità del contatore. Se indichiamo con n il numero di bit del contatore e con N_{max} tale valore massimo si ha: $N_{max} = 2^n$
3. il successivo impulso dell'oscillatore locale provoca il ritorno a 0 del valore contenuto nel registro di uscita del contatore e la transizione della linea di carry che assume, per un breve intervallo, il livello H : indichiamo questo istante come t_1 ;

4. la ULC, in risposta alla transizione del carry (o ripple-clock - simbolo rco), pone il commutatore sul segnale (negativo) generato dal campione di f.e.m. E_c che da questo istante viene quindi integrato dall'OpAmp.
5. la tensione v_c in uscita dall'integratore assume quindi l'andamento di una rampa con pendenza positiva.
6. quando la tensione v_c assume il valore nullo (per poi assumere valori positivi) il comparatore porta la propria uscita al livello L : indichiamo questo istante come t_2 ;
7. in conseguenza di questa transizione:
 - la uscita della porta AND resterà quindi sempre a livello L,
 - il contatore non potrà più incrementare il valore N contenuto nel registro che è pari al numero di impulsi generati dall'oscillatore nell'intervallo $[t_1, t_2]$
8. la conversione ha termine.

Per meglio comprendere il funzionamento del convertitore esaminiamo il diagramma temporale delle principali tensioni presenti nel sistema:

(come si è detto in precedenza facciamo l'ipotesi che il segnale di ingresso v_x sia a valore medio positivo in modo da richiedere l'uso di un generatore campione E_c che fornisce una tensione negativa di valore assoluto pari al campo di misura che si vuole ottenere.)



Esaminiamo analiticamente l'andamento della tensione v_c in uscita dall'integratore:

$$\begin{aligned}
v_c(t_0) &= 0 \\
v_c(t_1) &= v_c(t_0) + \int_{t_0}^{t_1} \frac{v_x(t)}{-RC} dt \\
v_c(t_2) &= v_c(t_1) + \int_{t_1}^{t_2} \frac{E_c}{-RC} dt = 0 \\
\int_{t_0}^{t_1} \frac{v_x(t)}{-RC} dt + \int_{t_1}^{t_2} \frac{E_c}{-RC} dt &= 0
\end{aligned}$$

Ipotesi 1:

nell'intervallo di conversione $[t_0, t_2]$ il prodotto RC (che potrebbe variare principalmente per effetto della temperatura e dell'invecchiamento dei componenti) si mantiene costante.

Posso così elidere RC fra i due membri dell'uguaglianza

Ipotesi 2:

nell'intervallo $[t_1, t_2]$ il valore di E_c si mantiene costante.

Posso esprimere il secondo membro come $- E_c (t_2 - t_1)$

$$\begin{aligned}
\int_{t_0}^{t_1} v_x(t) dt &= - \int_{t_1}^{t_2} E_c dt \\
\int_{t_0}^{t_1} v_x(t) dt &= - E_c (t_2 - t_1)
\end{aligned}$$

Dividendo ambo i membri per $t_1 - t_0$ facciamo comparire a primo membro l'espressione del valore medio del misurando.

Esprimendo le durate degli intervalli in funzione del numero di cicli dell'oscillatore locale contati dal contatore troviamo l'espressione finale.

$$\begin{aligned}
\frac{1}{t_1 - t_0} \int_{t_0}^{t_1} v_x(t) dt &= - \frac{t_2 - t_1}{t_1 - t_0} E_c \\
\bar{v}_x &= - \frac{N\tau}{N_{\max} \tau} E_c = - \frac{N}{N_{\max}} E_c
\end{aligned}$$

Nel caso in cui il segnale di ingresso sia costituito da una componente costante con sovrapposto un disturbo alternativo il circuito permette di attenuare od eliminare il contributo del rumore. L'annullamento del contributo di disturbo si ottiene quando la durata dell'intervallo $[t_0, t_1]$ e' pari ad un multiplo intero del periodo del disturbo.

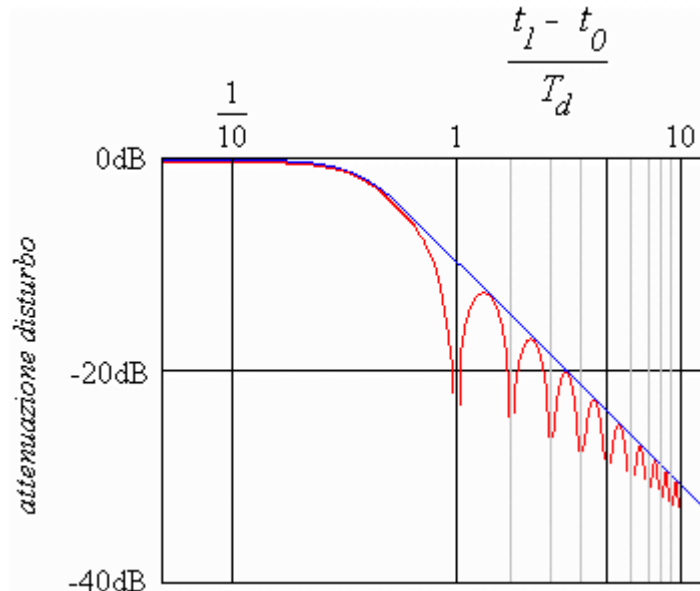
Reiezione ai disturbi alternati

Come si è già detto, I convertitore A/D a valore medio permette di eliminare tutti quei disturbi che presentano contemporaneamente entrambe le seguenti caratteristiche:

- sono alternati
- hanno periodo T_d tale che l'intervallo $[t_0, t_1]$ e' pari ad un multiplo intero di T_d .

Non tutti i disturbi hanno però queste caratteristiche: molti -forse la maggior parte- sono effettivamente alternati ma per quanto riguarda la frequenza la casistica è molto più varia. Cosa succede quindi se al segnale utile è sovrapposto un disturbo alternato ad una generica frequenza?

Sviluppando alcuni semplici calcoli si può ricavare l'andamento della sensibilità (o della attenuazione) in funzione del rapporto fra la durata dell'intervallo $[t_0, t_1]$ ed il periodo del disturbo T_d . Il grafico sotto riportato mostra appunto l'andamento (in termini relativi) del contributo al valore medio misurato di un'onda sinusoidale con ampiezza pari al valore del segnale (che si considera costante).

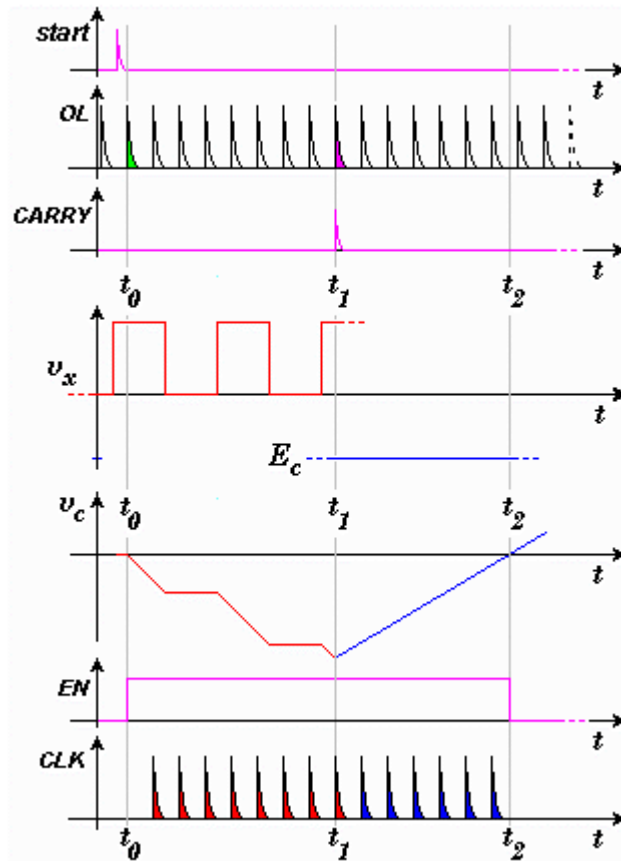


Come si può vedere la attenuazione dei disturbi è completa per quei disturbi che risultano avere periodo T_d tale che l'intervallo $[t_0, t_1]$ è esattamente pari ad un multiplo intero di T_d .

Poiché il disturbo che più frequentemente si sovrappone al segnale di cui si vuole convertire il valore medio è provocato dalla rete di alimentazione (50 Hz in Europa e 60 Hz in America) i costruttori di convertitori scelgono un valore di 100 ms per l'intervallo $[t_0, t_1]$.

Funzionamento con segnale costante a cui è sovrapposto un disturbo alternato

Il diagramma sotto riportato vuole mostrare il funzionamento del dispositivo quando il segnale di ingresso v_x è costituito da una componente costante di ampiezza uguale a quella dell'esempio sopra sviluppato a cui si sovrappone un disturbo costituito da un'onda quadra di uguale ampiezza e periodo T_d pari alla metà della durata di $[t_0, t_1]$.



Come si nota il segnale v_c assume nell'istante t_1 lo stesso valore che aveva assunto nel diagramma che trattava del funzionamento con assenza di disturbo, ma l'andamento della sua evoluzione temporale è decisamente diverso ed imposto dall'andamento del valore istantaneo di v_x .

Cause di incertezza

- quantizzazione operata dall'intervallometro nella misura di $[t_1, t_2]$
- instabilità (a lungo termine) del campione E_c
- non linearità ed offset dell'integratore
- sensibilità non infinita del comparatore

Pregi principali

- elevata risoluzione (fino a 18 - 20 bit);
- relativa semplicità costruttiva;
- attenuazione dei disturbi propria della conversione a valore medio.

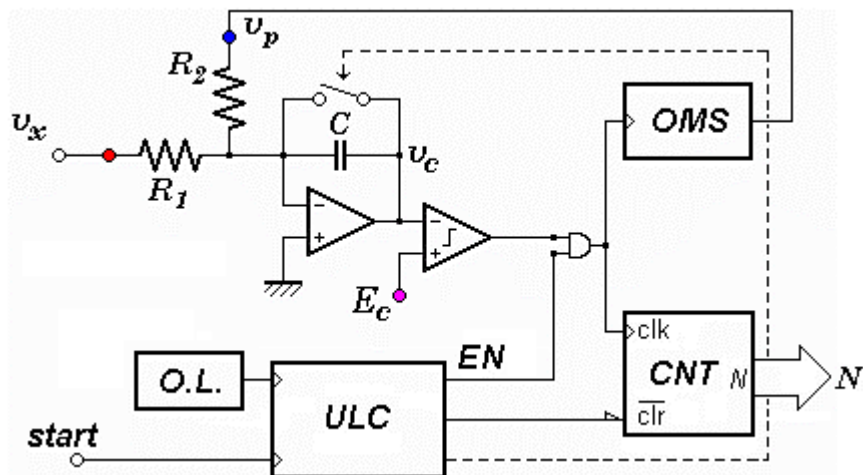
Difetti principali

- bassa frequenza di campionamento (tipica: 5 conversioni al secondo).

12.9 Convertitore A/D tensione-frequenza

Schema a blocchi

N.B.: Nello schema elettrico di principio (e nella descrizione del funzionamento) si considera un campo di misura "unipolare" cioè non negativo $[0, E_c]$.



Il convertitore A/D "tensione-frequenza" è costituito da:

- un oscillatore monostabile triggerato OMS che genera impulsi negativi ampiezza $-h$ e durata costanti,
- un OpAmp connesso come integratore (invertente),
- un generatore ausiliario di f.e.m. che fornisce una tensione negativa di riferimento E_c ,
- un comparatore,
- una unità logica di controllo ULC,
- un dispositivo frequenzimetro costituito dall'oscillatore locale O.L., da una porta AND e da un contatore "positive edge-triggered" CNT .

Funzionamento con segnale di ingresso costante

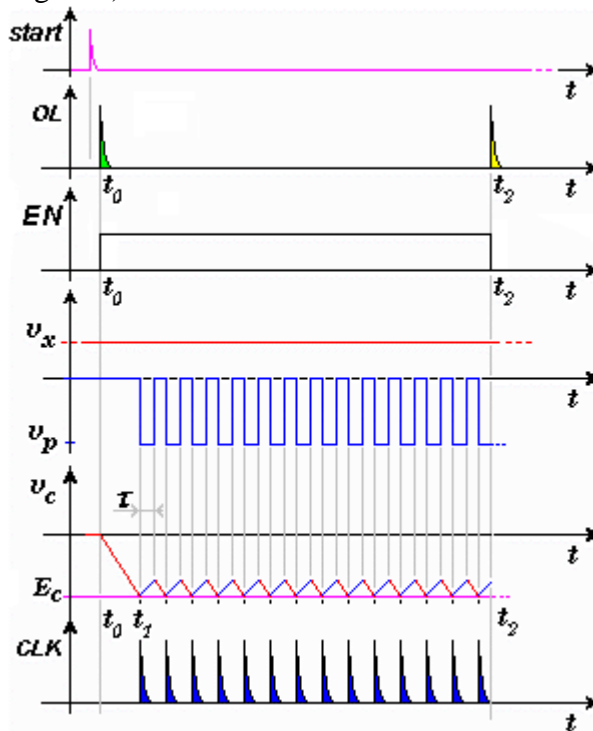
Il convertitore A/D "tensione-frequenza" genera un segnale di servizio la cui frequenza, che risulta proporzionale al valore medio del segnale sotto misurazione, viene misurata dal frequenzimetro inserito nel dispositivo.

1. Inizialmente, rispondendo al comando di start la ULC attua una serie di operazioni preliminari alla conversione:
 - azzerare il contatore agendo sull'ingresso clear;
 - scarica il condensatore dell'integratore agendo sull'interruttore (in realtà costituito da un MOS-FET);
2. alla prima successiva transizione L-H del segnale prodotto dall'oscillatore locale O.L. la ULC attua due operazioni:
 - apre l'interruttore che manteneva scarico C permettendo l'inizio della integrazione di v_x con una costante di integrazione $-1/R_1C$;
 - porta la linea EN al livello H rendendo trasparente la porta AND e permettendo al comparatore di agire sull'ingresso di clock del contatore;
 - indichiamo questo istante come t_0 ;
3. la tensione v_c in uscita dall'integratore assume l'andamento di una rampa con pendenza negativa,
4. la integrazione di v_x prosegue fino a quando la tensione v_c raggiunge il valore (negativo) del segnale generato da E_c provocando la transizione L-H dell'uscita del comparatore
 - indichiamo questo istante come t_1 ;
5. dato che la porta AND risulta "trasparente" la transizione dell'uscita del comparatore può raggiungere
 - il clock del contatore che incrementa il contenuto del registro di uscita di un'unità.
 - lo oscillatore monostabile triggerato OMS che porta la sua uscita v_p da zero ad un valore negativo $-h$ per un tempo prestabilito.
6. per un intervallo di durata l'integratore si trova ad integrare due segnali:
 - v_x con una costante di integrazione $-1/R_1C$
 - v_p con una costante di integrazione $-1/R_2C$

7. terminato l'intervallo $[t_1, t_1+]$ v_p torna nullo ed inizia nuovamente la integrazione del solo segnale v_x .
8. il processo viene reiterato dal passo 4. fino a quando l'uscita dell'oscillatore locale O.L. non presenta una seconda transizione L-H :
 - indichiamo questo istante come t_2 ;
9. a questo punto la ULC porta la linea EN al livello L.
10. in conseguenza di questa transizione:
 - la uscita della porta AND resterà quindi sempre a livello L,
 - il contatore non potrà più incrementare il valore N contenuto nel registro che è pari al numero di impulsi generati dall'oscillatore monostabile OMS nell'intervallo $[t_1, t_2]$
 - la conversione ha termine.

Per meglio comprendere il funzionamento del convertitore esaminiamo il diagramma temporale delle principali tensioni presenti nel sistema:

(come si è detto in precedenza facciamo l'ipotesi che il segnale di ingresso v_x sia a valore medio positivo in modo da richiedere l'uso di un generatore E_c ed un oscillatore monostabile che forniscano entrambi tensioni negative.)



Esaminiamo analiticamente l'andamento della tensione v_c in uscita dall'integratore:

$$v_c(t_1) = v_c(t_0) + \int_{t_0}^{t_1} \frac{v_x(t)}{-R_1 C} dt$$

A questo istante il comparatore attiva OMS che genera un impulso che viene ad essere integrato assieme al misurando.

$$v_c(t_1 + \tau) = v_c(t_0) + \int_{t_0}^{t_1 + \tau} \frac{v_x(t)}{-R_1 C} dt + \int_{t_1}^{t_1 + \tau} \frac{v_p(t)}{-R_2 C} dt$$

Ipotesi 1:

nell'intervallo in cui OMS e' attivo possiamo considerare costanti i valori di $v_p = -h$, di R_2 e di C : il secondo integrale puo' quindi essere semplicemente calcolato:

$$v_c(t_1 + \tau) = v_c(t_0) + \int_{t_0}^{t_1 + \tau} \frac{v_x(t)}{-R_1 C} dt + \frac{h\tau}{R_2 C}$$

Generalizziamo questa espressione al generico istante t_M :

$$v_c(t_M + \tau) = v_c(t_0) + \int_{t_0}^{t_M + \tau} \frac{v_x(t)}{-R_1 C} dt + M \frac{h\tau}{R_2 C}$$

Nella espressione sopra riportata M rappresenta il numero di impulsi di OMS generati nell'intervallo considerato.

Particolarizziamo la espressione all'istante t_2 : in questo caso N rappresenta anche il numero totalizzato dal contatore all'istante t_2 .

$$\int_{t_0}^{t_2} \frac{v_x(t)}{R_1 C} dt = v_c(t_0) - v_c(t_2) + N \frac{h\tau}{R_2 C}$$

Ipotesi 2:

N e' sufficientemente elevato da permettere di trascurare la differenza $v_c(t_0) - v_c(t_2)$ nei confronti dell'altro termine a secondo membro.

$$\int_{t_0}^{t_2} \frac{v_x(t)}{R_1 C} dt \approx N \frac{h\tau}{R_2 C}$$

Ipotesi 3:

nell'intervallo $[t_0, t_2]$ possiamo considerare costante il prodotto $R_1 C$. Questo ci permette di estrarre questo fattore dall'integrale:

$$\frac{1}{R_1 C} \int_{t_0}^{t_2} v_x(t) dt \approx N \frac{h\tau}{R_2 C}$$

Moltiplicando membro a membro si ottiene

$$\int_{t_0}^{t_2} v_x(t) dt \approx N h \tau \frac{R_1 C}{R_2 C}$$

e quindi possiamo fare comparire l'espressione del valore medio:

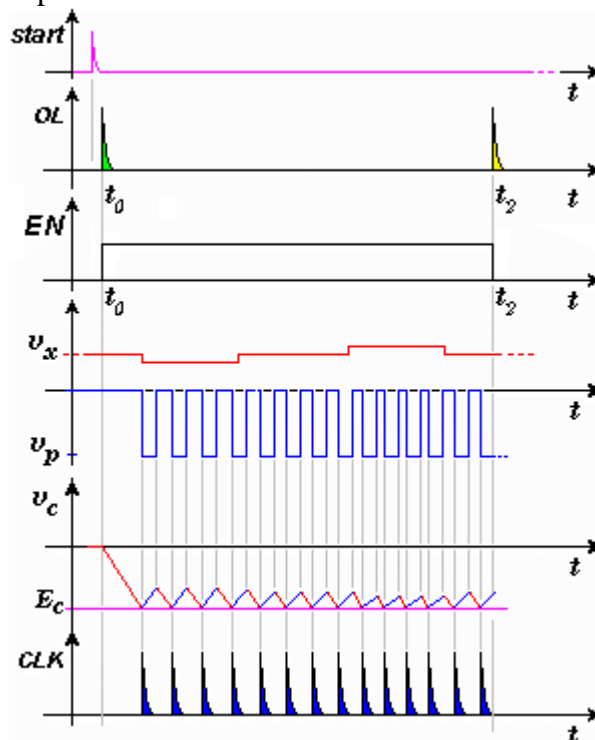
$$\frac{1}{t_2 - t_0} \int_{t_0}^{t_2} v_x(t) dt \approx \frac{1}{t_2 - t_0} N h \tau \frac{R_1}{R_2}$$

da cui la espressione finale:

$$\bar{v}_x \approx \frac{N}{t_2 - t_0} h \tau \frac{R_1}{R_2}$$

Funzionamento con segnale di ingresso a cui è sovrapposto un disturbo alternato

Anche in questo caso, come per il convertitore a doppia rampa, il sistema e' in grado di eliminare l'effetto di disturbi alternati che presentano un numero intero di cicli nell'intervallo $[t_0, t_2]$.



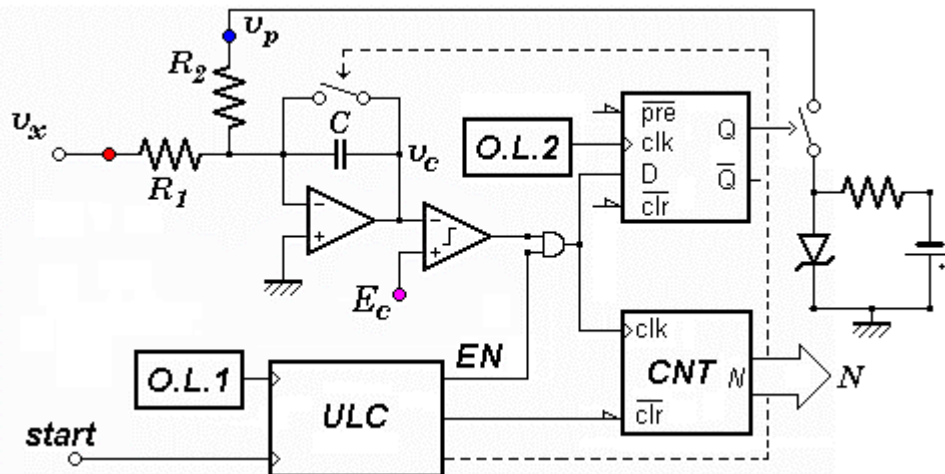
Come si può vedere dal diagramma sopra riportato gli impulsi generati dall'oscillatore monostabile OMS non sono più equamente spaziate nel tempo e risultano più "fitti" dove il disturbo fa aumentare il valore di v_x , ma nell'intervallo $[t_0, t_2]$ il loro numero si mantiene costante.

Cause di disturbo

- quantizzazione operata dal frequenzimetro;
- instabilità a lungo termine del periodo dell'oscillatore O.L. che, per questo motivo, potrebbe essere quarzato ed esterno al "chip" del vero e proprio convertitore;
- non linearità ed offset dell'integratore;
- non perfetta ripetibilità a lungo termine dell'impulso del monostabile (N.B.: in questo caso il circuito OMS non può essere realizzato con un oscillatore quarzato dato che deve emettere i propri impulsi in conseguenza dello stimolo fornito dal comparatore).

Convertitore A/D tensione frequenza con monostabile quarzato

L'ultima causa di incertezza sopra citata e' la preponderante ed ha portato allo sviluppo di un altro schema in cui l'oscillatore monostabile OMS può essere controllato da un oscillatore quarzato esterno al chip.



In questo schema il circuito OMS viene sostituito da un flip-flop D positive-edge-triggered il cui clock è comandato da un oscillatore quarzato O.L.2. che oscilla con un periodo (per ulteriori informazioni sul funzionamento del flip-flop D si veda la appendice A della lezione 2 - Misurazioni di tempo e frequenza.)

- Il flip-flop D porta la propria uscita Q al livello H tutte le volte che O.L.2 presenta una transizione L-H con la tensione v_c minore del valore (negativo) della tensione fornita da E_c ;
- l'uscita Q del flip-flop pilota un interruttore che permette la applicazione di una tensione v_p di valore negativo stabilizzato da un diodo zener.
- Ovviamente l'interruttore è costituito da un dispositivo elettronico dotato di una idonea rete di polarizzazione che si omette per semplicità grafica.
- La tensione v_p che viene generata riesce, nell'intervallo di durata , a rendere la tensione v_c maggiore del valore della tensione (negativa) fornita da E_c pertanto, alla successiva transizione L-H di O.L.2, l'uscita Q del flip-flop torna ad assumere il livello L e la tensione v_p torna ad annullarsi.
- In questo modo gli impulsi del segnale v_p , non sono più sincronizzati con le transizioni di livello del comparatore, ma vengono garantite le stabilità a lungo termine della durata e della ampiezza dell'impulso.

Pregi principali

- elevata risoluzione (fino a 18 bit);
- basso numero di componenti critici per la incertezza della misura;
- attenuazione dei disturbi propria della conversione a valore medio;
- possibilità di trasmissione a distanza del segnale codificato in frequenza.

Difetti principali

- bassa frequenza di campionamento (tipica: 5 conversioni al secondo).