
Le memorie (I parte)

Nuovo Corso di Calcolatori Elettronici I

Dipartimento di Informatica e Sistemistica
Università degli Studi di Napoli "Federico II"

DIS - Dipartimento di Informatica e Sistemistica - Università di Napoli



Argomenti

- **Modello di unità di memoria**
 - » Modello generale
 - » Memorie indirizzabili
 - » Memorie associative
 - » Tassonomie
- **Celle elementari**
- **Parametri di una memoria**
- **Memorie e selezioni associative**
- **Metodi di selezione**

DIS - Dipartimento di Informatica e Sistemistica - Università di Napoli



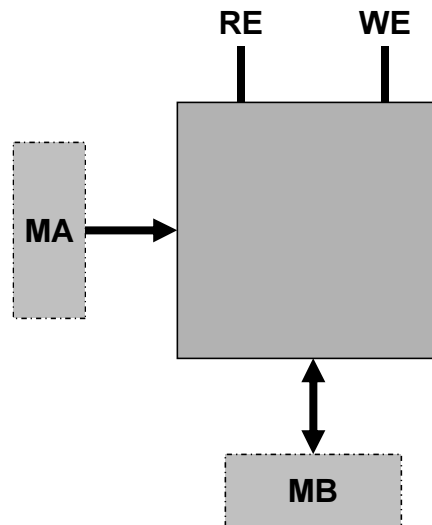
Definizione di memoria

- Sistema organizzato con un insieme di registri (nel senso generale di “contenitori d’informazione”) sui quali sono definite 3 operazioni:
 - » Scrittura
 - ◆ Posizionamento di una cella in un determinato stato o registrazione dell’informazione
 - » Lettura
 - ◆ Rilievo dello stato di una cella o prelievo dell’informazione
 - » Selezione
 - ◆ Individuazione di una cella al fine di eseguire una delle operazioni precedenti

DIS - Dipartimento di Informatica e Sistemistica- Università di Napoli



Modello di memoria

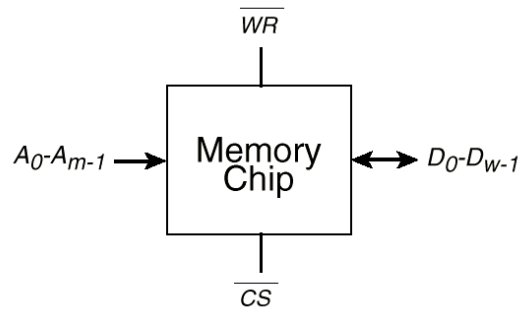


DIS - Dipartimento di Informatica e Sistemistica- Università di Napoli



Pinout (semplificato) di un chip di memoria

- A_0-A_{m-1}
 - » Linee degli indirizzi
 - » Unidirezionali
- D_0-D_{w-1}
 - » Linee dei dati
 - » Tipicamente bidirezionali
- $\overline{!CS}$
 - » Abilitazione del dispositivo
- $\overline{!WR}$
 - » Abilitazione dell'operazione di scrittura



DIS - Dipartimento di Informatica e Sistemistica - Università di Napoli



Tecniche di Selezione

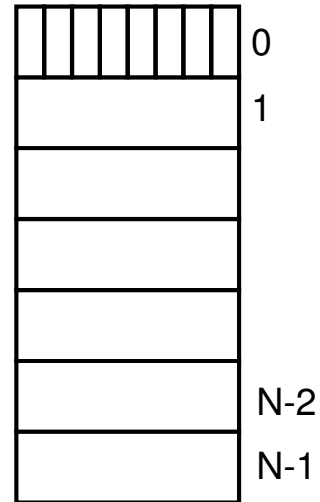
- Sul piano delle tecniche di selezione, le memorie si possono funzionalmente classificare in:
 - » memorie indirizzabili
 - » associative.

DIS - Dipartimento di Informatica e Sistemistica - Università di Napoli



Memorie indirizzabili

- Ogni registro è univocamente individuato da un numero intero (indirizzo) che assume valori da 0 a N-1 (spazio di indirizzamento)



DIS - Dipartimento di Informatica e Sistemistica- Università di Napoli



Esempio di memoria indirizzabile

Address	Value
0000A000	0F0F0000
0000A004	186734F1
0000A008	0F000000
0000A00C	FE681022
0000A010	3152467C
0000A014	C3450917
0000A018	00392B11
0000A01C	10034561

← 32 bits → ← 32 bits →

Random access memory

DIS - Dipartimento di Informatica e Sistemistica- Università di Napoli



Memorie associative

- Ogni registro è univocamente individuato dal valore di un particolare campo (chiave)
- Sono dette anche CAM (Content Addressable Memory)
- In fase di lettura si seleziona l'unica registrazione (se esiste) con la chiave associata, in fase di scrittura si registrano chiave e dato.

chiave	dato

DIS - Dipartimento di Informatica e Sistemistica - Università di Napoli



Memorie meccanicamente statiche e dinamiche

- Le operazioni di lettura, scrittura e selezione avvengono con tecniche diverse dipendenti dall'elemento fisico costituente la cella elementare e dalle caratteristiche tecniche richieste.
- Meccanicamente statiche:
 - » le memorie a chip di circuiti integrati (SRAM, DRAM, ...)
- Meccanicamente dinamiche:
 - » magnetiche ed ottiche, che adoperano supporti a forma di nastri o dischi (memorie di massa).

DIS - Dipartimento di Informatica e Sistemistica - Università di Napoli



Memorie meccanicamente statiche e dinamiche

- Meccanicamente statiche:
 - » Sia il supporto fisico, sia il dato sono fermi rispetto al sistema di lettura/scrittura
 - » Il dato è individuato esclusivamente dalla sua posizione rispetto al sistema di lettura/scrittura
 - » Le operazioni di lettura/scrittura avvengono staticamente, nel senso che non esistono organi in movimento
- Meccanicamente dinamiche:
 - » Il supporto fisico e/o il dato è in movimento rispetto al sistema di lettura/scrittura
 - » Il movimento del sistema di lettura/scrittura è utilizzato per individuare il dato
 - » Le operazioni di lettura/scrittura avvengono dinamicamente, nel senso che esistono organi in movimento

DIS - Dipartimento di Informatica e Sistemistica - Università di Napoli



Tassonomie delle memorie

In base alla **modalità di accesso** ai dati, le memorie si dividono in:

- » Sequenziali
- » Casuali

In base alle **operazioni consentite**, le memorie si dividono in:

- » Memorie a sola lettura (Read Only Memory - ROM)
- » Memorie a lettura/scrittura (Read Write Memory - RWM)

In base alla **“stabilità” dell’ informazione memorizzata**, le memorie si dividono in:

- » Volatili
- » Non volatili

DIS - Dipartimento di Informatica e Sistemistica - Università di Napoli



Celle elementari di memorie RAM

Le memorie RAM si dividono in:

- » statiche (SRAM)
 - ◆ l'informazione memorizzata è conservata nelle celle di memoria per un tempo indefinito o finchè non viene modificata tramite un'operazione di scrittura
- » dinamiche (DRAM)
 - ◆ l'informazione memorizzata nelle celle di memoria deve essere ripristinata periodicamente (operazione di **rinfrasco della memoria**)

DIS - Dipartimento di Informatica e Sistemistica - Università di Napoli



Parametri di una memoria RAM

- Capacità
 - » Numero di dati che può contenere la memoria
 - » Si esprime indicando il numero complessivo di registri e la dimensione in bit di un singolo registro
- Tempo di accesso
 - » Tempo necessario ad eseguire un'operazione di lettura/scrittura
 - » È composto in generale da un tempo di *selezione* più un tempo di *trasferimento*
 - » Il tempo logico è maggiore del tempo fisico: tempo di ciclo
- Casualità d'accesso
 - » Il tempo d'accesso può essere indipendente (memorie ad accesso casuale) o dipendente (memorie ad accesso non casuale) dal particolare registro acceduto
 - » Meccanicamente Statiche e Meccanicamente Dinamiche
- Volatilità
 - » Capacità di una memoria di mantenere in maniera stabile l'informazione memorizzata

DIS - Dipartimento di Informatica e Sistemistica - Università di Napoli



Unità di misura della capacità

bit	▶	a single 0 or 1
kilobit (Kb)	▶	1 bit \times 1,024 (1,024 bits)
megabit (Mb)	▶	1 bit \times 1,024 ² (1,048,576 bits)
gigabit (Gb)	▶	1 bit \times 1,024 ³ (1,073,741,824 bits)
byte	▶	8 bits
kilobyte (KB)	▶	1 byte \times 1,024 (1,024 bytes)
megabyte (MB)	▶	1 byte \times 1,024 ² (1,048,576 bytes)
gigabyte (GB)	▶	1 byte \times 1,024 ³ (1,073,741,824 bytes)

DIS - Dipartimento di Informatica e Sistemistica- Università di Napoli



Esempio dei principali parametri delle memorie

Tipo	Tempo di accesso	Velocità di trasferimento	Capacità (1 modulo o volume)	Casualità	Volatilità
RAM	2-20 ns	-----	16MB - 1GB	casuale	si
Dischi	10 - 100 ms	dipende da interfaccia	4-50 GB	diretto	no
Nastri	30 s		100 GB	sequenziale	no

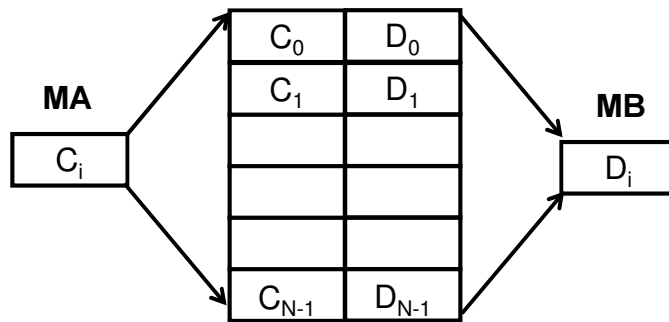
Relativi al 2003

DIS - Dipartimento di Informatica e Sistemistica- Università di Napoli



Selezione associativa – Schema di principio

- Il dato è “indirizzato” dal valore della chiave
- Memorie Cache, Memorie Virtuali, Tabelle di supporto alle Memorie Virtuali



DIS - Dipartimento di Informatica e Sistemistica- Università di Napoli



Selezione associativa – Esempio

Field1	Field2	Field3
000	A	9E
011	0	F0
149	7	01
091	4	00
000	E	FE
749	C	6E
000	0	50
575	1	84

Content addressable memory

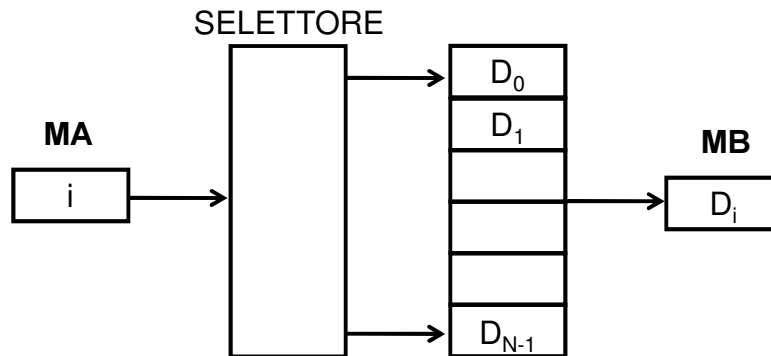
DIS - Dipartimento di Informatica e Sistemistica- Università di Napoli



Selezione lineare – Schema di principio

➤ Selezione Lineare:

- » Se esiste un unico sistema di selezione che seleziona direttamente e singolarmente ciascuno degli N registri

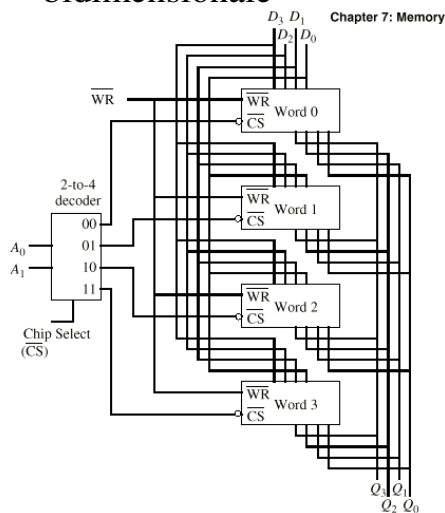


DIS - Dipartimento di Informatica e Sistemistica - Università di Napoli

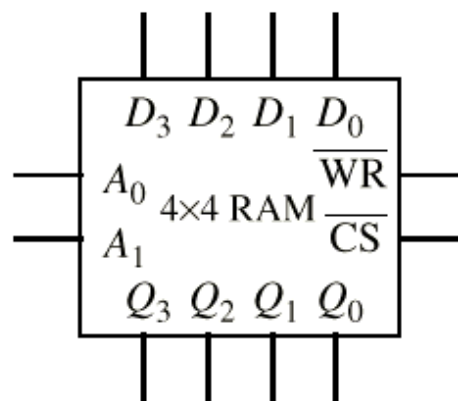


Selezione lineare – RAM quattro parole da 4 bit

➤ Organizzazione bidimensionale



➤ Rappresentazione semplificata



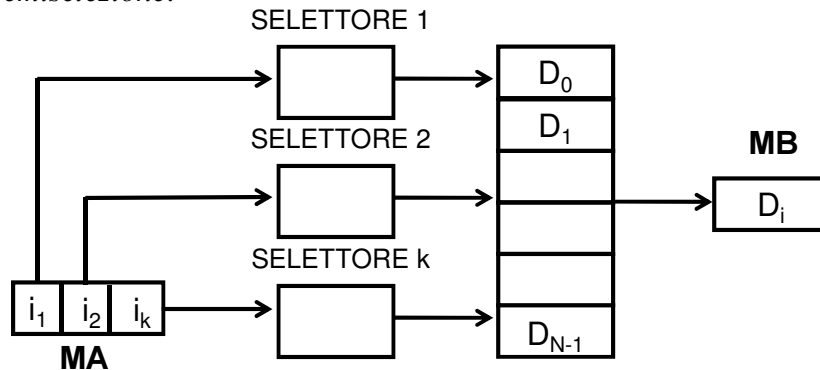
Dipartimento di Informatica e Sistemistica - Università di Napoli



Selezione a più dimensioni – Schema di principio

➤ Selezione a più dimensioni:

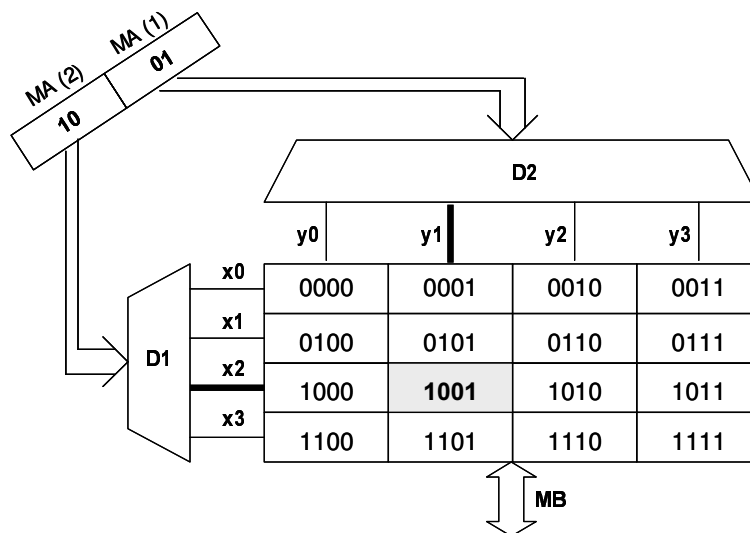
- » Il sistema di selezione è costituito da più sottosistemi, la cui azione combinata seleziona ciascuno degli N registri
- » Se i sistemi di selezione sono due, la tecnica si dice anche di *semiselezione*.



DIS - Dipartimento di Informatica e Sistemistica - Università di Napoli



Selezione a più dimensioni – Esempio di semiselezione

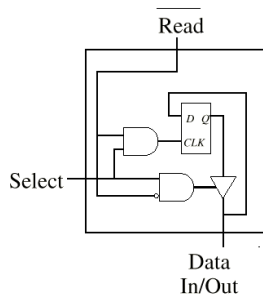


DIS - Dipartimento di Informatica e Sistemistica - Università di Napoli

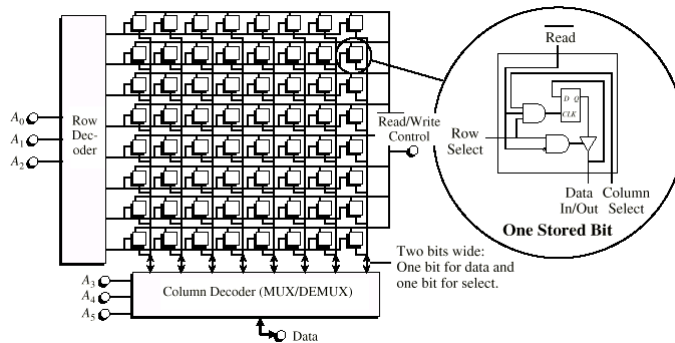


Selezione a più dimensioni – Semiselezione

➤ Modello funzionale di una singola cella



➤ Modulo RAM da 64 word di un bit



▪ È la struttura più diffusa nella realtà

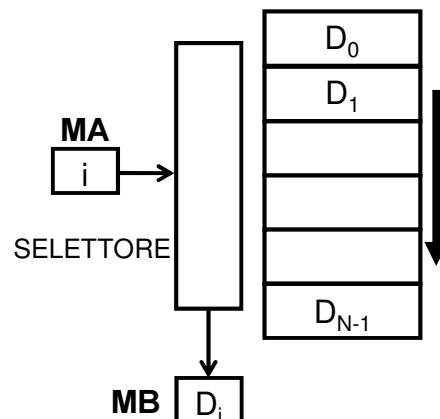
DIS - Dipartimento di Informatica e Sistemistica- Università di Napoli



Selezione temporale – Schema di principio

➤ La scrittura e la lettura dei dati avviene in maniera sequenziale

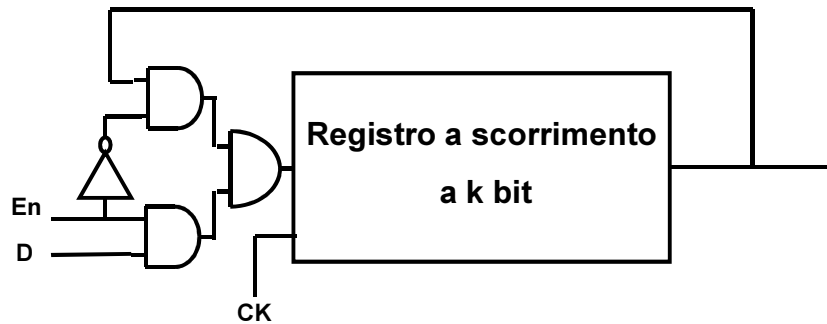
- » Il tempo necessario per tali operazioni aumenta in maniera lineare all'aumentare delle dimensioni della memoria
- » Anche se implementata mediante strutture estremamente veloci, l'accesso sequenziale non è in grado di offrire prestazioni soddisfacenti



DIS - Dipartimento di Informatica e Sistemistica- Università di Napoli



Selezione temporale – Esempio



DIS - Dipartimento di Informatica e Sistemistica- Università di Napoli



Tecniche di sincronizzazione processore-memoria

• Come fa il processore a sapere quando la memoria ha completato l'operazione di lettura o scrittura richiesta ? Sono possibili 2 tecniche.

• **Tecnica asincrona:**

- il processore aspetta che la memoria segnali il completamento dell'operazione tramite un apposito segnale
- in questo modo il processore si adatta alla velocità della memoria

• **Tecnica sincrona:**

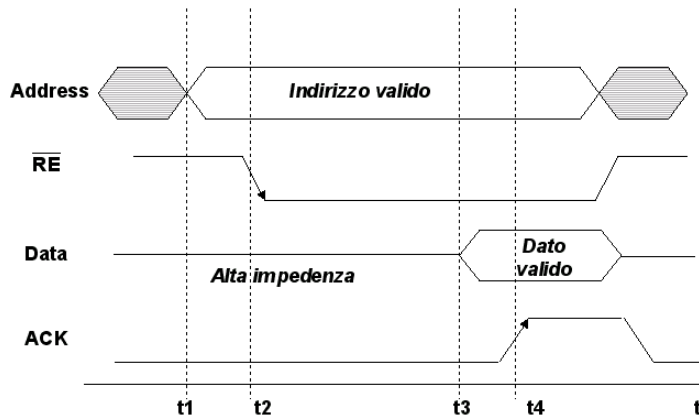
- una delle linee di controllo tra processore e memoria trasporta impulsi prelevati da un clock a frequenza fissa
- un'operazione di lettura/scrittura si completa entro un ciclo di clock
- il ciclo di clock deve essere dimensionato sulla velocità della memoria

DIS - Dipartimento di Informatica e Sistemistica- Università di Napoli



Ciclo di lettura su un bus asincrono (1)

- al tempo t_1 il processore pone un indirizzo sul bus apposito;
- al tempo t_2 il processore invia alla memoria il segnale \overline{RE} ;
- al tempo t_3 la memoria pone il dato letto sul bus;
- al tempo t_4 la memoria comunica l'ACK al processore.



DIS - Dipartimento di Informatica e Sistemistica - Università di Napoli



Ciclo di lettura su un bus asincrono (2)

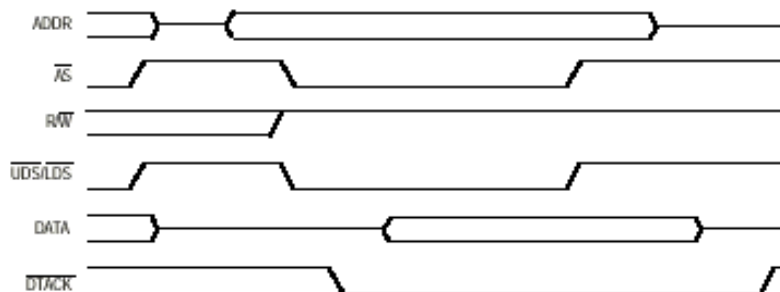


Figure 5-31. Fully Asynchronous Read Cycle

M68000 8-/16-/32-BIT MICROPROCESSORS USER'S MANUAL

MOTOROLA

DIS - Dipartimento di Informatica e Sistemistica - Università di Napoli



Ciclo di lettura su un bus sincrono

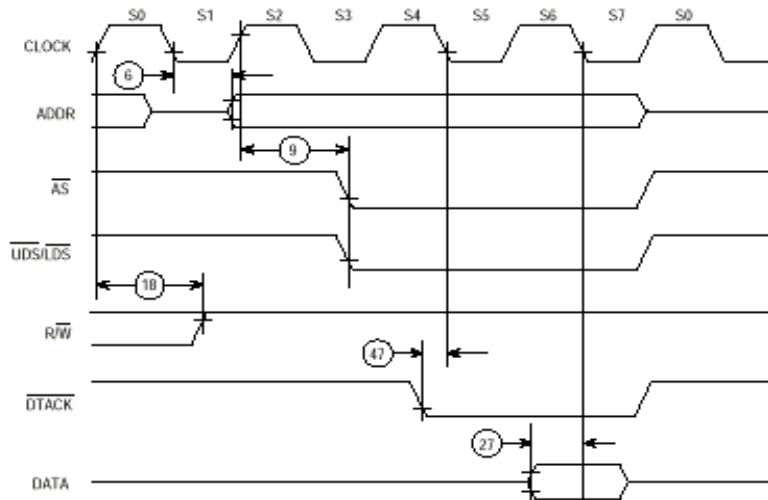


Figure 5-35. Synchronous Read Cycle



Supporto Didattico

Cap. 7 delle Dispense a cura di B. Fadini



Domande?



DIS - Dipartimento di Informatica e Sistemistica- Università di Napoli

