

Corso di Calcolatori Elettronici I

Macchine Sequenziali

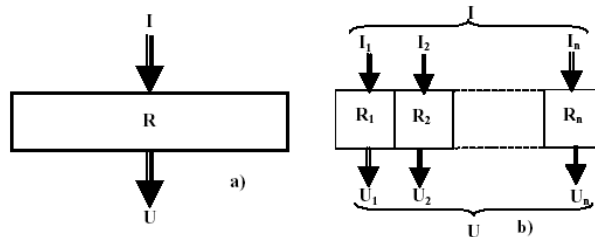
Dipartimento di Informatica e Sistemistica
Università Degli Studi di Napoli Federico II

1

Registri e Flip-Flop

Un registro atto a memorizzare k valori distinti è una macchina sequenziale avente

- k stati di uscita, ciascuno corrispondente ad un valore da memorizzare;
- $n > k$ stati di ingresso suddivisi in due sottoinsiemi:
 - k ingressi attivi, associati alle uscite, che posizionano il registro;
 - $n-k$ ingressi neutri che "mantengono" l'uscita precedente del registro.



Modello di registro: a) complessivo; b) con componenti

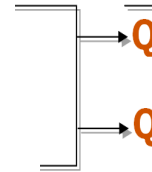
Si dice flip-flop un registro atto a memorizzare un dato binario;

5

I flip flop

Generalità

- ◆ Elementi fondamentali (semplici reti sequenziali)
 - per la memorizzazione
 - per la costituzione di registri
 - per la costruzione di reti sequenziali
- Memorizzano un bit avendo in uscita 2 stati stabili
 - *stato di SET*, o alto, o stato "1": $Q=1, Q'=0$;
 - *stato di RESET*, o basso, o stato "0": $Q=0, Q'=1$
- Hanno in ingresso diversi segnali da cui traggono il nome, p.e.
 - R,S: flip-flop RS
 - D: flip-flop D
 - T: flip-flop T
 - J,K: flip flop JK



6

I flip flop

- ◆ Flip-flop
 - **A memorizzazione dell'ingresso (RS, D)**
 - **A commutazione (T, JK)**
 - **Misti**

7

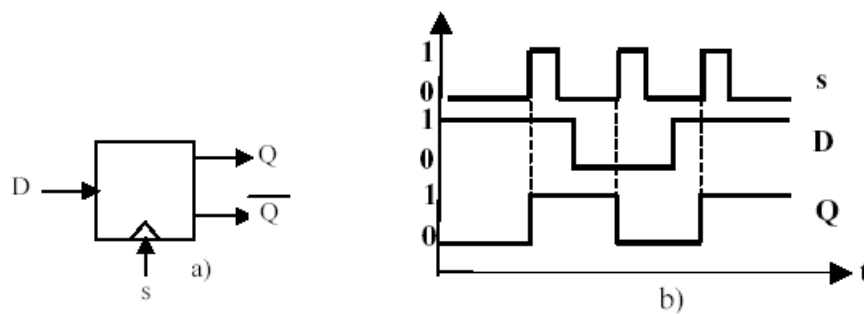
I flip flop

Struttura

- ◆ Un Flip-flop è caratterizzato da.
 - **Struttura interna**, che può essere di una rete asincrona (vedi esempio di RS) o sincrona (vedi in seguito).
 - Una **equazione di stato**, che (al di là della struttura) indica l'uscita seguente in funzione dell'uscita precedente e degli ingressi.

8

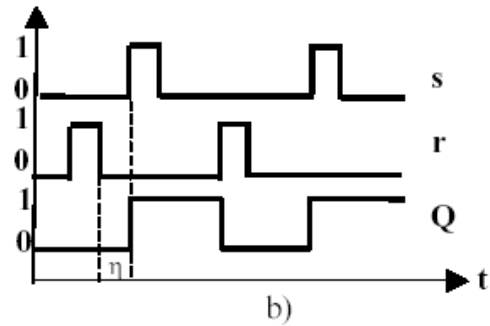
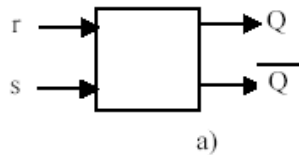
Registro fondamentale D



- Ipotesi di natura impulsiva degli ingressi
- Rimuovendo l'ipotesi di natura impulsiva... (segnale abilitante – vedi dopo)

9

Registro fondamentale RS



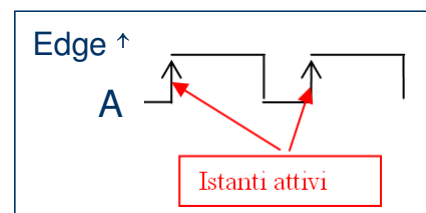
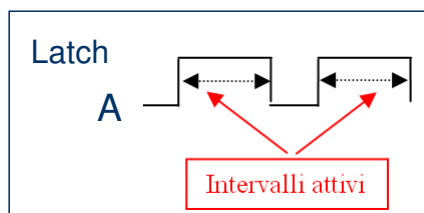
- La natura impulsiva dell'ingresso impedisce $RS=1$ e garantisce la distanza di sicurezza tra i due impulsi.

10

I flip flop - tempificazione

Tempificazione

- ♦ Flip-flop abilitato (o sincronizzato): possiede un segnale di ingresso, A, che ne abilita il funzionamento
- ♦ Un flip-flop abilitato può essere:
 - **Latch**: cattura gli ingressi sempre che sia A=attivo (p.e. A=1)
 - **Edge triggered**: cattura gli ingressi in corrispondenza di una variazione di A (fronte di salita: $0 \rightarrow 1$, o di disceso $1 \rightarrow 0$)



11

Tempificazione nel caricamento dei registri

Posto che una variabile binaria impulsiva diventi attiva al tempo t e vi permanga per una durata δ (cfr. fig.6.1), il mantenimento dell'ipotesi di sequenza impulsiva equivale a supporre che nell'intervallo da t a $t+\delta$ non vari nessuna variabile a livello.

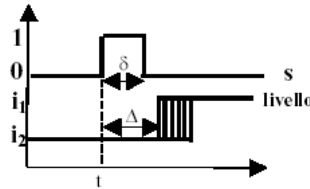


Fig. 6.1 Tempificazione

Nell'ipotesi in cui non sia esattamente prevedibile la variazione di un livello (cfr. fig. 6.1a), ma che sia comunque garantito un suo ritardo Δ rispetto al fronte dell'impulso che lo precede, la condizione di sequenza impulsiva si può esprimere con la relazione

$$\delta < \Delta$$

(6.1)

12

Tempificazione nel caricamento dei registri: **latch**

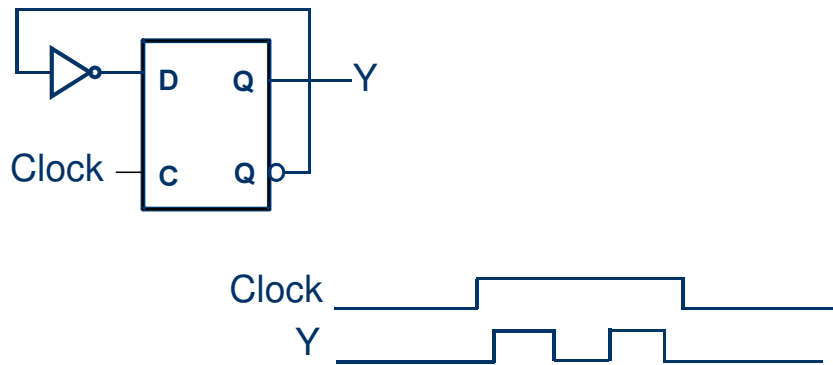
- Il funzionamento di un'apparecchiatura con registro latch e sequenza non puramente impulsiva resta aleatorio per molte applicazioni, in quanto, non essendo possibile prevedere con esattezza l'istante di variazione di un livello e la durata effettiva dell'impulso è possibile che per $s=1$ il registro catturi un ingresso dato diverso da quello previsto in fase di progetto.
- Il modello latch è pertanto valido solo per sequenze **realmente impulsive** o per applicazioni particolari.

Vantaggi:

- È meno complesso dei modelli Edge-Triggered e Master-Slave.

13

Problemi di tempificazione con i Latch



14

Problemi di Tempificazione

- ◆ Una soluzione al problema visto è quella di “spezzare” la propagazione del nuovo valore all’interno dell’elemento con memoria.
- ◆ I flip-flop rappresentano normalmente reti sequenziali sincrone, attive in corrispondenza di particolari istanti in cui varia il segnale di abilitazione (che diventa quindi segnale di clock)
- ◆ Due tipi
 - **Edge-triggered**
 - **Master-Slave**

15

Problemi di Tempificazione

▪ Edge-triggered

Un registro edge-triggered è uno sensibile alla variazione del segnale di abilitazione s piuttosto che ad un suo valore.

▪ Master-Slave

Un registro master-slave è uno che acquisisce il dato in corrispondenza di uno dei fronti di s e lo restituisce all'uscita in corrispondenza dell'altro.

16

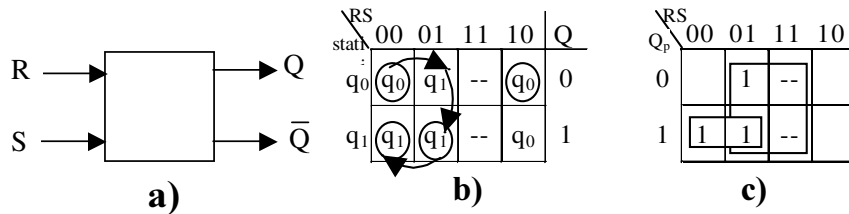
Flip-flop RS

- Memorizza un bit di informazione
- Ingressi impulsivi \rightarrow mai alti contemporaneamente
 - **Vincolo $RS=0$**
 - Impulso su S (set) $\rightarrow Q=1, !Q=0$
 - Impulso su R (reset) $\rightarrow Q=0, !Q=1$
 - Per $R=S=0$ mantiene l'uscita precedente
- Escluse transizioni $RS = \dots \rightarrow 00 \rightarrow 01 \rightarrow 10 \rightarrow 00 \dots$ (alee multiple)



17

Flip flop RS – Il comportamento



Equazione di stato

$$Q = S + Q_p \bar{R}$$

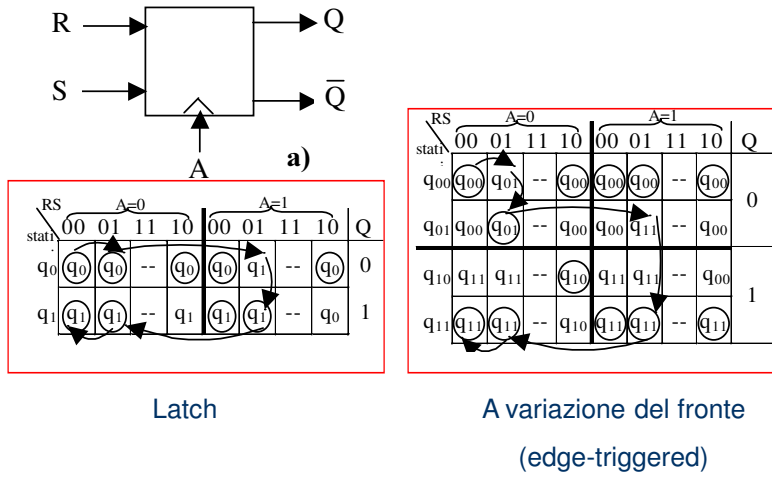
Il flip flop RS: eq. di stato

Tabella

R	S	Q _p	Q
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	-
1	1	1	-

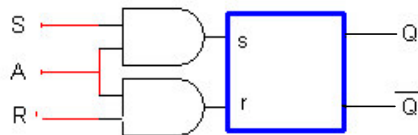
Equazione di Stato: $Q = S + Q_p \bar{R}$

RS sincronizzato

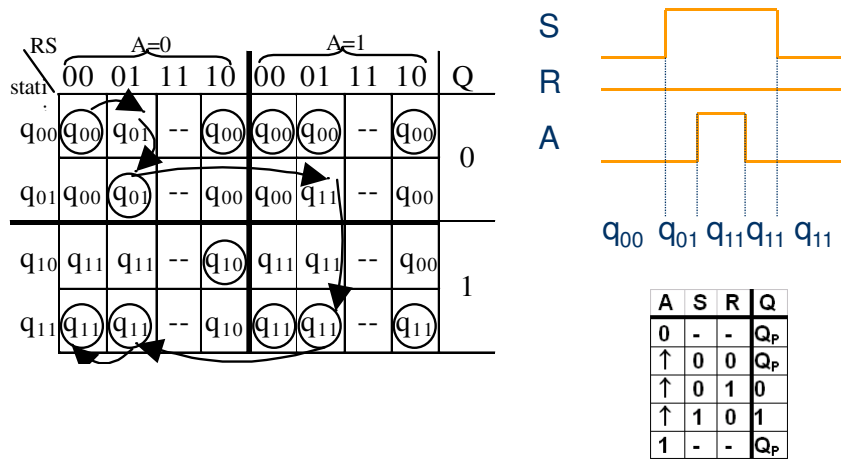


Un RS sincronizzato - latch

Possibile realizzazione di un flip-flop RS sincronizzato di tipo latch a partire da un RS asincrono



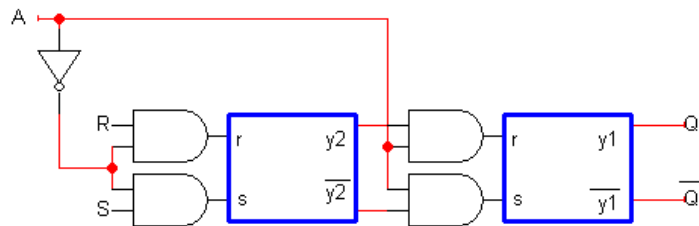
Un RS sincronizzato – edge-triggered



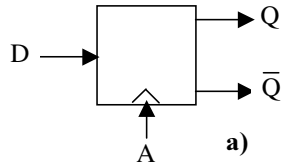
RS master-slave

Possibile realizzazione di un flip-flop RS sincronizzato di tipo master-slave a partire da due RS.

E' anche un RS E-T sul fronte di salita: se $A=0$, il latch $y2$ cattura il segnale su R o su S e, non appena A varia da 0 ad 1, $y2$ è ricopiato in $y1=Q$ mentre gli ingressi di $y2$ restano neutri lasciandolo inalterato.



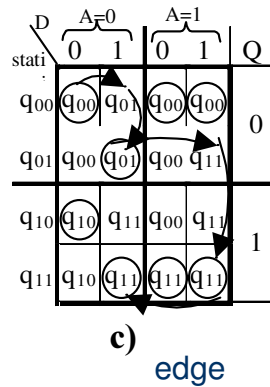
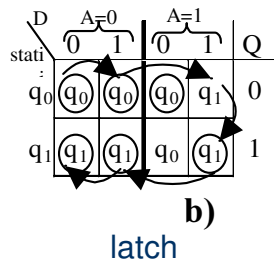
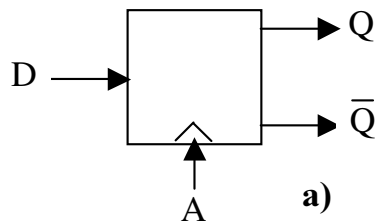
Flip flop D



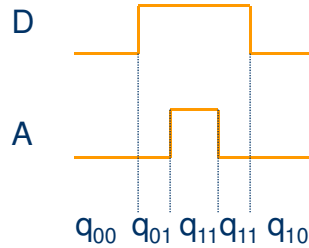
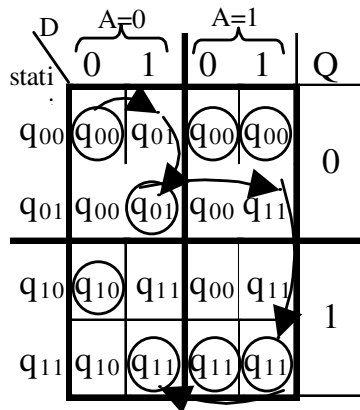
Equazione di stato: $Q = AD + \bar{A}Q_p$

- Esiste solo nella versione sincronizzata

Flip flop D



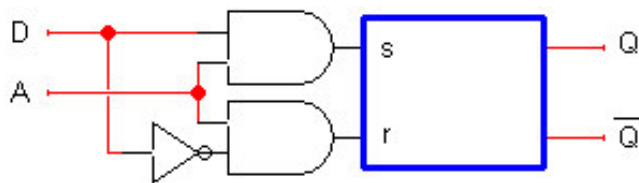
Flip flop D



A	D	Q
0	-	Q_p
↑	0	0
↑	1	1
1	-	Q_p

Flip-flop D: realizzazione come latch

Di concezione semplice, si realizza con RS



$$S = AD$$

$$R = AD'$$

Flip-Flop a commutazione e misti

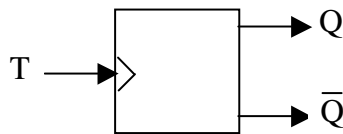
Mentre i flip-flop RS e D memorizzano un ingresso diversamente codificato, i flip-flop che seguono posseggono ingressi atti a commutare lo stato del flip-flop. Questi sono

- Flip Flop T
 - Un ingresso T provoca la commutazione del flip-flop
- Flip flop JK
 - Analogo all'RS, con ingressi J=K=1 corrispondenti all'ingresso di commutazione

28

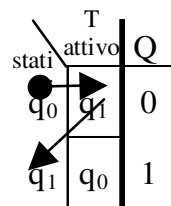
Flip-Flop T

29



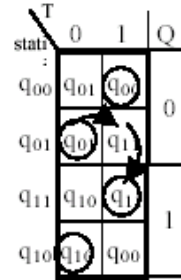
- Equazione di stato: $Q = \bar{Q}_p T + Q_p \bar{T}$
- La macchina che implementa questo funzionamento deve essere necessariamente asincrona o sincrona impulsiva.

Flip-Flop T



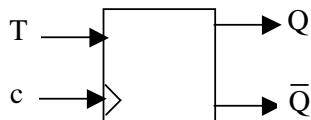
Flip-flop T come macchina sincrona impulsiva

Flip-flop T come macchina asincrona E-T



- q₀₀: l'uscita è 0 e sarà tale anche dopo la variazione di T;
- q₀₁: l'uscita è 0 e sarà 1 dopo la variazione di T;
- q₁₁: l'uscita è 1 e sarà tale anche dopo la variazione di T;
- q₁₀: l'uscita è 1 e sarà 0 dopo la variazione di T.

Flip-Flop T abilitato

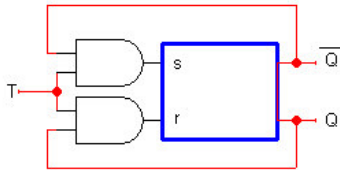


L'impulso sull'abilitazione c fa commutare il flip-flop se T è attivo.

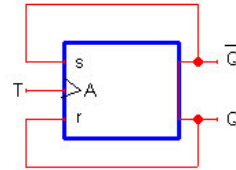
In sostanza, T fa da abilitazione, mentre c diventa l'ingresso di commutazione.

Flip-Flop T: realizzazione

Possibili realizzazioni circuitali del flip-flop T come macchina sincrona impulsiva



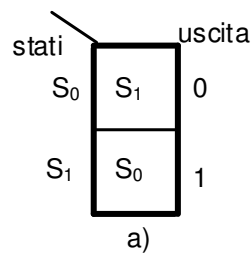
con RS fondamentale



con RS sincronizzato

Flip-Flop T sincrono con RS latch: tempificazione

- ◆ Rete sequenziale sincrona
- ◆ Contatore modulo 2 (utilizzato anche per il controllo di parità)
- ◆ Tabella sincrona fondamentale
 - Commutazione dello stato

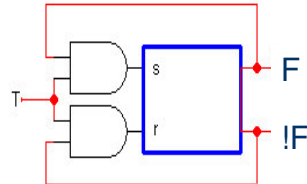


Flip-Flop T sincrono con RS latch: tempificazione

- ◆ Equazioni caratteristiche

$$R = T \cdot \bar{F}$$

$$S = T \cdot F$$

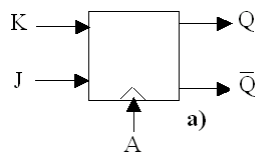


- ◆ La corretta tempificazione dipende dalla durata di T

Flip-Flop JK

E' un flip-flop sincronizzato definito come segue:

- quando l'ingresso impulsivo di sincronizzazione A è attivo, i due ingressi a livello J , K si comportano rispettivamente come S , R se sono attivi separatamente.
- mentre producono la commutazione se lo sono simultaneamente.



$$Q = j\bar{Q}_p + Q_p\bar{k} = AJ\bar{Q}_p + Q_p\bar{K} + Q_p\bar{A}$$

Flip-Flop JK

KJ	00	01	11	10	Q
stat: q_0	q_0	q_1	q_1	q_0	0
q_1	q_1	q_1	q_0	q_0	1

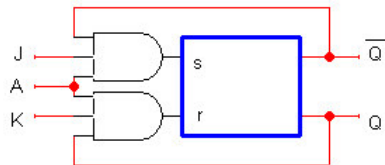
JK sincrono impulsivo

KJ	$A=0$				$A=1$				Q
	00	01	11	10	00	01	11	10	
stat: q_0	q_{00}	q_{01}	q_{01}	q_{00}	q_{00}	q_{00}	q_{00}	q_{00}	0
q_0	q_{00}	q_{01}	q_{01}	q_{00}	q_{00}	q_{11}	q_{11}	q_{00}	
q_{10}	q_{11}	q_{11}	q_{10}	q_{10}	q_{11}	q_{11}	q_{00}	q_{00}	1
q_{11}	q_{11}	q_{11}	q_{10}	q_{10}	q_{11}	q_{11}	q_{11}	q_{11}	

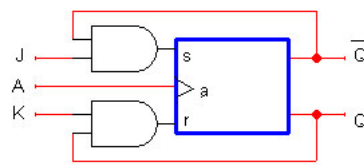
JK asincrono edge-triggered

Flip-Flop JK: realizzazioni

Possibili realizzazioni circuitali del flip-flop JK come macchina sincrona impulsiva



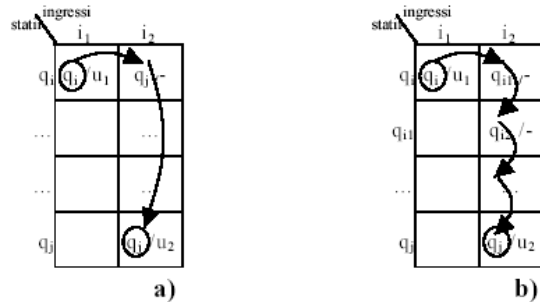
Con RS fondamentale



Con RS sincronizzato

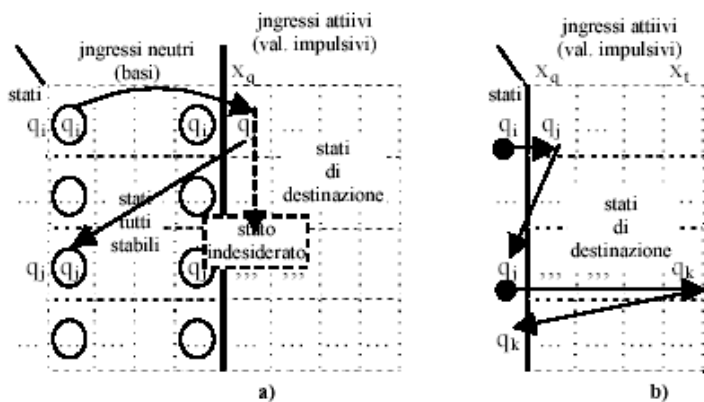
Macchina Asincrona

Una macchina con sequenze di ingressi a livelli funziona solo se è asincrona.



Schema di transizioni in macchine asincrone:
a) transizione diretta; b) transizione con cicli

Macchine ad Ingressi Impulsivi



- L'impulso deve avere una durata appena sufficiente a che avvenga l'acquisizione del nuovo stato.

Modello di macchina sincrona impulsiva:
a) tabella tipo asincrono; b) tabella sincrona

Domande?

